

Introduzione ai Tutorials

Per gli studenti dei corsi di “Elettronica II-FPGA” e di “Elettronica e dispositivi programmabili” sono stati sviluppati una serie di 8 tutorials che vogliono guidare, passo passo gli studenti attraverso le tecniche di progettazione di un circuito logico dedicato su di un dispositivo logico programmabile (FPGA).

I tutorials sono di difficoltà via via crescente e, ad eccezione del solo tutorial sul sistema Modelsim, essi sono pensati per essere svolti in sequenza, infatti in ciascun tutorial si considerano già acquisiti i concetti ed i principi svolti nei passi precedenti. Al contrario il tutorial su Modelsim è essenzialmente incentrato sull'utilizzo di questo strumento utile per la simulazione a vari livelli di astrazione di un circuito logico, e pertanto esso può essere svolto in qualsiasi momento e richiede una minima competenza sull'analisi di circuiti logici sequenziali. Tutti i tutorials sono ampiamente corredati di una vasta bibliografia, utile per eventuali approfondimenti degli argomenti trattati, ed anche in questo caso la bibliografia di ciascun tutorial non è da considerarsi completa e limitata al tutorial stesso, ma essa va integrata con quella dei tutorials precedenti e costituisce parte integrante della bibliografia per i tutorials a seguire.

Tutti i tutorials sono stati sviluppati per poter essere utilizzati direttamente sulla scheda di sviluppo “Terasic DE1” che monta un dispositivo FPGA Altera Cyclone II 2C20 oltre a numerose altre periferiche. Il loro impiego su schede di sviluppo diverse quali la DE2 richiedono di apportare opportune variazioni nelle specifiche e nei vincoli.

I primi tre tutorial sono orientati alla realizzazione di circuiti logici dedicati

Nel **primo** tutorial si apprenderanno i rudimenti della descrizione, della simulazione a vari livelli di astrazione e della sintesi di un semplicissimo circuito logico, fino a verificarne il funzionamento sulla scheda di sviluppo. Il circuito proposto nella fattispecie impiega due pulsanti tramite i quali agire separatamente per accendere e/o spegnere un led posto sulla scheda di sviluppo. In questo tutorial verranno anche gettate le prime basi per l'utilizzo del linguaggio Verilog HDL per la descrizione e la sintesi di circuiti logici.

Nel **secondo** tutorial verrà sviluppato un progetto più completo centrato sulla realizzazione di un cronometro con la possibilità di far partire, fermare e azzerare il conteggio agendo su un apposito pulsante. La visualizzazione avverrà utilizzando i display led a sette segmenti presenti sulla scheda. In questo tutorial si apprenderanno le basi per la realizzazione di un sistema gerarchico, l'utilizzo dei BUS, il progetto di macchine a stati finiti. Si prenderanno in considerazione le criticità legate ai tempi di propagazione dei segnali e come gestirle attraverso la realizzazione di circuiti specifici e con l'imposizione di opportuni vincoli temporali.

Nel **terzo** tutorial verrà preso in esame il funzionamento del decoder audio presente sulla scheda DE1. Verranno generati i segnali del protocollo I2C necessari per configurarne i registri interni e si svolgerà una semplicissima elaborazione sui segnali audio forniti da tale decoder ovvero si genereranno degli opportuni segnali digitali sinusoidali onde realizzare un semplice generatore di forme d'onda. Per poter analizzare “a caldo” i segnali condivisi tra l'FPGA ed il decoder, verrà introdotto uno strumento specifico il “Signal Tap Logic Analyzer” che, utilizzato come analizzatore di stati logici, permette di avere una visualizzazione in tempo reale dei segnali coinvolti nelle varie fasi del processo.

I successivi tutorial sono invece più orientati alla realizzazione di sistemi “embedded” e all'architettura dei calcolatori: L'FPGA montata sulla scheda DE1 ha infatti risorse hardware sufficienti da poter realizzare,

sfruttando i suoi blocchi logici interni, un processore (soft processor) configurabile *ad hoc* dall'utente (NIOS II) sia nelle specifiche che nella struttura delle periferiche.

Nel **quarto** tutorial si realizzeranno semplici sistemi basati sul processore Nios-II in grado di comunicare con alcune periferiche. Si vedrà in particolare come programmare (in C) e come debuggare tale sistema. Inoltre si imparerà ad estendere le capacità del processore interfacciandosi verso le memorie esterne (SRAM e SDRAM) presenti sulla scheda di sviluppo.

Nel **quinto** tutorial verranno aggiunte oltre le periferiche del sistema, viste in precedenza, alcune periferiche dedicate alla configurazione e alla gestione dei segnali audio da e per il decoder. Verranno pertanto gettate le basi per effettuare una elaborazione audio in tempo reale gestita dal processore NIOS-II

Nel **sesto** tutorial si apprenderanno le basi per una progettazione congiunta Hardware/Software. Si vedrà infatti che la tecnica di elaborazione puramente basata su un procedimento "software" proposta nel tutorial precedente sia poco efficiente nella gestione delle risorse, e come si possa superare tale ostacolo realizzando dei blocchi hardware dedicati da interfacciarsi con il processore.

Nel **settimo** tutorial si apprenderà come integrare i blocchi Hardware progettati ad hoc per essere interfacciati col processore NIOS con le librerie già disponibili onde realizzare una serie di blocchi dedicati a varie funzioni facilmente riutilizzabili all'interno di progetti specifici. Verrà inoltre preso in considerazione l'utilizzo dei segnali di interrupt per interfacciarsi con la normale esecuzione del processore.

Si suggerisce di svolgere i tutorial in modo autonomo e completo. I testi ed il materiale software aggiuntivo reperibile nella pagina del corso sono pienamente sufficienti allo scopo. I codici VerilogHDL e C sono infatti riportati in forma estesa onde consentire una semplice operazione di (Cut&Paste) pur mantenendo integre tutte le operazioni da seguire passo-passo, che consentono allo studente di appropriarsi della procedura specifica per raggiungere il risultato.

Vi è peraltro disponibile (in forma compressa) anche il progetto completo sviluppato nei vari tutorials in questione, realizzati attraverso il sistema "Quartus II v13.0 Web edition" ma è da sottolineare che quanto disponibile è una versione "congelata" del progetto nella sua forma definitiva e pertanto mancante di tutti i passi e le varianti che potrebbero essere state oggetto di approfondimento durante il tutorial stesso.