

Appunti sul principio di funzionamento di un sistema PLL

Il principio di funzionamento

Il sistema PLL = *Phased Locked Loop* (in italiano : *Anello ad aggancio in fase*) è stato sviluppato negli anni 30, ma applicato in modo esteso dagli anni 60 nei sistemi di telecomunicazione.

Un PLL è un circuito che sincronizza un segnale di uscita (generato da un oscillatore) con un segnale di riferimento, il sincronismo viene chiamato *aggancio*.

La differenza di fase (errore di fase) fra il segnale di riferimento ed il segnale di uscita viene usata, attraverso un “meccanismo di controllo”, per mantenere questo sincronismo . Il meccanismo di controllo tende a ridurre al minimo l’errore di fase, se tutto funziona bene il segnale di uscita viene **agganciato in fase** con il segnale di riferimento.

Nella forma più semplice un circuito PLL è costituito da:

- Da un VCO,
- Da un rivelatore di fase (PD)
- Da un filtro di anello (LF)

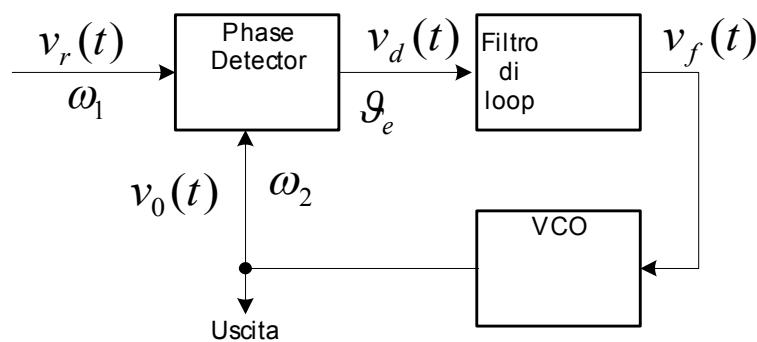


Figura 1

- $v_r(t)$, è il segnale di riferimento ,
- ω_1 , è la pulsazione del segnale di riferimento,
- $v_o(t)$, è il segnale di uscita (generato dal VCO),
- ω_2 , è la pulsazione del segnale di uscita,
- $v_d(t)$, è il segnale di uscita del rivelatore di fase,
- $v_f(t)$, è il segnale di uscita del filtro di anello (filtro di loop),
- g_e , è l'errore di fase definito come la differenza di fase fra i segnali $v_r(t)$ e $v_o(t)$.

Se si considera che il VCO oscilla ad una frequenza stabilita dal segnale di uscita del filtro di loop $v_f(t)$ si avrà:

$$\omega_2(t) = \omega_0 + K_0 v_f(t)$$

dove ω_0 è la frequenza angolare del VCO per $v_f(t) = 0$.

Appunti sul principio di funzionamento di un sistema PLL

La figura 2 mostra l'andamento della funzione di trasferimento del VCO, $\omega_2(t) = \omega_0 + K_0 S_f(t)$

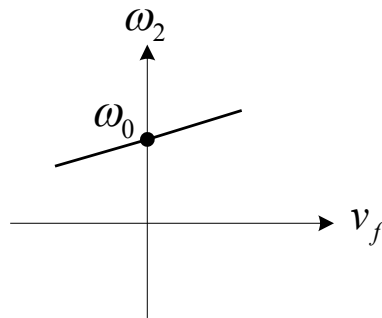


Figura 2

La figura 3 mostra la funzione di trasferimento del rivelatore di fase ($\overline{S_d} = \text{media_aritmetica}$)

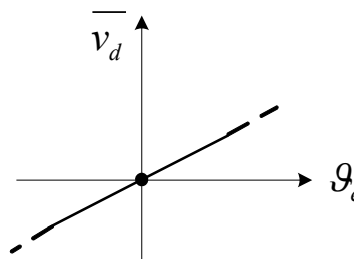


Figura 3

- ω_0 , è la pulsazione del VCO,
- K_0 , è il guadagno del VCO espresso in $\left(\frac{\text{Hz}}{V} = \frac{1}{SV}\right)$, talvolta viene usata $\left(\frac{\text{radianti}}{s} \frac{1}{V}\right)$.

Il radiante unitario è $\frac{1}{s}$.

(Si useranno sempre radianti e non i gradi, $180^\circ = \pi$).

Il rivelatore di fase viene anche chiamato comparatore di fase,

$$v_d(t) = K_d g_e$$

- K_d , rappresenta il guadagno del comparatore di fase, avrà le dimensioni di $\frac{V}{\text{radianti}}$.
- $v_d(t)$, è una componente continua (tensione o corrente) con sovrapposta una componente in corrente alternata. Quest'ultima è indesiderata e si attenua con il filtro di loop. (In molti casi si usa un filtro di primo ordine).

Appunti sul principio di funzionamento di un sistema PLL

Vediamo come lavorano assieme questi tre blocchi funzionali.

- Se si pone che la frequenza di $v_r(t)$ sia $\omega_1 = \omega_0$ e che l'errore di fase sia $\vartheta_e = 0$, si avrà il VCO che lavora alla pulsazione ω_0 e il segnale $v_d(t) = 0$, di conseguenza anche $v_f(t) = 0$, e tutto il sistema rimane in equilibrio e continua a funzionare alla frequenza ω_0 .
- Se l'errore di fase è inizialmente $\vartheta_e \neq 0$ l'uscita del PD sarà un segnale diverso da zero, $v_d(t) \neq 0$, dopo un certo ritardo (dovuto al filtro) questo segnale agirà sul VCO per modificare la sua frequenza in modo da annullare l'errore di fase.

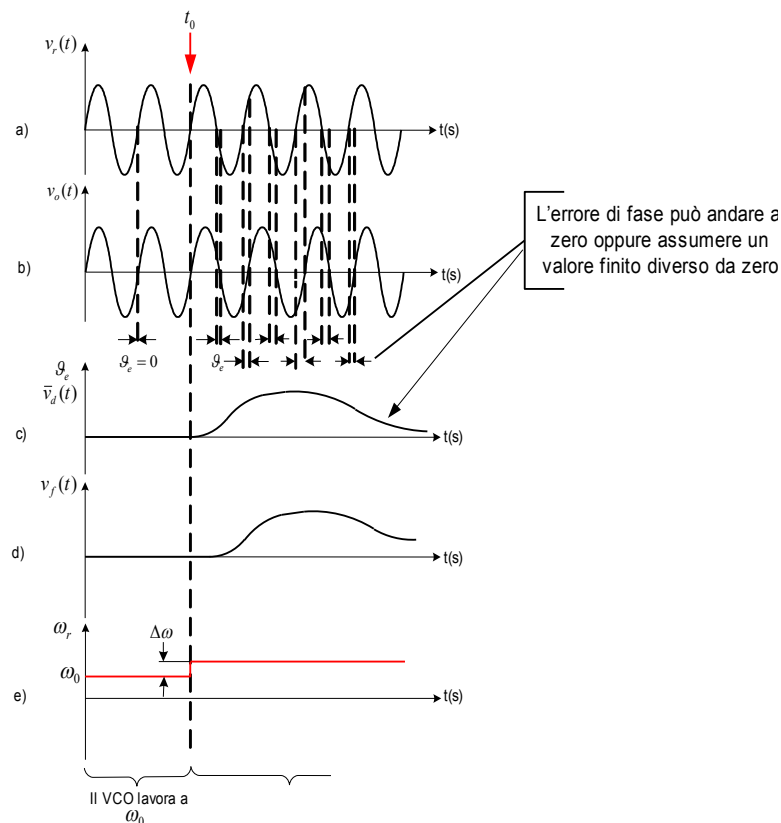


Figura 4

L'errore di fase può ridursi a zero oppure attestarsi su di un valore finito, questo dipende dal tipo di comparatore di fase.

Appunti sul principio di funzionamento di un sistema PLL

Tensione di uscita, v_d , del comparatore di fase e segnali incidenti

I PLL usano diversi tipi di comparatori di fase, cioè usano circuiti di tipo diverso per realizzare il comparatore di fase, ci sono circuiti che funzionano con segnali sinusoidali ed altri con segnali rettangolari.

Nelle considerazioni che seguono verrà esaminato il funzionamento con segnali sinusoidali.

$$v_r(t) = V_r \sin(\omega_1 t + \vartheta_1)$$

$$v_0(t) = V_0 \cos(\omega_1 t + \vartheta_2)$$

$$v_d(t) = v_r(t) \cdot v_0(t)$$

$$v_d(t) = k \cdot v_r(t) \cdot v_0(t)$$

$$v_d(t) = k \cdot V_r \sin(\omega_1 t + \vartheta_1) \cdot V_0 \cos(\omega_1 t + \vartheta_2) \quad (\text{Nota 1})$$

$$v_d(t) = k \cdot \frac{V_r V_0}{2} [\sin(\omega_1 t + \vartheta_1 + \omega_1 t + \vartheta_2) + \sin(\omega_1 t + \vartheta_1 - \omega_1 t - \vartheta_2)]$$

$$v_d(t) = k \cdot \frac{V_r V_0}{2} [\sin(2\omega_1 t + \vartheta_1 + \vartheta_2) + \sin(\vartheta_1 - \vartheta_2)] \quad \text{cioè vi è una parte DC (c. continua)}$$

- V_d e V_0 sono le ampiezze dei segnali entranti nel comparatore di fase, $v_d(t)$
- ϑ_1 è la fase v_r ,
- ϑ_2 è la fase v_0 ,
- k è una costante che rappresenta il guadagno

posto $\vartheta_e = \vartheta_1 - \vartheta_2$ avremo $v_d(t) = k \cdot \frac{V_r V_0}{2} [\sin(2\omega_1 t + \vartheta_1 + \vartheta_2) + \sin \vartheta_e]$

Da questa equazione si evidenzia che la tensione all'uscita del comparatore di fase, $v_d(t)$, è formata da una componente continua con sovrapposta una componente alternata, che dovrà essere eliminata (oppure attenuata fortemente) dal filtro. Nelle considerazioni che seguono si prenderà in considerazione la sola componente in corrente continua,

$$v_d(t) = K_d \sin \vartheta_e \quad \text{dove } K_d = k \cdot \frac{V_r V_0}{2}$$

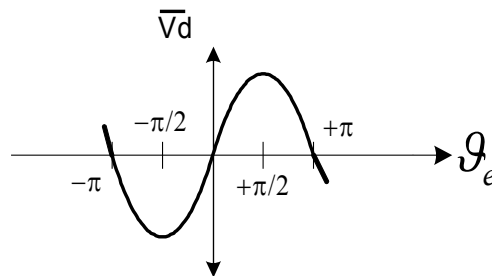


Figura 5

Per piccoli valori di ϑ_e si può dire che $\sin \vartheta_e \cong \vartheta_e$

Appunti sul principio di funzionamento di un sistema PLL

$K_d = k \cdot \frac{V_r V_0}{2}$ rappresenta il guadagno del comparatore di fase e si vede che esso è funzione delle ampiezze dei segnali incidenti, $V_r V_0$ e da una costante k che dipende da come è stato costruito il comparatore di fase. La dipendenza del guadagno K_d dalle ampiezze di V_r e V_0 è uno svantaggio in quanto il comportamento dinamico del PLL dipende dalle ampiezze dei segnali. La dipendenza potrebbe anche essere ridotta pilotando il comparatore di fase con segnali che lo portino a lavorare in saturazione, condizione che si presenta anche nel comparatore di fase lineare (figura 6)

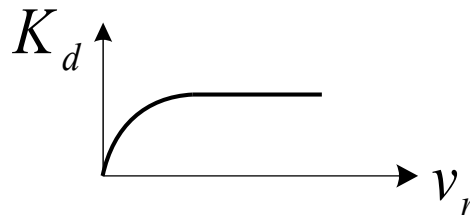


Figura 6

Se $v_r(t)$ e $v_0(t)$ sono dei segnali di ampiezza tale da portare in saturazione il circuito del comparatore di fase oppure sono delle funzioni segno, cioè delle onde quadre, l'andamento di \bar{v}_d in funzione dell'errore di fase ϑ_e sarà come indicato in figura 7

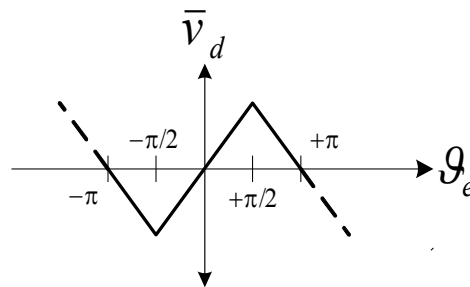


Figura 7

Il comportamento di figura 7 è quello della cella di Gilbert con segnali entranti $\gg V_T$.

La tensione media di uscita è zero solamente se esiste uno sfasamento di $\frac{\pi}{2}$ fra i segnali applicati al comparatore di fase (cioè se una funzione è seno e l'altra coseno) diversamente nella condizione di equilibrio si avrà una componente a corrente continua (offset).

Se i due segnali $v_r(t)$ e $v_0(t)$ non hanno la stessa frequenza e quindi $\omega_1 \neq \omega_2$ all'uscita del comparatore di fase si avrà.

- Assenza di componente continua,
- Presenza delle due componenti in corrente alternata con pulsazione $(\omega_1 + \omega_2)$ e $(\omega_1 - \omega_2)$ (come nel mixer).

In queste condizioni diventa problematico “portare” il sistema in condizioni da aggancio, per ottenere l'aggancio si deve “far passare” il sistema nella condizione $\omega_1 = \omega_2$ (figura 8)

Appunti sul principio di funzionamento di un sistema PLL

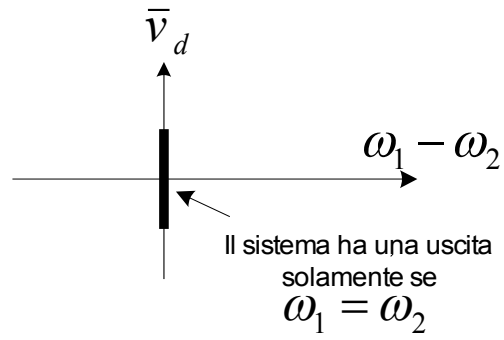


Figura 8

Si possono usare dei sistemi ausiliari per portare il sistema nella condizione $\omega_1 = \omega_2$.

Appunti sul principio di funzionamento di un sistema PLL

Il comparatore di fase

Un comparatore di fase con un comportamento lineare e simile a quello a diodi è l'OR esclusivo.

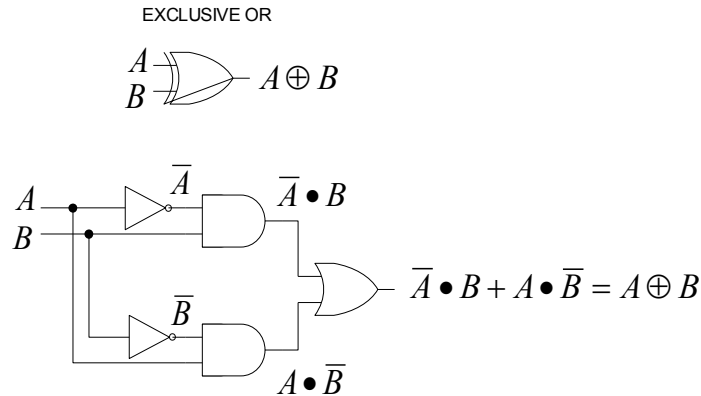


Figura 9

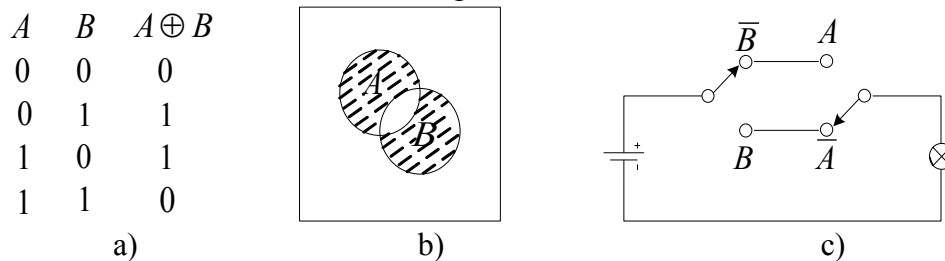


Figura 10

La figura 9 riporta lo schema dell' OR Esclusivo, mentre la figura 10 riporta la sua tavola della verità.(Nota 2)

L'andamento del segnale di uscita è simile a quello del comparatore di fase descritto precedentemente, ma pilotato con segnali ad onda quadra.

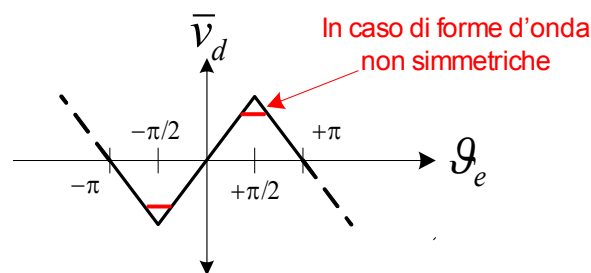


Figura 11

Se le forme d'onda sono simmetriche la forma è triangolare e l'escursione della fase varia da $-\pi/2$ a $+\pi/2$, altrimenti se una delle due forme d'onda non è simmetrica (duty cycle diverso dal 50 %) l'escursione di fase si riduce (tratto in rosso di figura 11).

Appunti sul principio di funzionamento di un sistema PLL

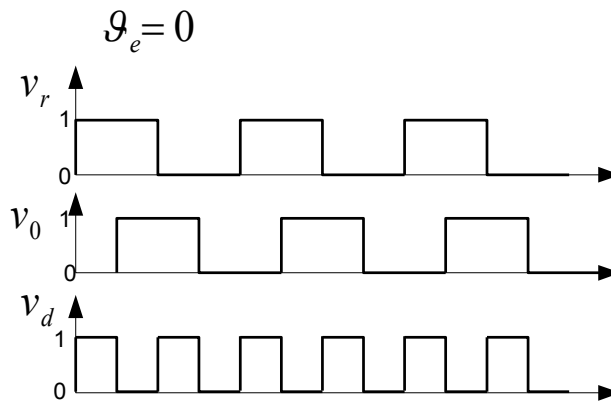


Figura 12 Duty Cycle = 50% , $\bar{v}_d = 0 \Rightarrow \frac{1}{2}V_{CC}$

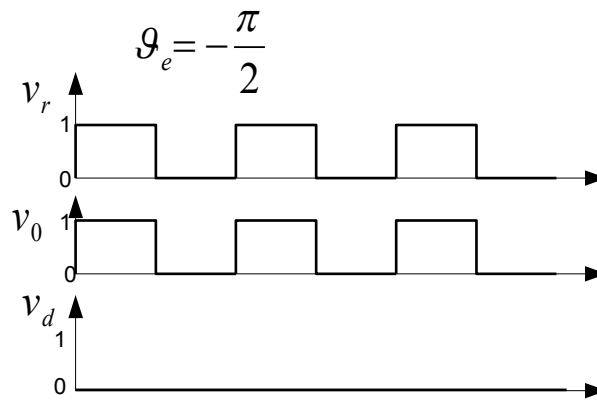


Figura 13 Duty Cycle = 0% , $\bar{v}_d = 0$

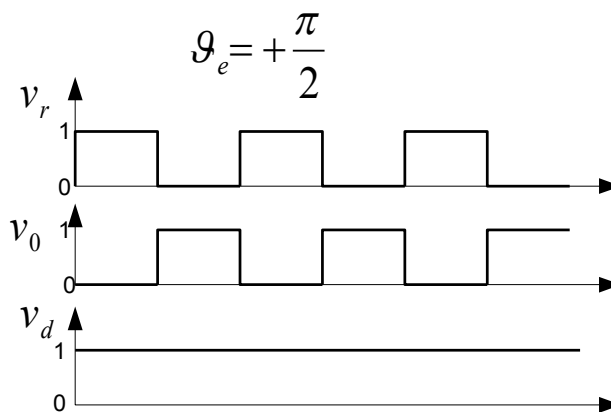


Figura 14 Duty Cycle = 100% , $\bar{v}_d = V_{CC}$

Appunti sul principio di funzionamento di un sistema PLL

Nel caso che una delle due forme d'onda non sia simmetrica si ha,

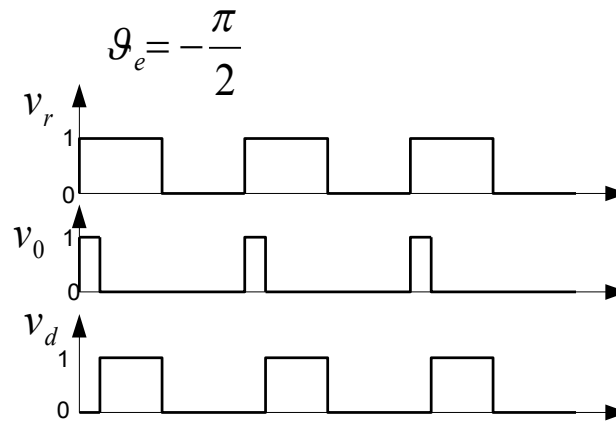


Figura 15 $\bar{v}_d = \text{minimo} > 0V$

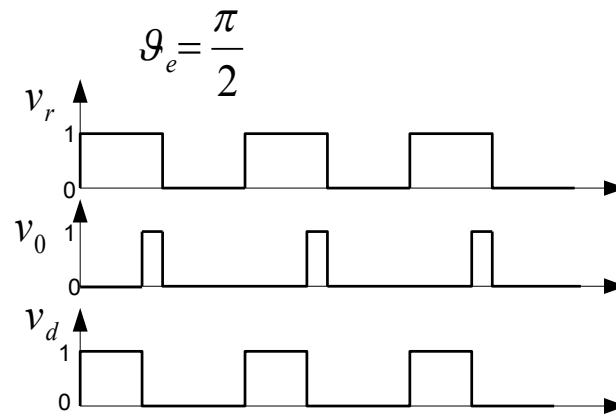


Figura 16 $\bar{v}_d = \text{massimo} < V_{CC}$

Il duty cycle di \bar{v}_d di figura 15 e 16 è lo stesso quindi i due valori medi saranno uguali.

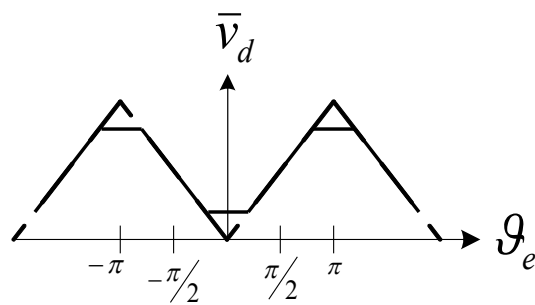


Figura 17

Appunti sul principio di funzionamento di un sistema PLL

Il comparatore di fase realizzato con l'OR Esclusivo ha un comportamento, in condizioni di $\omega_1 \neq \omega_2$, simile alla Figura 18

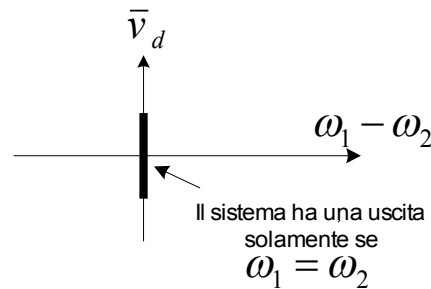


Figura 18

Ci sono altri tipi di comparatori di fase che più propriamente si possono chiamare comparatori di fase e di frequenza (uno di questi è il charge pump = pompa di carica). Hanno una caratteristica come quella di figura 19.

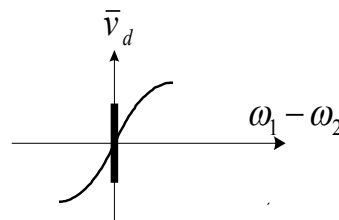


Figura 19

Gamma di acquisizione

E' una delle caratteristiche del PLL, in inglese Acquisition Range oppure Capture Range, per capire di cosa si tratta vediamo lo schema a blocchi di figura 20.

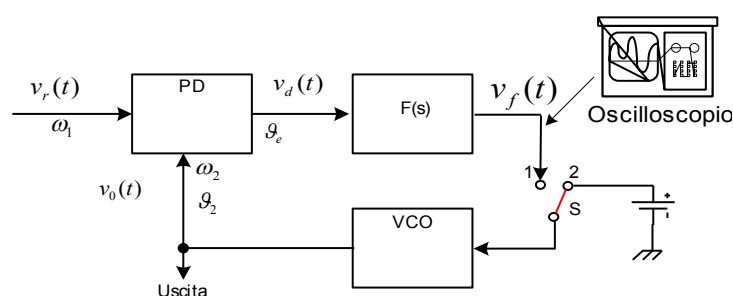


Figura 20

Per lo studio di questa caratteristica si pongono due condizioni: loop aperto (interruttore S in posizione 2) e loop chiuso (interruttore S in posizione 1).

Appunti sul principio di funzionamento di un sistema PLL

Loop aperto (S in posizione 2)

Il VCO è polarizzato con la tensione fornita dalla batteria V_C ed oscilla liberamente sulla sua frequenza $f_{VCO} = f_0$ corrispondente a V_C

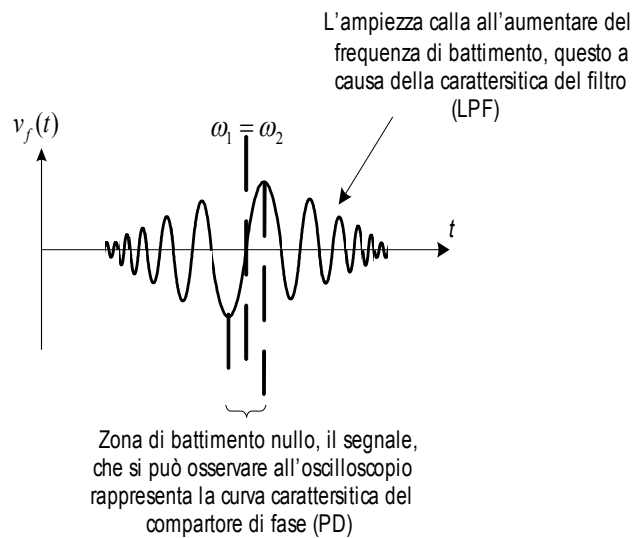


Figura 21

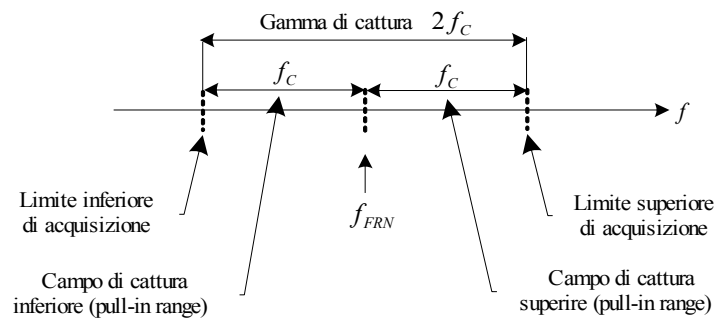


Figura 22

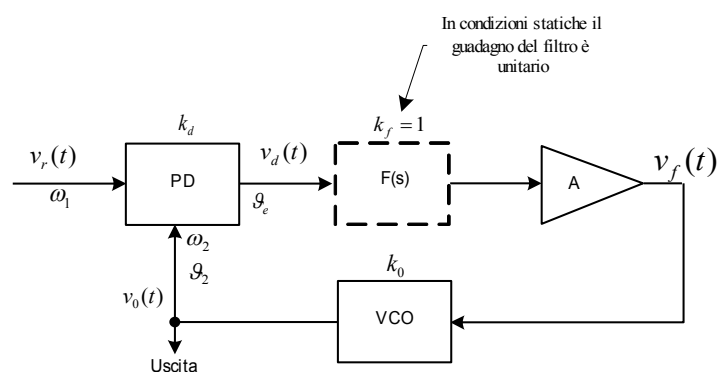


Figura 23

Appunti sul principio di funzionamento di un sistema PLL

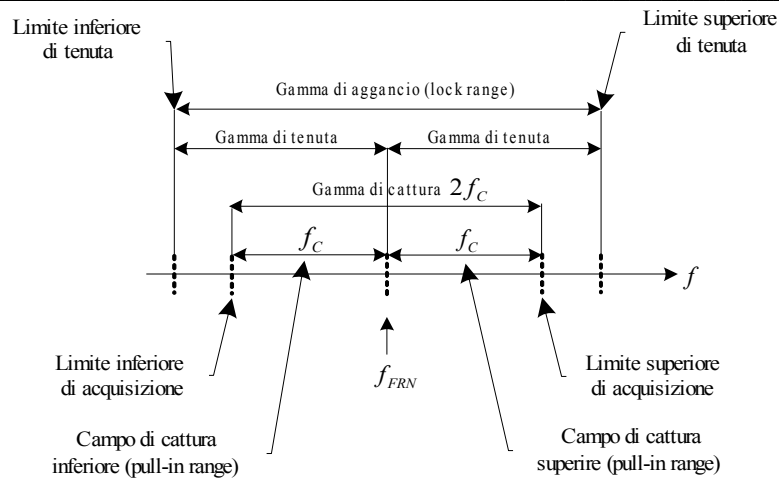


Figura 24

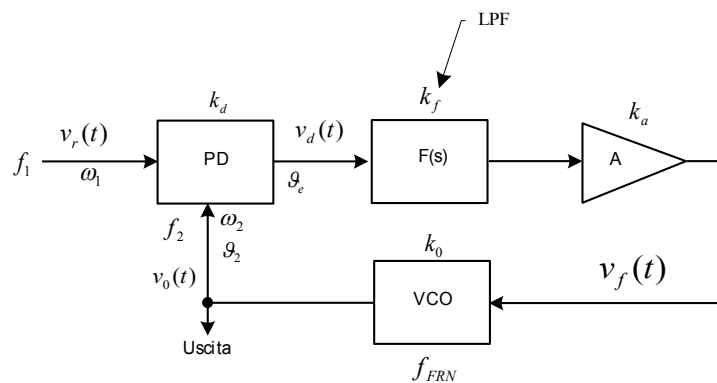


Figura 25

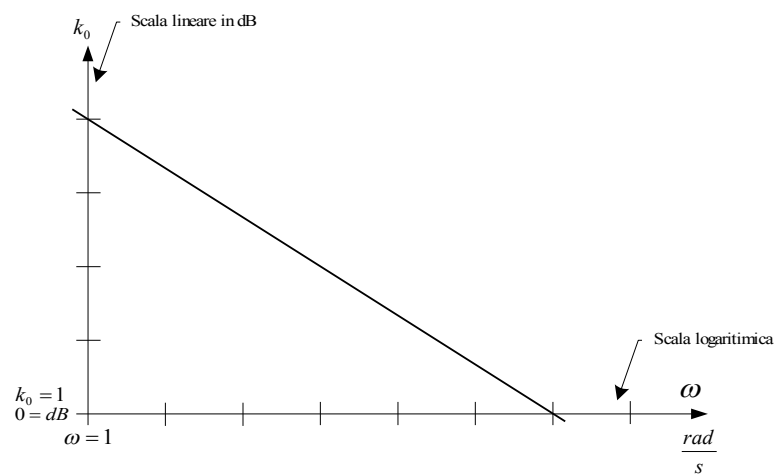


Figura 26

Appunti sul principio di funzionamento di un sistema PLL

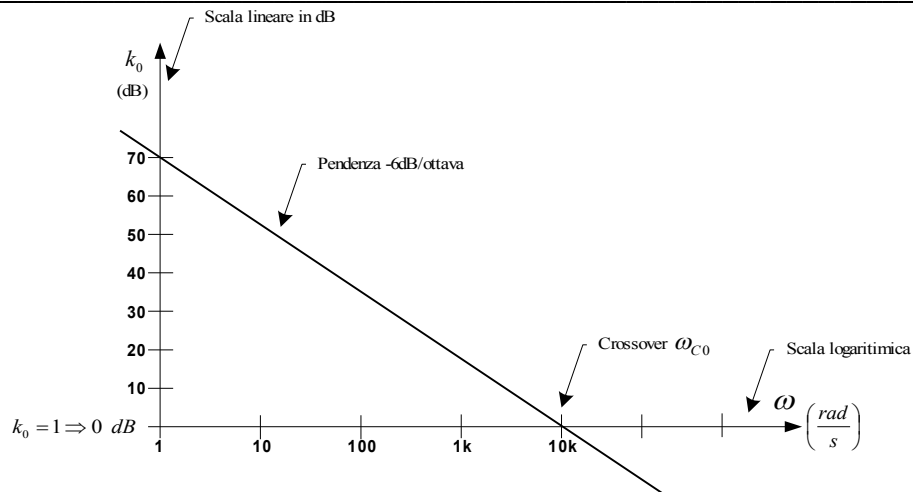


Figura 27

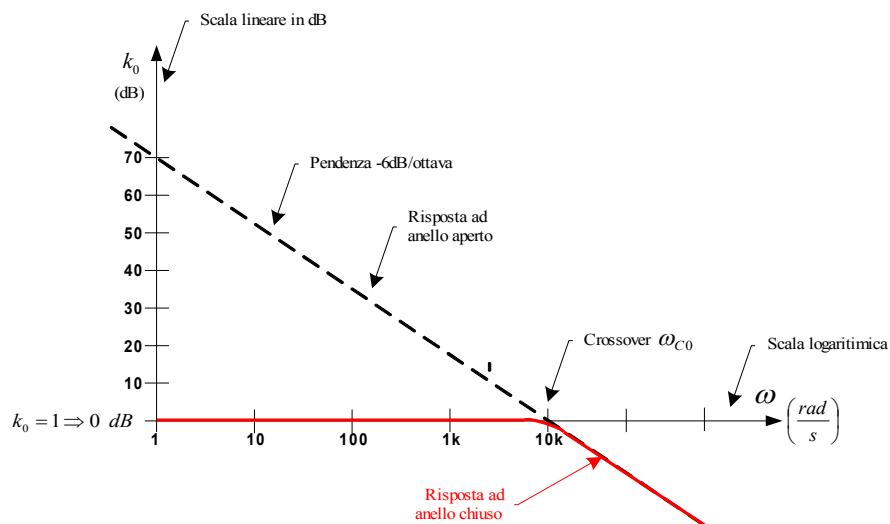


Figura 28

Note

Nota 1

$$\sin \alpha \cdot \cos \beta = \frac{1}{2} [\sin(\alpha + \beta) + \sin(\alpha - \beta)]$$