

CAPITOLO IX

ARGOMENTI COMPLEMENTARI

9.1) Introduzione.

Nel presente capitolo verranno presi in considerazione un certo numero di argomenti complementari, quali il fenomeno del "clock skew", i metodi operazionali per l'analisi delle corse e delle alee e un nuovo tipo di approccio alla sintesi di circuiti sequenziali asincroni. Quest'ultimo argomento verra' introdotto attraverso il progetto del flip-flop JK, visto come un circuito sequenziale asincrono.

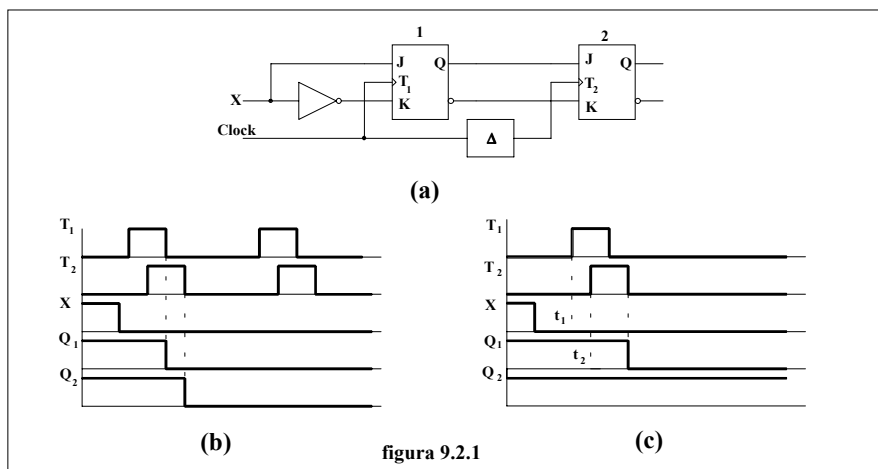
Puo' sembrare sorprendente considerare un flip-flop un circuito asincrono ed in effetti, una volta che sia stato progettato, esso e' un circuito sincrono cui viene applicato un ben distinguibile segnale di clock e che cambia stato una sola volta per ciascun impulso di sincronizzazione. Tuttavia, mentre lo si sta progettando, in modo che corrisponda alle specifiche assegnate, esso dovra' venir considerato come un circuito asincrono e il clock dovra' venir trattato come un qualsiasi altro ingresso.

9.2) Il clock skew.

Spesso la particolare realizzazione fisica di un circuito sequenziale fa si' che le ipotesi fondamentali alla base del funzionamento fisico siano violate, anche se vengono usati flip-flop master-slave oppure sincronizzati sui fronti.

Si consideri infatti il circuito sequenziale sincrono di fig. 9.2.1 (a) e si supponga che i flip-flop siano tutti di tipo master-slave, in modo che qualsiasi variazione di stato abbia luogo sul fronte di discesa dell'impulso di clock.

Il circuito illustrato e' un semplice registro a scorrimento da 2 bit. Si supponga che, a causa della particolare realizzazione della linea di distribuzione del clock, esista un ritardo tra l'applicazione dell'impulso di sincronizzazione al flip-flop 1 e quella al flip-flop 2. Questa situazione puo' essere determinata da linee di interconnessione eccessivamente lunghe o da un certo numero di invertitori inseriti sulla linea di clock.



Il valore iniziale delle uscite dei flip-flop sia quello illustrato in fig. 9.2.1 (b) con $y_1 = y_2 = 1$ e $x = 0$.

Se il circuito operasse correttamente, il primo impulso di clock dovrebbe caricare uno zero nel flip-flop 1 e il secondo impulso propagare lo zero nel secondo flip-flop.

Si noti ora che, nelle condizioni ipotizzate, y_1 va a 0 in corrispondenza al fronte di discesa dell'impulso 1. Questo valore si propaga immediatamente agli ingressi del secondo flip-flop, mentre il clock presente all'ingresso T_2 e' ancora a livello alto a causa del ritardo (fig. 9.2.1 (b)). In queste condizioni un flip-flop JK master-slave carica il dato presente all'ingresso nella sezione master. Quando il clock presente su T_2 ritorna a zero, il valore memorizzato viene trasferito alla sezione slave e y_2 va a zero a sua volta. In definitiva con un unico impulso di clock le uscite hanno raggiunto la situazione che si sarebbe dovuta avere solo in corrispondenza del fronte di discesa del secondo impulso.

E' necessario pertanto porre un'estrema cura per evitare un tal tipo di comportamento, assicurandosi che i segnali di clock siano tutti coincidenti.

Si puo' usare anche un approccio diverso, usando dei flip-flop di struttura piu' complicata. Si supponga infatti che i due segnali J e K siano campionati in corrispondenza al fronte di salita dell'impulso di clock e che le loro successive variazioni non abbiano effetto alcuno.

In tal caso, come illustrato in fig. 9.2.1 (c), il valore di x viene prelevato all'istante t_1 , quello di y_1 all'istante t_2 e pertanto il circuito funziona correttamente.

C'e' tuttavia da osservare che il far si' che il flip-flop riconosca i segnali di ingresso solo in corrispondenza dei fronti di salita ne complica notevolmente il progetto e che anche utilizzando flip-flop master-slave triggerati sui fronti si puo' avere il fenomeno del "clock skew", sia pure con probabilita' molto minore.

9.3) Tavola di stato di un flip-flop JK master-slave.

Nella progettazione di un flip-flop JK master-slave e' necessario far rilevare che le due funzioni, quella master e quella slave, non sono separabili in rapporto alla realizzazione finale. Si considereranno pertanto due uscite, quella del master z_1 e quella dello slave z_2 ; evidentemente, una volta che il circuito sia stato realizzato come circuito integrato, sara' disponibile la sola uscita z_2 .

A partire da uno stato **a**, in cui $z_1 z_2 = 00$, la tavola di stato puo' essere iniziata come illustrato in fig. 9.3.1.

| Stato | | CJK | | | | | | | |
|-------|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| a | (a) | (a) | (a) | (a) | (a) | (a) | b | b | 00 |
| b | | | | | (b) | (b) | (b) | (b) | 01 |

figura 9.3.1

Finche' il clock C rimane a zero, il circuito si mantiene nello stato stabile **a**. Quando il clock passa a 1, l'uscita z_1 del master deve passare a 1 se $J = 1$; il valore assunto da K non ha importanza, alla luce del tipo di funzionamento del flip-flop JK. Si passa quindi alla condizione instabile **b** delle due ultime colonne e si evolve poi verso lo stato stabile **b** della se-

conda riga, cui e' associata l'uscita 01. Il circuito non deve poi evolvere ulteriormente finche' C non torna a zero, determinando quindi le quattro condizioni stabili della seconda riga.

La prima riga va infine completata con le due condizioni stabili relative alle condizioni di ingresso JK = 00 e JK = 01. Con l'approccio seguito tuttavia l'uscita del master passa a 1 anche se J passa da 0 a 1 mentre il clock e' attivo (C = 1). Quando lo stato **b** e' stato raggiunto, le ulteriori variazioni di J e K, finche' C rimane a 1, non hanno alcun effetto. Quando C ritorna a zero il circuito evolve verso lo stato **c**, che e' associato all'uscita $z_1z_2 = 11$, come illustrato in fig. 9.3.2

| Stato \ CJK | | CJK | | | | | | | | z_2z_1 |
|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|----------|
| | | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 | |
| a | (a) | (a) | (a) | (a) | (a) | (a) | b | b | 00 | |
| b | c | c | c | c | (b) | (b) | (b) | (b) | 01 | |
| c | (c) | (c) | (c) | (c) | | | | | 11 | |

figura 9.3.2

La tavola va infine completata considerando il ritorno allo stato **a** se, quando C ritorna a 1, anche K si trova a 1.

Si ottiene in definitiva la tavola di stato di fig. 9.3.3.

| Stato \ CJK | | CJK | | | | | | | | z_2z_1 |
|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|----------|
| | | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 | |
| a | (a) | (a) | (a) | (a) | (a) | (a) | b | b | 00 | |
| b | c | c | c | c | (b) | (b) | (b) | (b) | 01 | |
| c | (c) | (c) | (c) | (c) | (c) | d | d | (c) | 11 | |
| d | a | a | a | a | (d) | (d) | (d) | (d) | 10 | |

figura 9.3.3

Piu' complesso e' il caso in cui si volesse realizzare un flip-flop JK master-slave sensibile ai fronti del segnale di clock.

A partire dalla tavola di stato di fig. 9.3.1 si considerino le caselle di coordinate 100 e 101. Se il flip-flop dev'essere sensibile ai fronti e' necessario distinguere tra l'evento J = 1 seguito da C = 1 e l'evento C = 1 seguito da J = 1. In quest'ultimo caso il circuito non deve passare nello stato **b**, ma in un nuovo stato che memorizzi il verificarsi del relativo evento, come illustrato nella tavola di stato di fig. 9.3.4. Si ricordi infine che una variazione simultanea degli ingressi a partire dallo stato stabile **a** porta ad un'evoluzione che non puo'

essere predetta. Pertanto, anche per evitare transizioni di stato multiple, si impone la restrizione che J e K siano stabili quando C passa da 0 a 1 e che il circuito si sia poi stabilizzato prima che J e K possano nuovamente cambiare. In particolare se il valore massimo del clock skew e' conosciuto tale vincolo puo' esser meglio specificato.

A partire dalla condizione stabile e, quando C ritorna a zero, si dovra' ritornare alla condizione stabile a.

| Stato | | CJK | | | | | | | |
|-------|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| a | (a) | (a) | (a) | (a) | e | e | b | b | 00 |
| e | a | a | a | a | (e) | (e) | (e) | (e) | 00 |
| b | | | | | (b) | (b) | (b) | (b) | 01 |

figura 9.3.4

Dallo stato stabile b il circuito evolve poi verso lo stato stabile c quando il clock torna a zero, mentre a partire da quest'ultimo considerazioni analoghe a quelle appena fatte portano alla tavola di stato di fig. 9.3.5.

| Stato | | CJK | | | | | | | |
|-------|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| a | (a) | (a) | (a) | (a) | e | e | b | b | 00 |
| e | a | a | a | a | (e) | (e) | (e) | (e) | 00 |
| b | c | c | c | c | (b) | (b) | (b) | (b) | 01 |
| c | (c) | (c) | (c) | (c) | f | d | d | f | 11 |
| f | c | c | c | c | (f) | (f) | (f) | (f) | 11 |
| d | a | a | a | a | (d) | (d) | (d) | (d) | 10 |

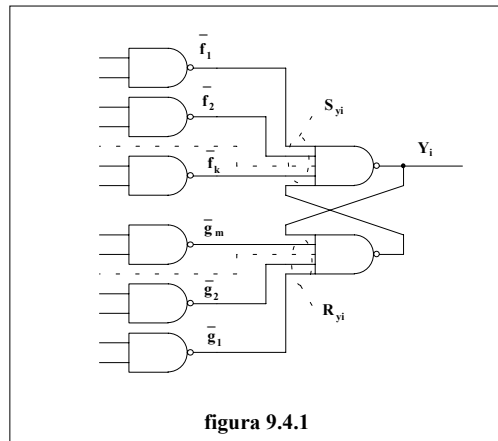
figura 9.3.5

9.4) Un nuovo approccio alla realizzazione dei circuiti asincroni.

Prima di passare alla realizzazione del flip-flop JK master-slave standard e' opportuno introdurre un nuovo modello su cui puo' basarsi la realizzazione di circuiti asincroni. Tale modo di procedere si rivela particolarmente utile quando per eliminare le alee statiche e

dinamiche dei circuiti progettati in modo tradizionale e' richiesto un numero di gate addizionali troppo elevato.

Si consideri il modello di fig. 9.4.1. Lo sviluppo che segue si riferira' ad un'unica variabile di stato Y_i , ma tutte le variabili di stato possono essere realizzate nel modo che verra' descritto. Gli ingressi del circuito di fig. 9.4.1 possono essere sia i veri ingressi del circuito che variabili di stato.



La variabile Y_i e' l'uscita della coppia di NAND collegati in modo incrociato; tale struttura ricorda molto da vicino quella del flip-flop SR ottenuto incrociando due NOR.

Si indichino con $\overline{f_1}, \dots, \overline{f_k}$ e $\overline{g_1}, \dots, \overline{g_m}$ le uscite dei NAND di ingresso. Si noti che k e m non hanno alcuna relazione con il numero di variabili.

Si definisca poi:

$$\overline{S_{yi}} = \overline{f_1 \cdot f_2 \cdot \dots \cdot f_k}$$

cioe'

$$S_{yi} = f_1 + f_2 + \dots + f_k$$

e

$$\overline{R_{yi}} = \overline{g_1 \cdot g_2 \cdot \dots \cdot g_m}$$

cioe'

$$R_{yi} = g_1 + g_2 + \dots + g_m$$

Con queste definizioni si vede che l'uscita del gate basso della coppia con collegamento incrociato e':

$$\overline{\overline{R_{yi}} \cdot Y_i}$$

e quindi

$$Y_i = \overline{\overline{S_{yi}} \cdot \overline{\overline{R_{yi}} \cdot Y_i}}$$

cioe'

$$Y_i = S_{y_i} + \overline{R_{y_i}} \cdot Y_i$$

Si riconosce immediatamente che l'espressione appena ricavata e' l'equazione di stato di un flip-flop RS, riconoscendo altresì che il membro a destra del segno di uguaglianza si riferisce a un determinato istante di tempo, mentre quello a sinistra si riferisce all'istante di tempo immediatamente successivo.

Il modello che si sta perfezionando differisce pertanto dal modello fondamentale usato nella normale sintesi dei circuiti sequenziali asincroni per il fatto che ora la variabile di stato viene memorizzata in un flip-flop non sincronizzato. La struttura ottenuta ricorda quindi quella dei circuiti sequenziali ad impulsi, senza tuttavia che in questo caso impulsi siano presenti.

Si consideri ora un circuito sequenziale asincrono con una variabile di stato posta a 1 ed una variazione di ingresso che lasci inalterata tale variabile. Si e' già visto in precedenza che in tal caso puo' verificarsi il fenomeno conosciuto come alea statica e che tale fenomeno con la normale sintesi dei circuiti sequenziali asincroni, nel quale le variabili di stato sono reazionate direttamente, puo' dar luogo ad un'evoluzione errata.

Nel modello di fig. 9.4.1 non e' necessario che i segnali controllati dagli ingressi rimangano costantemente a 1 per far sì che la variabile Y_i permanga inalterata, poichè il suo valore e' memorizzato nel flip-flop RS. Tutto quello che si richiede e' che per tutto il tempo durante il quale Y_i deve rimanere a 1 R_{y_i} rimanga a 0. In altre parole non ha alcuna importanza analizzare se esistono alea statiche in S_{y_i} , ma per evitare transizioni di Y_i da 1 a 0 e' sufficiente che R_{y_i} non passi mai a 1.

Esaminando ora la funzione R_{y_i} si vede che essa puo' passare a 1 solo se una o piu' delle funzioni g_k vale 1. Poichè le g_k altro non sono che prodotti logici di variabili di ingresso e di stato, un livello 1 potra' essere ottenuto solo per variazione di queste variabili poichè i prodotti logici sono evidentemente privi di alea. Di conseguenza il modello proposto e' privo di alea statiche a livello 1.

Considerazioni del tutto analoghe portano a concludere che il circuito e' anche privo di alea statiche a livello 0.

Il metodo di progetto proposto non solo elimina la possibilita' di alea statiche, ma puo' anche produrre circuiti piu' semplici. A causa della presenza del flip-flop e' richiesto che R_{y_i} e S_{y_i} assumano valore 1 solo in corrispondenza di un'effettiva variazione della variabile di stato. Quando tale variabile invece permane inalterata a R_{y_i} e S_{y_i} possono essere assegnate le condizioni non specificate che si deducono dalla tavola di eccitazione del flip-flop SR.

Pertanto se il numero delle transizioni di stato che comportano la commutazione di una variabile e' piccolo, il metodo di progetto proposto puo' dar luogo a strutture circuitali piu' semplici che non il metodo classico. Sfortunatamente il metodo che si sta esaminando non risolve il problema delle corse e delle alea essenziali. Infatti ambedue i fenomeni sono intimamente legati alla struttura della tavola di flusso e non al modo in cui il circuito viene realizzato.

9.5) Realizzazione del flip-flop JK master-slave standard.

Un'occhiata anche sommaria alla tavola di stato di fig. 9.3.3 evidenzia che non vi e' alcun problema anche se due variabili di ingresso commutano contemporaneamente. Pertanto

l'assegnazione della codifica piu' naturale, che pone $z_2 = y_2$ e $z_1 = y_1$ conduce alla matrice delle transizioni di fig. 9.5.1, esente da corse e da cicli.

| $y_2 y_1$ | CJK | | | | | | | |
|-----------|-----|-----|-----|-----|-----|-----|-----|-----|
| | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| 00 | 00 | 00 | 00 | 00 | 00 | 00 | 01 | 01 |
| 01 | 11 | 11 | 11 | 11 | 01 | 01 | 01 | 01 |
| 11 | 11 | 11 | 11 | 11 | 11 | 10 | 10 | 11 |
| 10 | 00 | 00 | 00 | 00 | 10 | 10 | 10 | 10 |

figura 9.5.1

Rimane da determinare una realizzazione economica che sia priva di alee statiche e dinamiche e nella quale le alee essenziali associate alla commutazione del clock siano state attentamente controllate. Usando la matrice di fig. 9.5.1 quale mappa di Karnaugh per y_1 e y_2 si ottengono le seguenti equazioni:

$$y_2 = y_1 \cdot \bar{C} + y_2 \cdot C + y_1 \cdot y_2$$

$$y_1 = y_1 \cdot \bar{C} + \bar{y}_2 \cdot y_1 + y_1 \cdot \bar{K} + \bar{y}_2 \cdot C \cdot J$$

dove l'ultimo termine della prima equazione e' stato inserito per eliminare un'alea statica. L'implementazione del circuito richiede 8 gates e 3 invertitori con un numero totale di ingressi pari a 23.

La soluzione individuata potrebbe senz'altro essere considerata soddisfacente; e' opportuno tuttavia esaminare la tecnica di progetto proposta al paragrafo precedente. Dalla tavola di fig. 9.5.1 si possono ricavare direttamente le quattro mappe di eccitazione che seguono.

| $y_2 y_1$ | CJK | | | | | | | |
|-----------|-----|-----|-----|-----|-----|-----|-----|-----|
| | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| 00 | | | | | | | 1 | 1 |
| 01 | Φ | Φ | Φ | Φ | Φ | Φ | Φ | Φ |
| 11 | Φ | Φ | Φ | Φ | Φ | | | Φ |
| 10 | | | | | | | | |

S_{y1}

| $y_2 y_1$ | | CJK | | | | | | | |
|-----------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| | | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| 00 | Φ | Φ | Φ | Φ | Φ | Φ | | | |
| 01 | | | | | | | | | |
| 11 | | | | | | 1 | 1 | | |
| 10 | Φ | Φ | Φ | Φ | Φ | Φ | Φ | Φ | Φ |

R_{y1}

| $y_2 y_1$ | | CJK | | | | | | | |
|-----------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| | | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| 00 | | | | | | | | | |
| 01 | 1 | 1 | 1 | 1 | | | | | |
| 11 | Φ | Φ | Φ | Φ | Φ | Φ | Φ | Φ | Φ |
| 10 | | | | | Φ | Φ | Φ | Φ | Φ |

S_{y2}

| $y_2 y_1$ | | CJK | | | | | | | |
|-----------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| | | 000 | 001 | 011 | 010 | 100 | 101 | 111 | 110 |
| 00 | Φ | Φ | Φ | Φ | Φ | Φ | Φ | Φ | Φ |
| 01 | | | | | Φ | Φ | Φ | Φ | Φ |
| 11 | | | | | | | | | |
| 10 | 1 | 1 | 1 | 1 | | | | | |

R_{y2}

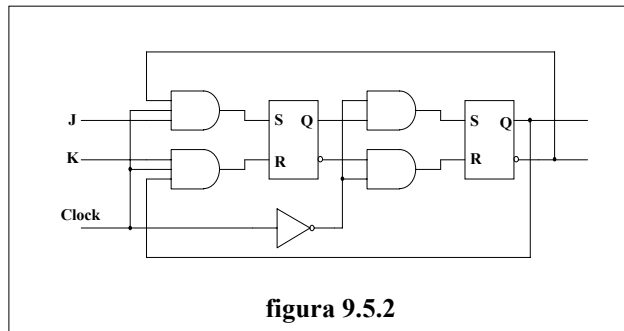
Da queste si ottengono infine le equazioni:

$$S_{y1} = C \cdot J \cdot \bar{y}_2 \qquad R_{y1} = C \cdot K \cdot y_2$$

$$S_{y2} = \bar{C} \cdot y_1 \qquad R_{y2} = \bar{C} \cdot \bar{y}_1$$

Si noti che nel caso che si sta esaminando i valori \bar{y}_1 e \bar{y}_2 sono direttamente disponibili. Si ottiene quindi il circuito di fig. 9.5.2 che rispetto al caso precedente impiega due invertitori e quattro ingressi in meno.

La struttura circuitale ricavata e' molto simile a quella usata per realizzare il flip-flop JK in logica integrata DTL o TTL.



Il circuito, come e' stato illustrato al paragrafo precedente, e' privo di alee statiche e dinamiche. Tuttavia rimane la possibilita' di un'alea essenziale legata alla commutazione del clock. Si supponga ad esempio che l'invertitore di fig. 9.5.2 sia particolarmente lento. In tal caso la transizione da 0 a 1 del clock puo' far si' che il nuovo valore determinato dall'ingresso si propaghi a y_1 prima che uno 0 sia comparso all'uscita dell'invertitore. Il nuovo valore pertanto si presenta immediatamente all'uscita senza attendere il fronte negativo del clock.

Sappiamo gia' che non vi e' modo di eliminare le alee essenziali modificando il progetto logico. E' necessario invece assicurarsi che il tempo di propagazione dell'invertitore sia sempre minore dei due livelli di logica della sezione master.

9.6) Analisi di corse e alee.

Al capitolo VI sono stati esaminati i problemi legati alla presenza di alee nei circuiti sequenziali asincroni; sono stati anche dati dei criteri di progetto che permettono di evitare sia quelle statiche che quelle dinamiche e nel presente capitolo e' stato preso in esame un metodo di progetto che ne assicura l'assenza.

Tuttavia non e' possibile garantire l'assenza delle alee essenziali, in quanto esse sono legate alla struttura logica del problema e non a come il circuito viene realizzato; a tutto cio' si aggiunge inoltre che spesso e' necessario far si' che piu' di una variabile di ingresso commuti allo stesso tempo, con la conseguente possibilita' di alee multiple. Si ricordi tuttavia che il corretto funzionamento di circuiti che contengano alee multiple o essenziali dipende in larga misura dal ritardo dei vari itinerari percorsi dal segnale.

Con riferimento al progetto del flip-flop JK, trattato al paragrafo precedente, e' gia' stato fatto notare che in esso esiste un'alea essenziale. La situazione e' abbastanza tipica; capita spesso infatti che in un progetto si presentino delle corse o delle alee in maniera o non prevedibile a priori o comunque non evitabile. In questi casi il progettista deve assicurarsi che tali fenomeni non siano pericolosi; sarebbe pertanto desiderabile disporre di tecniche computazionali da usare per identificare casi di incerto comportamento in modo da poter valutare la probabilita' che essi causino funzionamenti non corretti. Un possibile approccio, come si accennera' piu' avanti, consiste nel simulare il funzionamento del circuito progettato; la simulazione e' un importante strumento di indagine, che tuttavia coinvolge problematiche notevolmente complesse le quali esulano dagli scopi di questa trattazione.

E' stata tuttavia sviluppata¹ una tecnica computazionale che e' di solito in grado di ottenere le desiderate informazioni in modo piu' esplicito e con tempi di calcolo notevolmente

¹ EICHELBERG E.B. "Hazard detection in combinational and sequential switching circuits" IBM Journal of Research and development N. 90 (marzo 1965)

inferiori di quelli richiesti per una simulazione completa. Il metodo utilizza un calcolo logico a tre valori.

In aggiunta alle costanti logiche 0 e 1 si considererà un terzo elemento, indicato con **X**, che nel metodo che si sta esaminando potrà essere considerato associato ad un valore indeterminato o sconosciuto. Se ci si riferisce cioè a un circuito di commutazione, quando l'uscita di un gate fosse **X** ciò starebbe ad indicare che non si è in grado di sapere se l'uscita di tale gate sia 0 oppure 1.

Si definisca la negazione di **X** semplicemente come:

$$\bar{X} = X$$

violando pertanto i postulati dell'algebra booleana.

Ci si assicuri poi che il sistema sia chiuso definendo le operazioni di negazione, somma e prodotto logico come illustrato in fig. 9.6.1.

| | | | | | | | | | | | |
|---|------------|---|------------|---|---|------------|---|---|---|---|---|
| A | \bar{A} | B | A | 0 | X | 1 | B | A | 0 | X | 1 |
| 0 | 1 | 0 | 0 | 0 | X | 1 | 0 | 0 | 0 | 0 | 0 |
| X | X | X | X | X | X | 1 | X | 0 | X | X | X |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | X | 1 | 1 |
| | NOT | | A+B | | | A.B | | | | | |

figura 9.6.1

Considerando **X** un valore incognito le tabelle introdotte acquistano un significato intuitivo.

Se **A** è sconosciuta allora anche la negazione di **A** è sconosciuta; $0 + X$ e $X + X$ saranno determinate in ogni caso dal valore sconosciuto **X**, mentre $1 + X$ sarà sempre 1 indipendentemente da quanto valga **X**. Considerazioni del tutto analoghe si possono fare per l'operatore AND.

ESEMPIO 1

Il valore di **Y** nel semplice circuito di fig. 9.6.2 sia sconosciuto, mentre **W** e **U** siano sempre noti istante per istante. Si vuole determinare per quali combinazioni di valori di **W** e **U** l'uscita **Z** dipende dal valore sconosciuto di **Y**.

Ponendo $Y = X$, si ha che :

$$Z = U + W \cdot X$$

e dalle mappe di fig. 9.6.1 si vede che $Z = X$ se e solo se $W = 1$ e $U = 0$

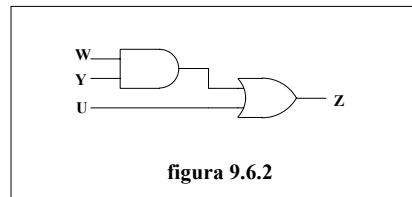


figura 9.6.2

In qualsiasi circuito "level mode", compreso quello del paragrafo precedente si possono ottenere le espressioni booleane esprimendo delle funzioni di eccitazione in termini di ingressi e di variabili di stato. Il metodo di Eichelberg utilizza queste espressioni per calcolare il comportamento del circuito, modificando gli ingressi come viene illustrato nella procedura a due passi che segue. La tecnica, che utilizza il calcolo a tre valori, riesce a evidenziare tutte le possibilità che un circuito sequenziale raggiunga uno stato erroneo a causa di corse o alee.

PASSO 1: Prese in considerazione le variabili di ingresso che devono cambiare si assegna a ciascuna d'esse il valore X, lasciando inalterate le altre variabili di ingresso e quelle di stato. Si calcolino in queste condizioni le funzioni di eccitazione e si verifichi se qualche y' ha cambiato valore. Se ciò è vero si assegna alla corrispondente variabile di stato il nuovo valore e si ripeta il calcolo finché non si hanno più variazioni delle variabili secondarie. A questo punto alcune delle variabili di stato possono essersi stabilizzate a X.

PASSO 2: Si assegna ora alle variabili di ingresso in commutazione il loro valore finale lasciando per tutte le altre variabili il valore assunto alla fine del passo 1. Si calcolino nuovamente le funzioni di eccitazione e se una o più di esse variano da X a 0 o 1 allora si modifichino le corrispondenti variabili di stato ricalcolando poi le funzioni di eccitazione. Si prosegue in tal modo finché non vi sono più modifiche.

Il risultato dei passi 1 e 2 possono essere valutati con il seguente:

TEOREMA - Se un'eccitazione è 1 (0) dopo l'esecuzione dei passi 1 e 2 per una data variazione dell'ingresso e per un dato stato iniziale, allora quest'eccitazione si stabilizzerà a 1 (0) per lo stesso stato iniziale e per la stessa variazione di ingresso anche nel circuito fisico senza che il ritardo dei vari gates abbia alcuna importanza. Se invece un'eccitazione rimane uguale a X alla fine del passo 2 allora il funzionamento del circuito viene a dipendere dall'entità dei ritardi.

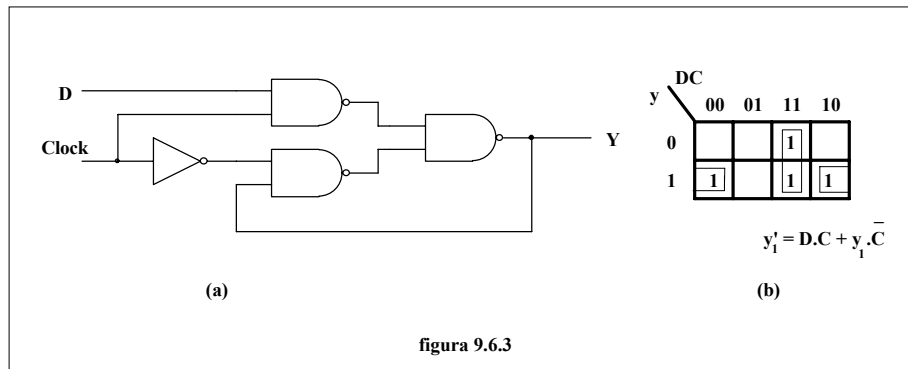
È bene mettere in luce che il risultato di questa procedura è più pessimistico di quello fornito da una simulazione. Qualora il metodo di Eichelberg identifichi un'alea che il progettista a priori non aveva individuato, allora è opportuno rivedere il progetto; se poi

quest'ultimo non puo' venir modificato, si rende generalmente necessario ricorrere alla simulazione vera e propria.

Si prenda ora in considerazione un semplice esempio di applicazione della procedura.

ESEMPIO 2

Il circuito di fig. 9.6.3 rappresenta la struttura elementare di un flip-flop D, implementata senza aver eliminato le alee statiche.



Si applichi la procedura descritta ai passi 1 e 2 a tale circuito e la si applichi poi a quello ottenuto con l'eliminazione dell'alea statica, retto dall'equazione di eccitazione:

$$y'_1 = D.C + y_1.\bar{C} + y_1.D \quad (9.6.1)$$

Si consideri solo la variazione che si ha quando dalla condizione $D = C = y_1 = 1$ il segnale C commuta a zero. Dalla tavola di stato di fig. 9.6.3 (b) si vede che questa commutazione puo' dar luogo a un'alea statica.

In fig. 9.6.4 sono riportate le tabelle di commutazione ottenute con la procedura di Eichelberg sia per il circuito di fig. 9.6.3 che per quello retto dall'equazione 9.6.1.

| | D | C | y'_1 | D | C | y'_1 |
|---------------------|---|---|--------|---|---|--------|
| Condizione iniziale | 1 | 1 | 1 | 1 | 1 | 1 |
| Passo 1 | 1 | X | X | 1 | X | 1 |
| Passo 2 | 1 | 0 | X | 1 | 0 | 1 |

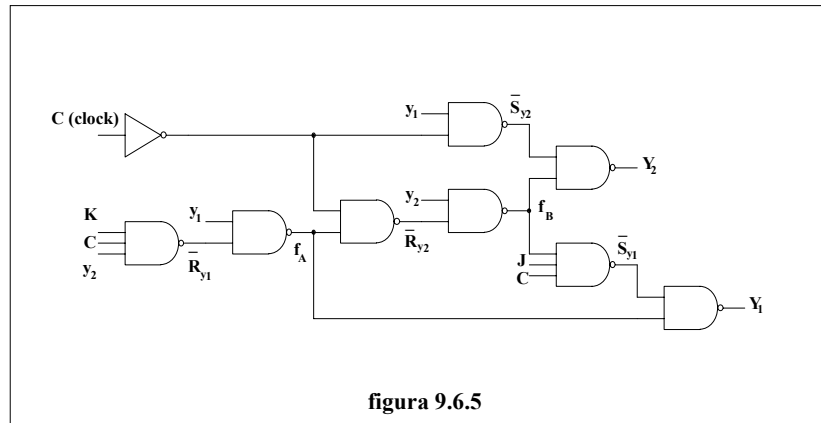
senza la correzione dell'alea con la correzione dell'alea

figura 9.6.4

L'aggiunta del termine $y_1.D$ elimina l'alea statica; pertanto y_1 rimane a 1 anche se C passa dapprima a X e solo successivamente a 0. In circuiti piu' complicati di quello preso in esame la procedura identifichera' comunque corse e alee, ma potra' essere molto difficile individuare sulla mappa di Karnaugh la condizione critica che le determina.

ESEMPIO 3

Come secondo esempio si indaghi sull'effetto dell'alea essenziale rimasta nel flip-flop JK master-slave di fig. 9.5.2. Sebbene non sia immediatamente evidente, vi sono solamente due variabili di stato, y_1 e y_2 che possono venir prelevate dai gates superiori delle coppie a collegamento incrociato che realizzano i flip-flop RS del circuito di fig. 9.5.2. Aprendo i loop in questi punti si ottiene il circuito combinatorio di fig. 9.6.5.



Le uscite sono le eccitazioni y'_1 e y'_2 cui corrispondono le variabili secondarie y_1 e y_2 . Per ragioni di opportunita' due punti del circuito sono stati chiamati f_A e f_B e corrispondono alle uscite inferiori delle coppie a collegamento incrociato.

Per applicare la procedura di Eichelberg si devono determinare le equazioni di eccitazione del circuito. Si determinino per prima cosa le espressioni di f_A e f_B .

$$f_A = \overline{y_1} + K.C.y_2$$

$$f_B = \overline{y_2} + \overline{C}.f_A = \overline{y_2} + \overline{C}.y_1$$

Queste espressioni possono essere usate nello sviluppo di y'_1 e y'_2 . Si ottiene:

$$y'_2 = \overline{f_B} + y_1.\overline{C} = \overline{\overline{y_2} + \overline{C}.y_1} + \overline{C}.y_1 = y_2.(C + y_1) + \overline{C}.y_1 = y_2.C + y_1.\overline{C} + y_1.y_2$$

$$y'_1 = \overline{f_A} + J.C.f_B = \overline{\overline{y_1} + K.C.y_2} + J.C.\overline{y_2} = y_1.\overline{K} + y_1.\overline{C} + y_1.y_2 + J.C.\overline{y_2}$$

Si noti che le relazioni appena trovate coincidono con quelle prive di alee ricavate con i metodi tradizionali al paragrafo 9.5. Questo non significa che i vari metodi di progetto conducano allo stesso circuito, ma semplicemente che i due circuiti hanno la stessa funzione e che con un'analisi corretta e un'opportuna manipolazione possono essere rappresentati dalla stessa espressione booleana.

Si verifichi ora con il calcolo a tre valori la transizione del clock da 0 a 1. Sia inizialmente $y_1 = y_2 = 0$, $J = 1$ e $K = C = 0$. Si ottiene:

| | C | y₂ | y₁ | y'₁ | | y'₂ | |
|----------------|------------|----------------------|----------------------|-----------------------|----------|-----------------------|----------|
| passo 1 | 000 | | | 0 + 0 + 0 + 0 | 0 | 0 + 0 + 0 | 0 |
| | X00 | | | 0 + 0 + 0 + X | X | 0 + 0 + 0 | 0 |
| | X0X | | | X + X + X + X | X | 0 + X + 0 | X |
| | XXX | | | X + X + X + X | X | X + X + X | X |
| passo 2 | 1XX | | | X + 0 + X + X | X | X + 0 + X | X |

Come si vede sono stati necessari tre passi di calcolo prima che y_2' e y_1' si stabilizzassero per l'ingresso X. Inoltre ambedue queste variabili rimangono al valore X dopo il passo 2 del calcolo, mettendo in evidenza l'esistenza dell'alea essenziale.

Come si e' gia' detto il risultato del test e' pessimistico rispetto alla realta' in quanto il circuito preso in considerazione funzionera' comunque in maniera soddisfacente. Per avere una risposta definitiva tuttavia sarebbe necessario ricorrere alla simulazione.

Tuttavia spesso sulla sola base dei risultati del calcolo secondo Eichelberg si puo' effettuare una modifica al circuito che elimini gli inconvenienti messi in evidenza.