

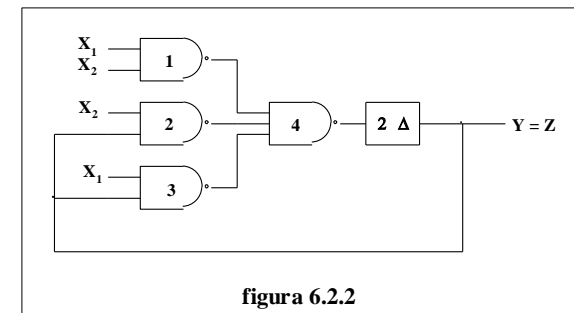
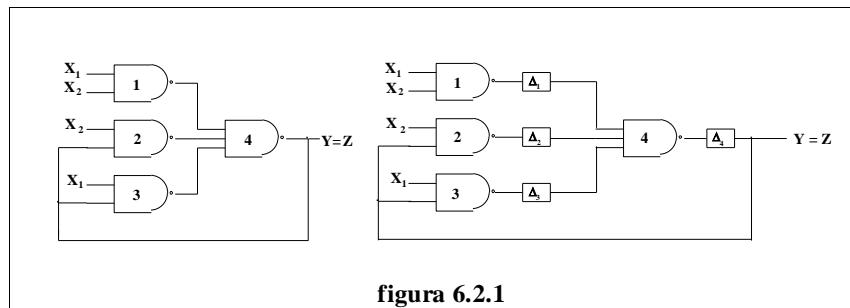
Circuiti Sequenziali Asincroni

Capitolo 6



Generalita'

- La memoria passata e' mantenuta grazie ai ritardi
- E' presente sempre almeno un loop di reazione
- I ritardi sono legati alla realta' del circuito
- Ipotesi semplificative
 - I ritardi siano tutti uguali
 - operatori logici e ritardi siano invertibili



$$\Delta = \Delta_1 = \Delta_2 = \Delta_3 = \Delta_4$$

Condizioni stabili / instabili

- Poste che siano y : variabili di stato attuali e y' quelle future

- Uno stato e' stabile se qualunque j

$$y'_j(t) = y_j(t)$$

- E' instabile se per almeno un valore di j

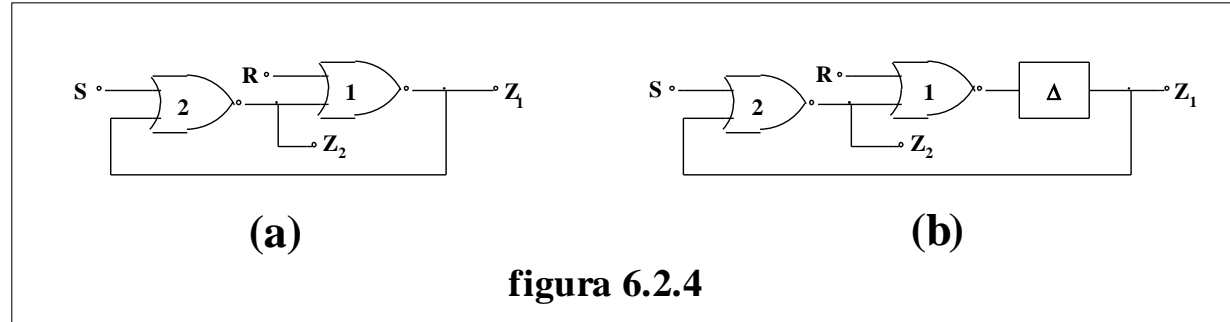
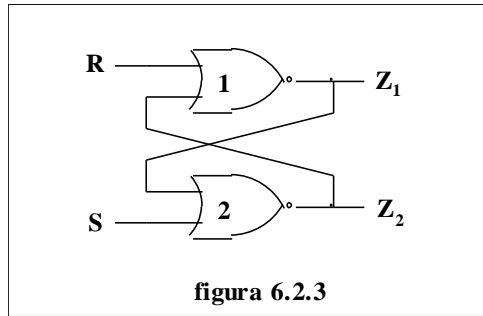
$$y'_j(t) \neq y_j(t)$$

- Poiche' nel loop di reazione vi e' solo un ritardo un circuito non puo' permanere in uno stato instabile



Analisi

Esempio



$$y' = \bar{R}(S + y) = \bar{R}S + \bar{R}y$$

eq. di stato

$$Z_1 = y$$

eq. di uscita

$$Z_2 = \bar{S}y$$

		RS			
		00	01	11	10
y	0	0	1	0	0
	1	1	1	0	0

y'

		RS			
		00	01	11	10
y	0	01	00	00	01
	1	10	10	10	10

$Z_1 Z_2$

figura 6.2.5

matrice di eccitazione e
matrice di uscita

		RS			
		00	01	11	10
y	0	0 / 01	1 / 00	0 / 00	0 / 01
	1	1 / 10	1 / 10	0 / 10	0 / 10

figura 6.2.6

tavola di flusso



Esempio (cont.)

RS y		00	01	11	10	
		0	0 / 01	1 / 00	0 / 00	0 / 01
		1	1 / 10	1 / 10	0 / 10	0 / 10

figura 6.2.6

Nota: Il funzionamento del FF puo' apparire diverso da quanto descritto precedentemente (nel caso 11) ma in un circuito asincrono gli ingressi devono variare uno alla volta

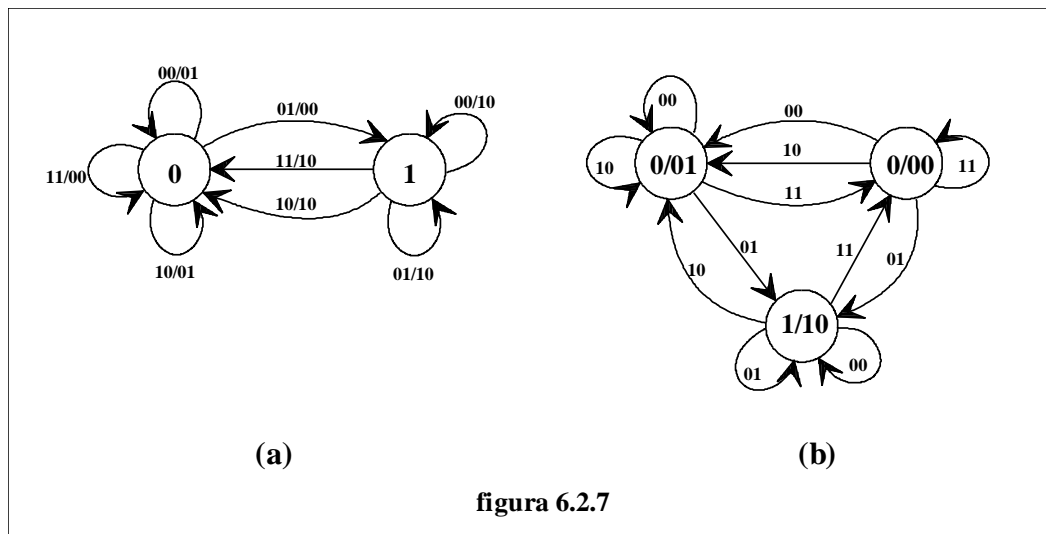
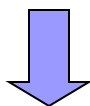
sequenze possibili:

00-01-00

00-10-00

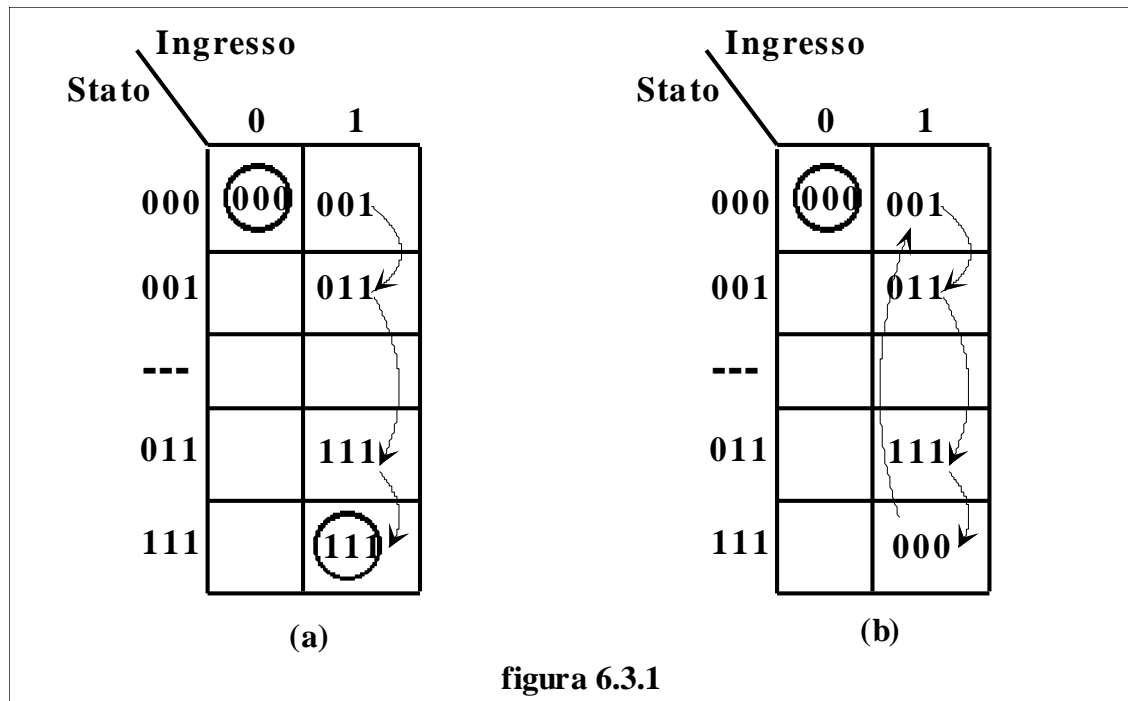
00-01-11-10-00

00-10-11-01-00



Transizioni multiple

- Si arriva allo stato stabile dopo essere transitati per un certo numero di stati instabili
- NON è un malfunzionamento
- Possono talvolta essere sfruttate per semplificare la sintesi del circuito



Cicli di instabilita'

- Sono simili alle transizioni multiple ma
- Non si converge verso uno stato stabile
- Il circuito entra in auto-oscillazione
- E' un **errore** di progetto che puo' essere evidenziato dalla tavola di flusso



Corse

- Avvengono qualora a seguito della variazione di un ingresso varino due o più variabili di eccitazione (y')
 - poiché i ritardi di propagazione in genere sono diversi per le varie variabili, può essere che si crei una condizione intermedia non prevista
Es: 000-001-011 oppure 000-010-000
 - Se si cade in uno stato stabile non desiderato si ha una **corsa critica**
 - Se si passa per uno stato instabile che poi evolverà naturalmente verso lo stato stabile si ha una **corsa non critica**

- Condizioni per una Corsa Critica:

1. Varino 2 o più variabili di eccitazione
2. Esista più di uno stato stabile nella stessa colonna

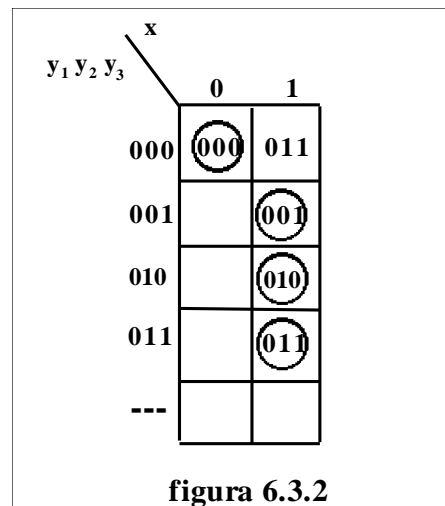


figura 6.3.2

Critica

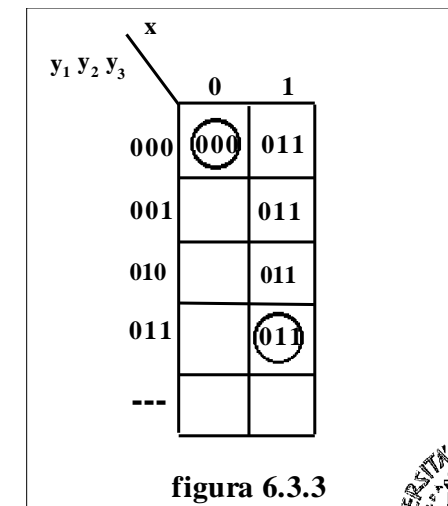


figura 6.3.3

NON Critica

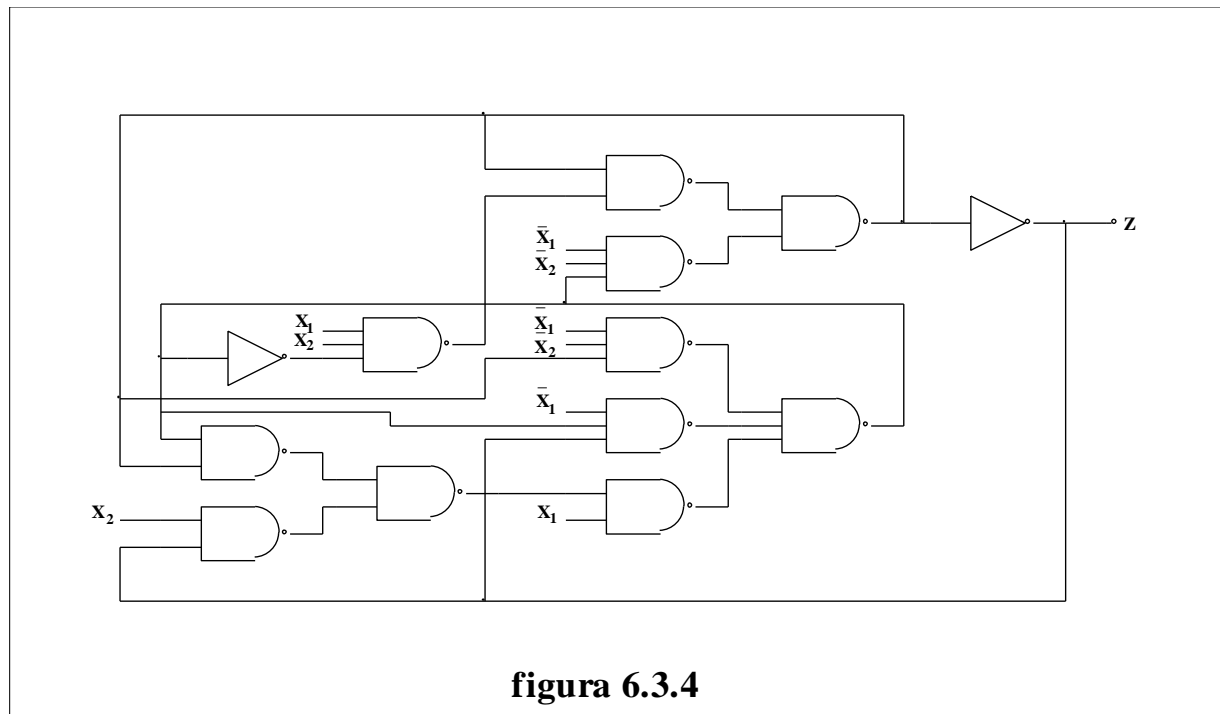


Analisi

■ Ipotesi semplificative

1. L'intera rete logica ha **risposta istantanea**.
2. I ritardi sono concentrati tutti nei loop di reazione
3. I **segnali** di ingresso sono **asincroni a livelli**.
4. Gli ingressi possono variare solo quando e' stato raggiunto uno **stato stabile**.
5. I valori dei **ritardi** inseriti nei loop di reazione sono **tutti uguali**.

□ Esempio:



Esempio di analisi

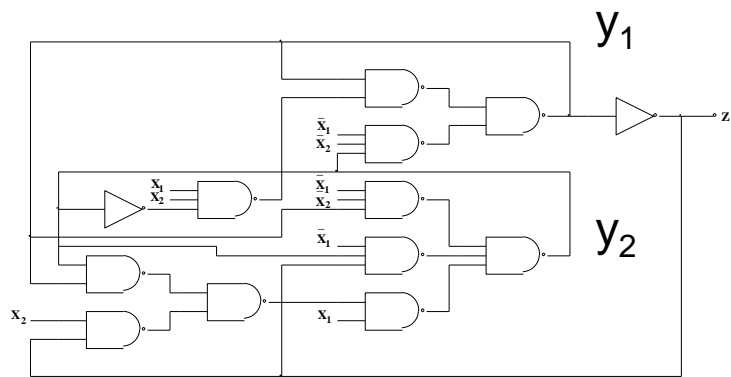


figura 6.3.4

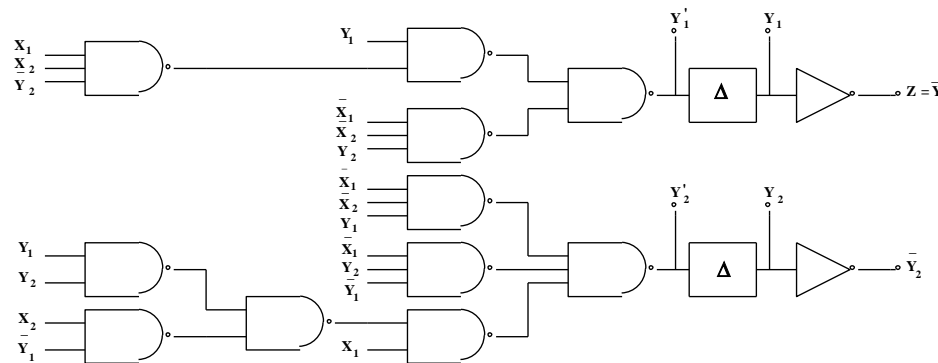


figura 6.3.5

$$y_1' = y_1 \cdot (\bar{x}_1 + \bar{x}_2 + y_2) + \bar{x}_1 \cdot \bar{x}_2 \cdot y_2 = \bar{x}_1 \cdot y_1 + \bar{x}_2 \cdot y_1 + y_1 \cdot y_2 + \bar{x}_1 \cdot \bar{x}_2 \cdot y_2$$

$$y_2' = \bar{x}_1 \cdot \bar{x}_2 \cdot y_1 + \bar{x}_1 \cdot y_1 \cdot y_2 + x_1 \cdot (\bar{x}_2 \cdot \bar{y}_1 + y_1 \cdot y_2) =$$

$$= \bar{x}_1 \cdot \bar{x}_2 \cdot y_1 + \bar{x}_1 \cdot y_1 \cdot y_2 + x_1 \cdot \bar{x}_2 \cdot \bar{y}_1 + x_1 \cdot y_1 \cdot y_2$$

$$z = \bar{y}_1$$

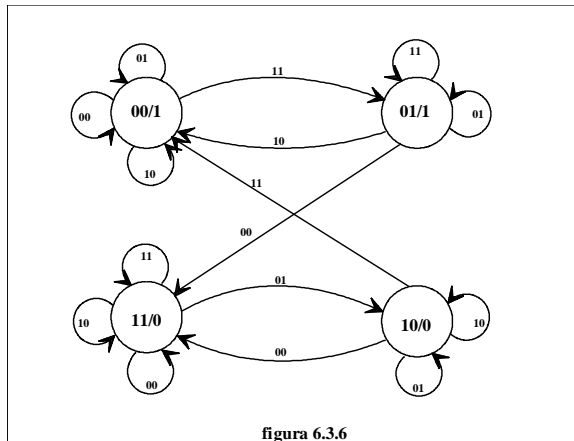


figura 6.3.6

$y_1 y_2 \backslash x_1 x_2$	00	01	11	10
00	00	00	01	00
01	11	01	01	00
11	11	10	11	11
10	11	10	00	10

$y_1 y_2 \backslash x_1 x_2$	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	0	0	0	0
10	0	0	0	0

$y_1' y_2'$

Z



Sintesi di circuiti seq. asincroni

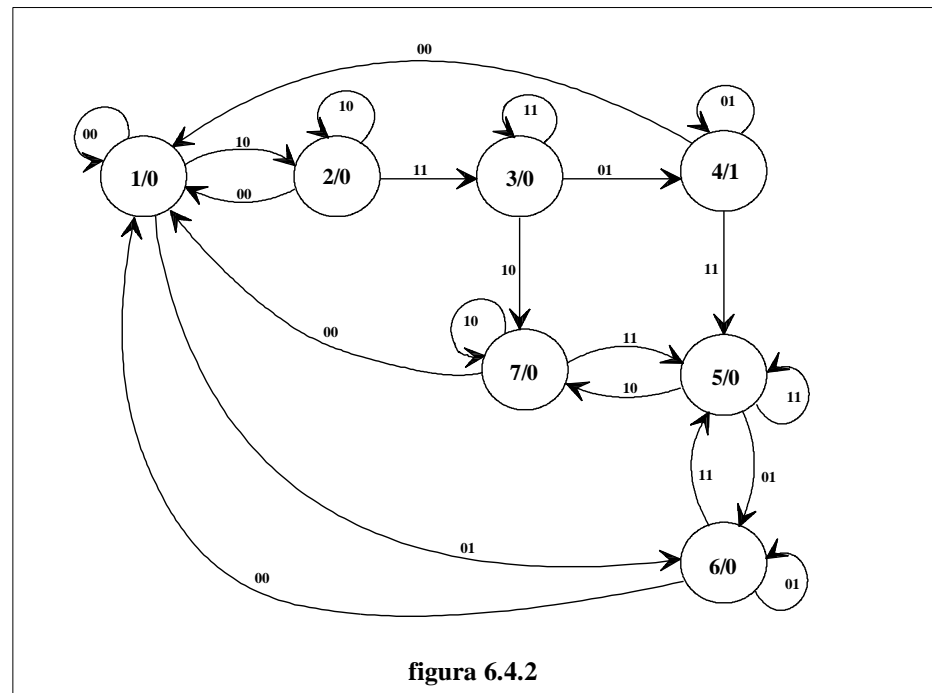
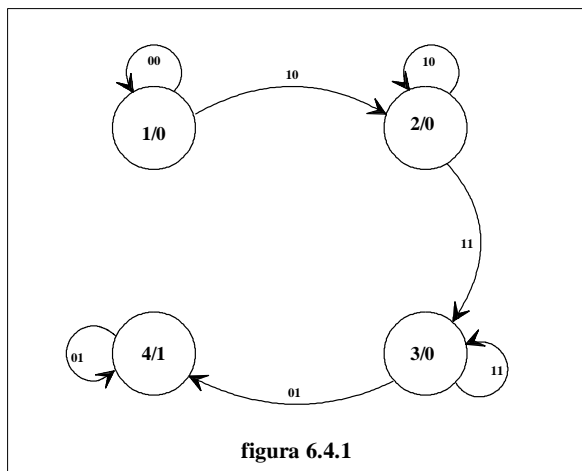
1. Descrizione verbale
 2. Diagramma degli stati
 3. Tabella degli stati (**matrice primitiva delle sequenze**)
 4. Minimizzazione degli stati
 5. Tabella degli stati (**matrice delle sequenze**)
 6. **Codifica opportuna degli stati**
 - minimizzando le variabili interne
 7. Tavola di flusso
 8. Circuito Reale
- Si adottano sempre le medesime ipotesi semplificative



Matrice primitiva delle sequenze

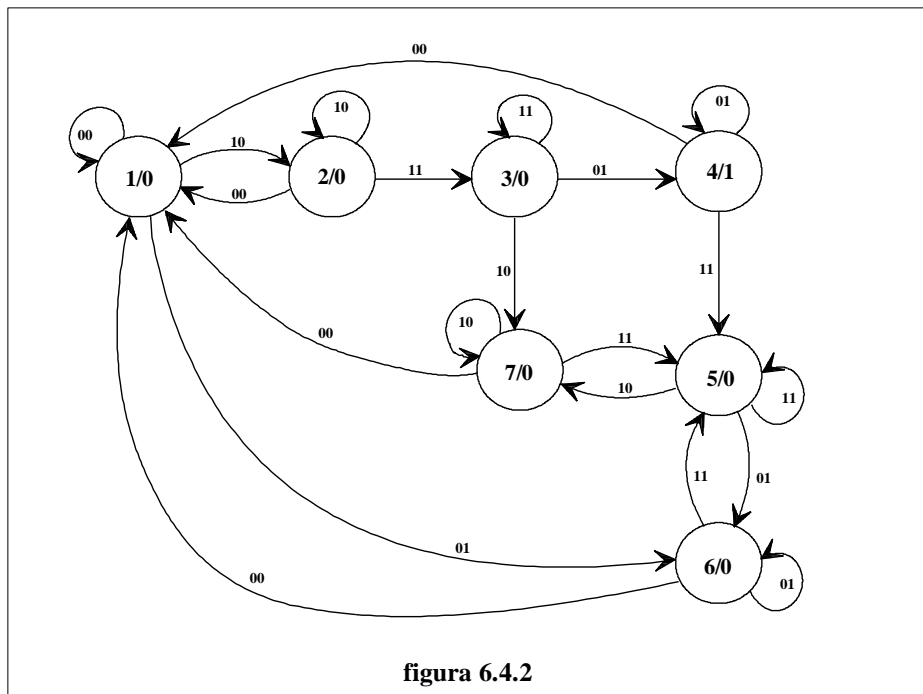
- E' una tavola di flusso (secondo Moore) che descrive il funzionamento della macchina
- Presenta tante righe quanti gli stati stabili e tante colonne quanti sono gli ingressi possibili + una colonna per l'uscita

Esempio: Si voglia riconoscere la sequenza 00-10-11-01



Matrice primitiva delle sequenze

Esempio: Si voglia riconoscere la sequenza 00-10-11-01



Stato	$X_1 X_2$				Uscita
	00	01	11	10	
1	1	6	-	2	0
2	1	-	3	2	0
3	-	4	3	7	0
4	1	4	5	-	1
5	-	6	5	7	0
6	1	6	5	-	0
7	1	-	5	7	0



Minimizzazione degli stati

- Si seguono i criteri già esposti in precedenza
 - Eliminazione degli stati doppi
 - Ricerca degli stati alfa compatibili
 - Riunione degli stessi in nuovi stati

Esempio:

Stato	Ingresso			
	00	01	11	10
1	①/0	3/-	-/-	2/-
2	1/-	-/-	4/-	②/0
3	1/-	③/0	5/-	-/-
4	-/-	6/-	④/0	2/-
5	-/-	7/-	⑤/1	2/-
6	1/-	⑥/1	8/-	-/-
7	1/-	⑦/1	5/-	-/-
8	-/-	6/-	⑧/1	2/-

figura 6.4.3

Coppie α-compatibili	Ingresso					
	00	01	11	10		
1,2	1,1	3,-	-,4	2,2	si	2,8
1,3	1,1	3,3	-,5	2,-	si	3,4
1,4	1,-	3,6	-,4	2,2	no	3,5
1,5	1,-	3,7	-,5	2,2	no	3,8
1,6	1,1	3,6	-,8	2,-	no	4,6
1,7	1,1	3,7	-,5	2,-	no	4,7
1,8	1,-	3,6	-,8	2,2	no	5,6
2,3	1,1	-,3	3,5	2,-	no	5,7
2,4	1,-	-,6	4,4	2,2	si	5,8
2,5	1,-	-,7	3,5	2,2	no	6,7
2,6	1,1	-,6	3,8	2,-	no	6,8
2,7	1,1	-,7	3,5	2,-	no	7,8
	1,-	-,6	3,8	2,2	no	2,8
	1,-	3,6	5,4	-,2	no	3,4
	1,-	3,7	5,5	-,2	no	3,5
	1,-	3,6	5,8	-,2	no	3,8
	-,1	6,6	3,8	2,-	no	4,6
	-,1	6,7	3,5	2,-	no	4,7
	-,1	7,6	5,8	2,-	si	5,6
	-,1	7,7	5,5	2,-	si	5,7
	-,	7,6	5,8	2,2	si	5,8
	1,1	6,7	8,5	-,	si	6,7
	1,-	6,6	8,8	-,2	si	6,8
	1,-	7,6	5,8	-,2	si	7,8

figura 6.4.4

Stato	S _i	00	01	11	10
1'	1,2	1'0	2'0	3'0	1'0
2'	1,3	1'0	2'0	4'0	1'0
3'	2,4	1'0	4'0	3'0	1'0
4'	5,6,7,8	1'0	4'1	4'1	1'0



Codifica dello stato

- Per codificare n stati ci vogliono almeno $\log_2(n)$ variabili binarie
- Però talvolta per evitare corse critiche se ne possono usare di più
- Uno studio condotto da Huffman ha dimostrato che esiste un limite superiore per il numero di variabili da adottare

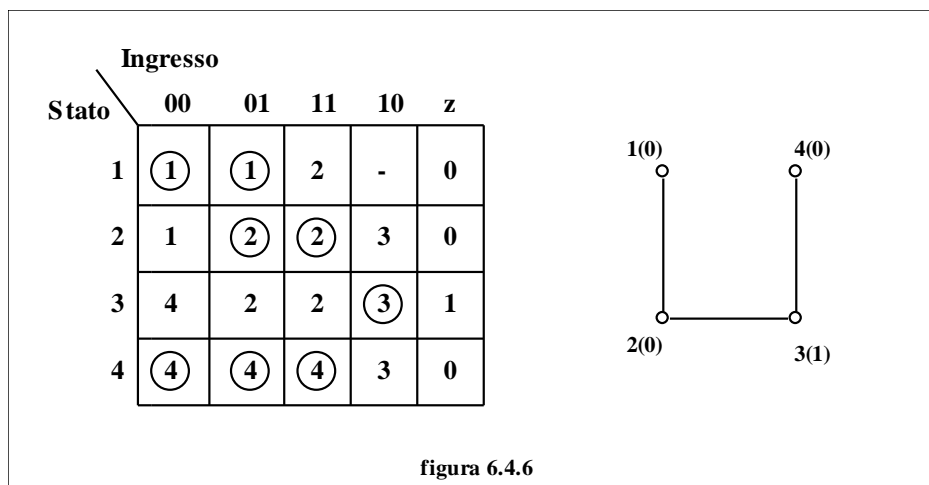
N. massimo e minimo di variabili necessario a codificare S stati

k_{\min}	1	2	3	4	5				
S	2	3 4	5-6 7-8	9-12	13-16	17-24	25-32		
k_{\max}	1	3	4	4	5	6	7	8	9

- Per una corretta codifica si fa uso di:
 - **Tabella delle transizioni**
(e' una mappa di Karnaugh priva di coordinate)
 - **Diagramma delle transizioni**
(grafo non orientato atto ad evidenziare le transizioni tra i vari stati)



Diagramma delle transizioni



- Il diagramma evidenzia le transizioni tra i vari stati
- Partendo da k_{\min} si prova a riempire la tabella mantenendo adiacenti tutti gli stati connessi da un arco
- Se cio' non e' possibile si prova a:
 - ricorrere a corse non critiche
 - usare stati ausiliari e transizioni multiple
 - si aumenta k e si riprova
- Alla fine l'assegnazione delle variabili va fatta cercando di limitare la logica per la generazione delle uscite



Codifica dello stato

Esempio 1

Stato	ing.		
	0	1	z
1	①	2	0
2	3	②	1
3	③	4	1
4	1	④	0

figura 6.4.7

matrice delle sequenze

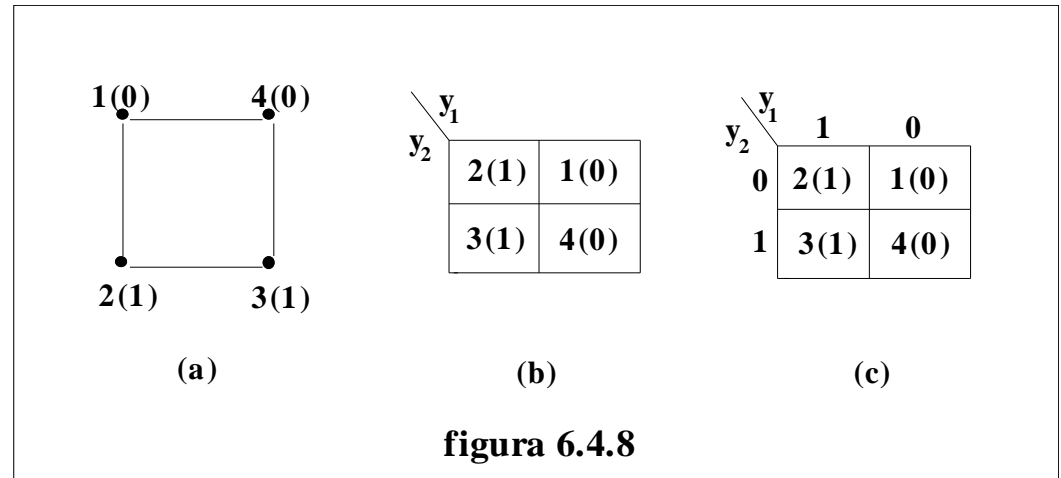


Diagramma delle transizioni e
tabella delle transizioni



Codifica dello stato

■ Esempio 2

		Ingresso				
Stato		000	001	010	100	Uscita
1	①	2	3	4		00
2	②	②	3	4		10
3	③	2	③	4		01
4	④	2	3	④		10

figura 6.4.9

Matrice delle sequenze

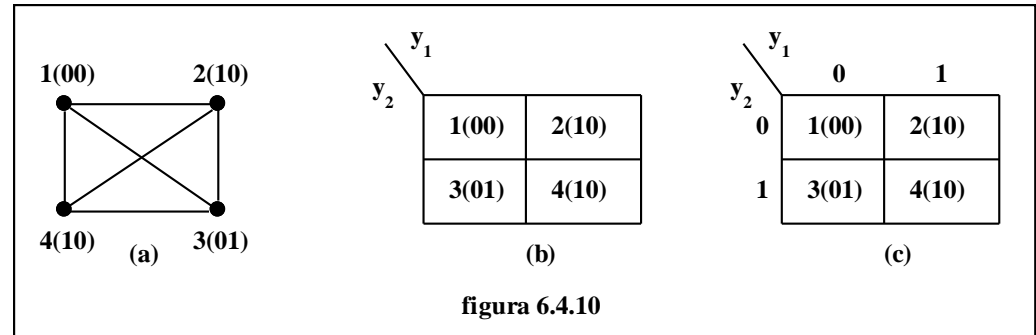


Diagramma delle transizioni e
tabella delle transizioni



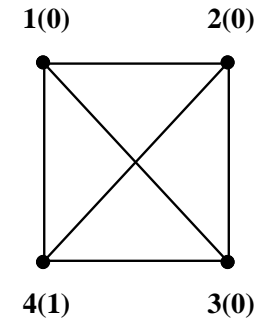
Codifica dello stato

Esempio 3

Matrice delle sequenze e diagramma delle transizioni

Stato	Ingresso				z
	00	01	11	10	
1	①	2	4	①	0
2	3	②	3	②	0
3	③	4	③	1	0
4	1	④	④	2	1

(a)



(b)

figura 6.4.11

Introduzione di transizioni Multiple

y_3	$y_1 y_2$			
	00	01	11	10
0	1(0)	2(0)	3(0)	7
1	5	4(1)	6	--

(a)

Stato	Ingresso				Uscita
	00	01	11	10	
1	①	2	5	①	0
2	3	②	3	②	0
3	③	6	③	7	0
4	5	④	④	2	1
5	1	-	4	-	-
6	-	4	-	-	-
7	-	-	-	1	-

(b)

figura 6.4.12

Rendendo tutte le transizioni doppie per uniformita'

y_3	$y_1 y_2$			
	00	01	11	10
0	1	5	2	6
1	7	3	8	4

figura 6.4.13

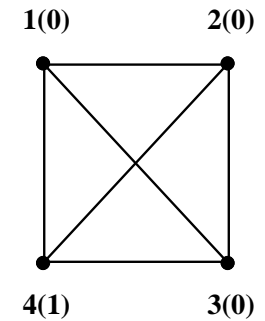


Codifica dello stato

Esempio 3

Matrice delle
sequenze e
diagramma delle
transizioni

Stato	Ingresso				z
	00	01	11	10	
1	①	2	4	①	0
2	3	②	3	②	0
3	③	4	③	1	0
4	1	④	④	2	1



(a)

(b)

figura 6.4.11

Introduzione di Stati
equivalenti

y_3	$y_1 y_2$			
	00	01	11	10
0	$1_1(0)$	$2_1(0)$	$3_1(0)$	$3_2(0)$
1	$1_2(0)$	$2_2(0)$	$4_1(1)$	$4_2(1)$

figura 6.4.14

Stato	Ingresso				z
	00	01	11	10	
1_1	① ₁	2_1	1_2	① ₁	0
1_2	① ₂	2_2	4_2	① ₂	0
2_1	3_1	② ₁	3_1	② ₁	0
2_2	2_1	② ₂	2_1	② ₂	0
3_1	③ ₁	4_1	③ ₁	3_2	0
3_2	③ ₂	4_2	③ ₂	1_1	0
4_1	4_2	④ ₁	④ ₁	2_2	1
4_2	1_2	④ ₂	④ ₂	4_1	1

figura 6.4.15



Codifica dello stato

Esempio 3

Ulteriore semplificazione

Nella linea 3_2 alcuni stati non sono raggiungibili

E così anche nella linea 1_2 se si sostituisce la transizione $4_1-4_2-1_2$ alla $4_1-4_2-1_2-1_1$

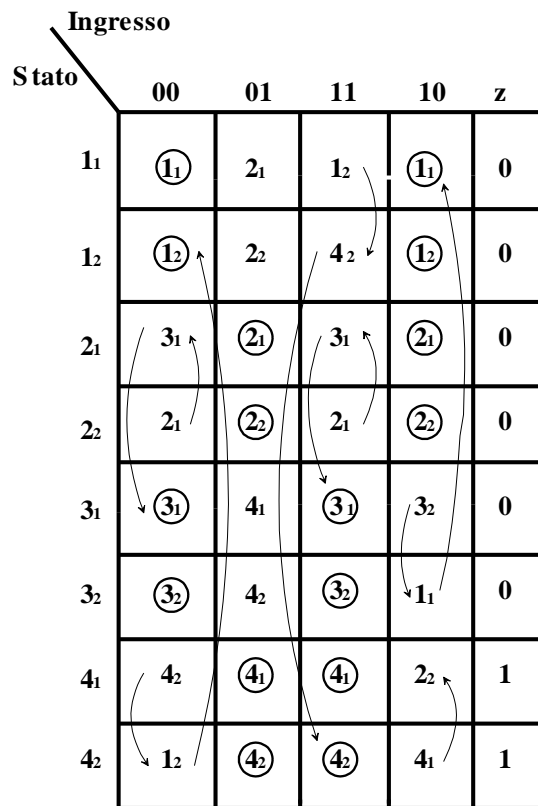


figura 6.4.15

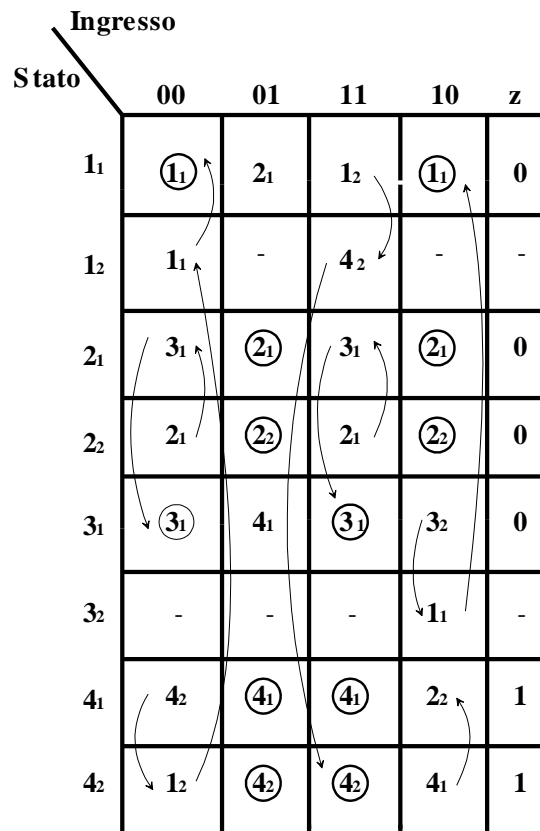


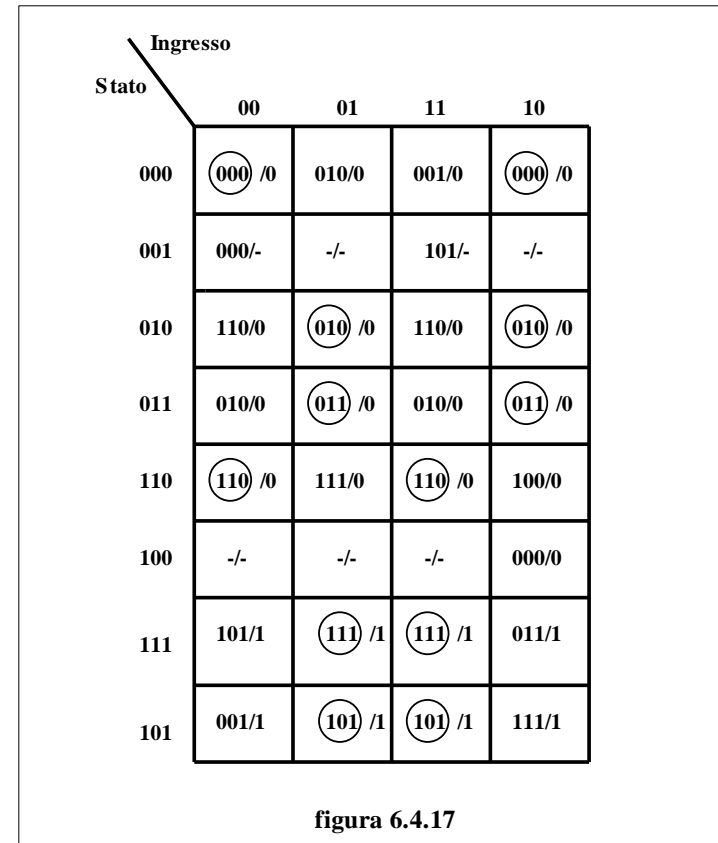
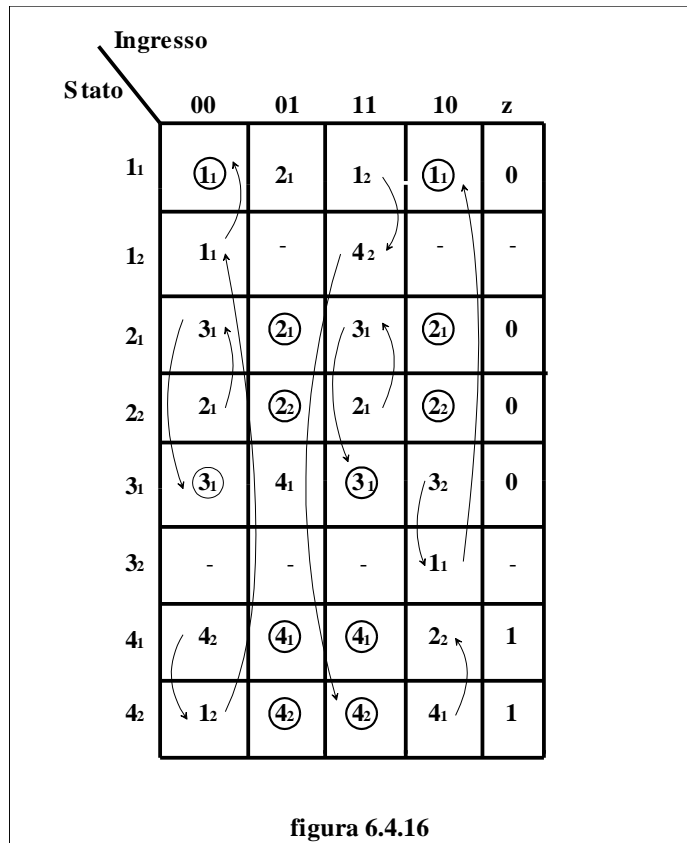
figura 6.4.16



Codifica dello stato

Esempio 3

Passaggio alla tavola di flusso



Costruzione del circuito reale

- Ci si rifa' alla sintesi dei circuiti MT

Stato		Ingresso			
		$x_1 x_2$	00	01	11
$y_1 y_2$	00	⓪⓪ / 0	10 / 0	11 / 0	01 / 0
	01	00 / 1	- / 1	11 / 1	⓪1 / 1
	11	⓪1 / 1	10 / 1	⓪1 / 1	⓪1 / 1
	10	00 / 0	⓪0 / 0	11 / 0	- / 0

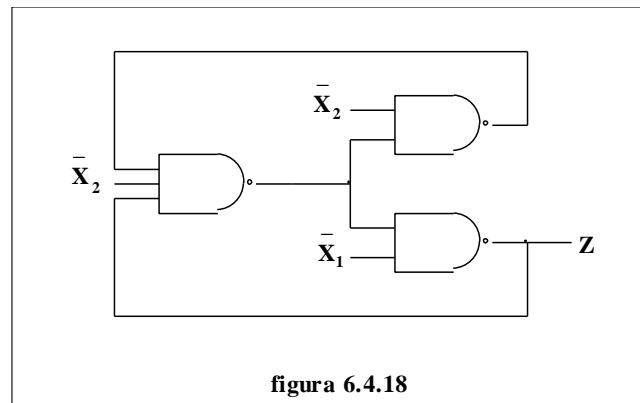
$y_1 y_2$	$x_1 x_2$			
	00	01	11	10
00		1	1	
01		Φ	1	
11	1	1	1	1
10		1	1	Φ

$y_1 y_2$	$x_1 x_2$			
	00	01	11	10
00			1	1
01		Φ	1	1
11	1		1	1
10			1	Φ

$$y'_1 = x_2 + y_1 \cdot y_2 = x_2 + \overline{x_2} \cdot y_1 \cdot y_2$$

$$y'_2 = x_1 + \overline{x_2} \cdot y_1 \cdot y_2$$

$$z = y_2$$



Alee

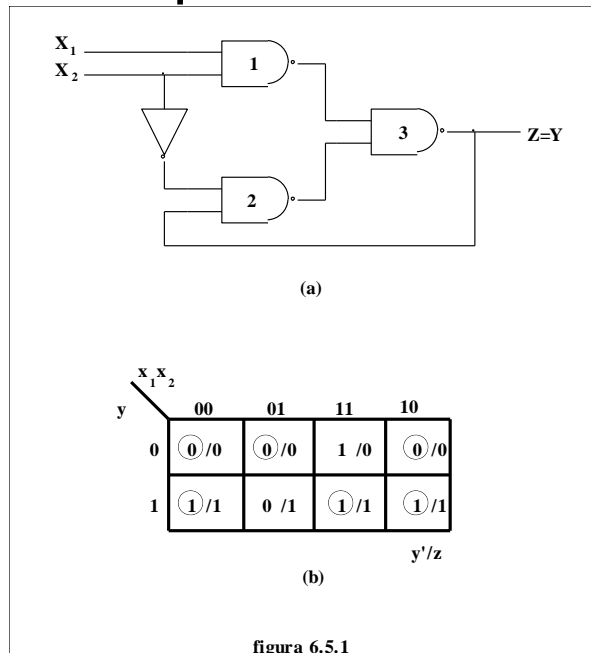
- Sono evoluzioni errate del circuito nate dal fatto che le ipotesi sinora fatte di ritardi concentrati non sono in molto veritiere
- Possono avvenire anche se non c'e' variazione delle variab. di stato, ma basta una variazione dell'ingresso
- Esistono 4 tipi di Alee
 - Statiche
 - Dinamiche
 - Essenziali
 - Multiple



Alee Statiche

- Una variabile che dovrebbe essere in una condizione stabile modifica temporaneamente il suo valore per poi ritornare dopo un certo tempo nella condizione desiderata
 - Alee statiche allo stato 1 Es: $0 \rightarrow 0,1,0$
 - Alee statiche allo stato 0 Es: $1 \rightarrow 1,0,1$

■ Esempio

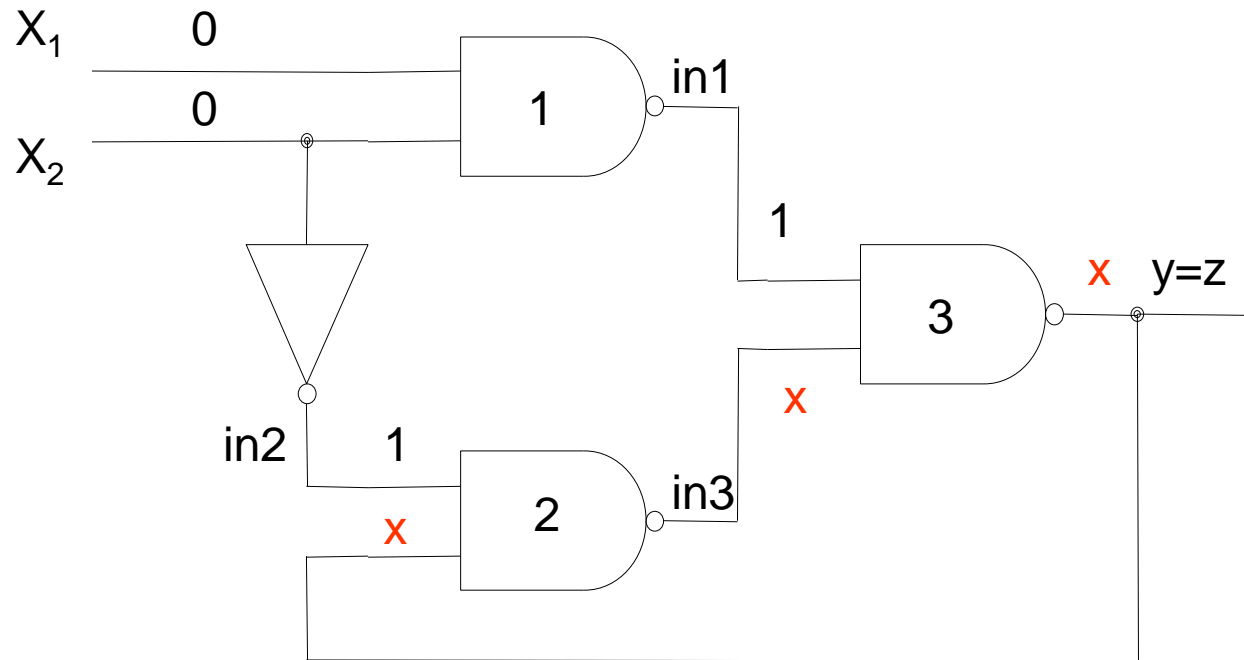


$$y' = x_1 \cdot x_2 + \overline{x_2} \cdot y$$
$$z = y$$

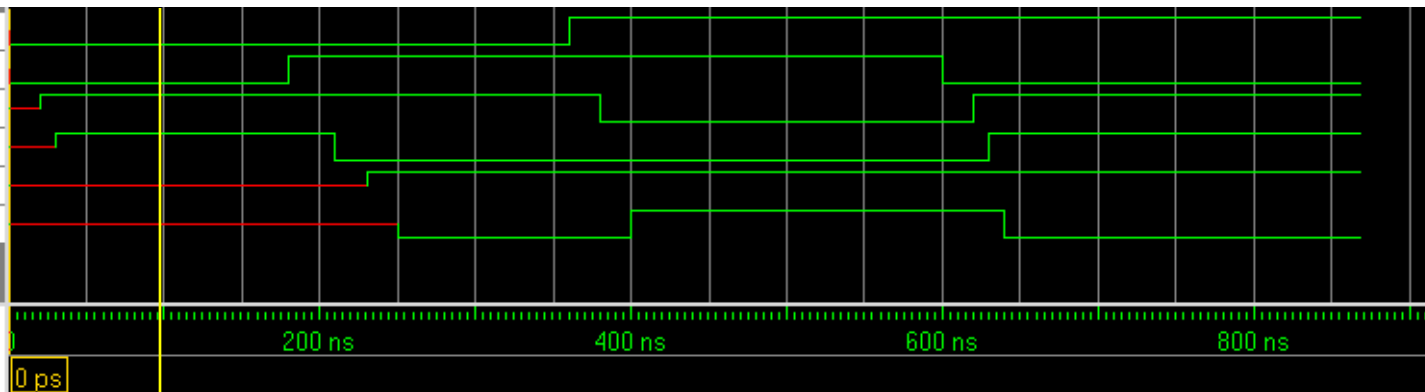
Nel passaggio da $x_1, x_2 = 11$ a 10 si presume che y rimanga 1 ma potrebbe anche portarsi a 0
L'incertezza (alea) nasce dai ritardi di propagazione delle porte



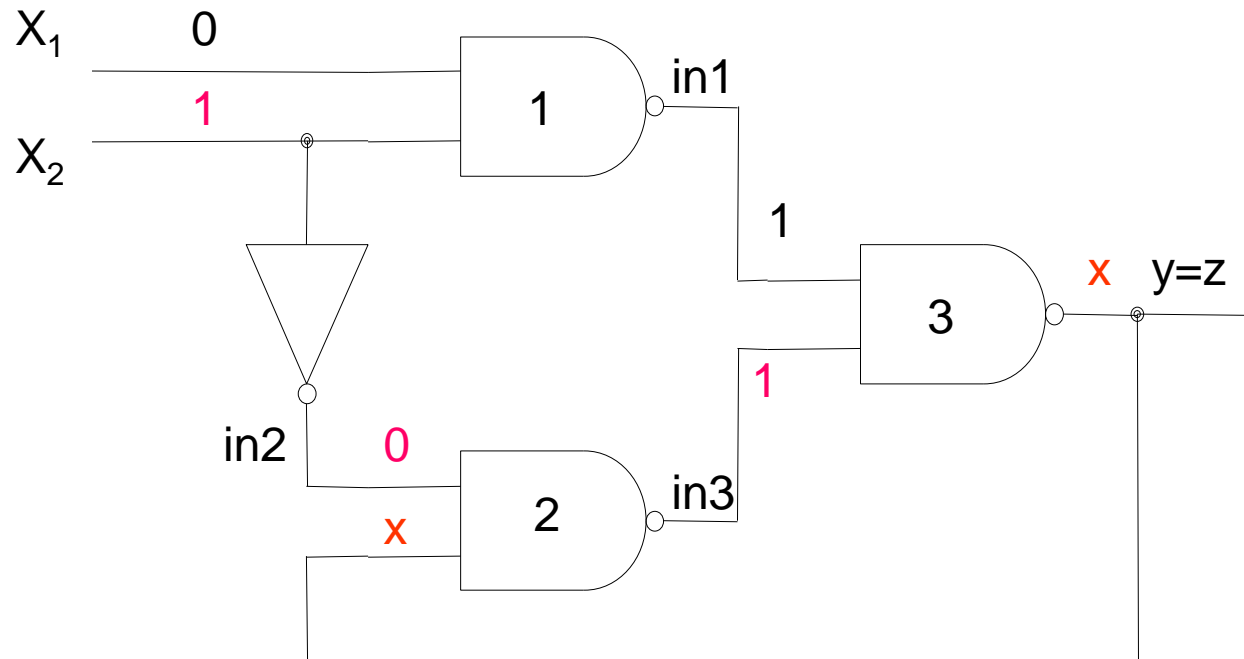
Alee Statiche



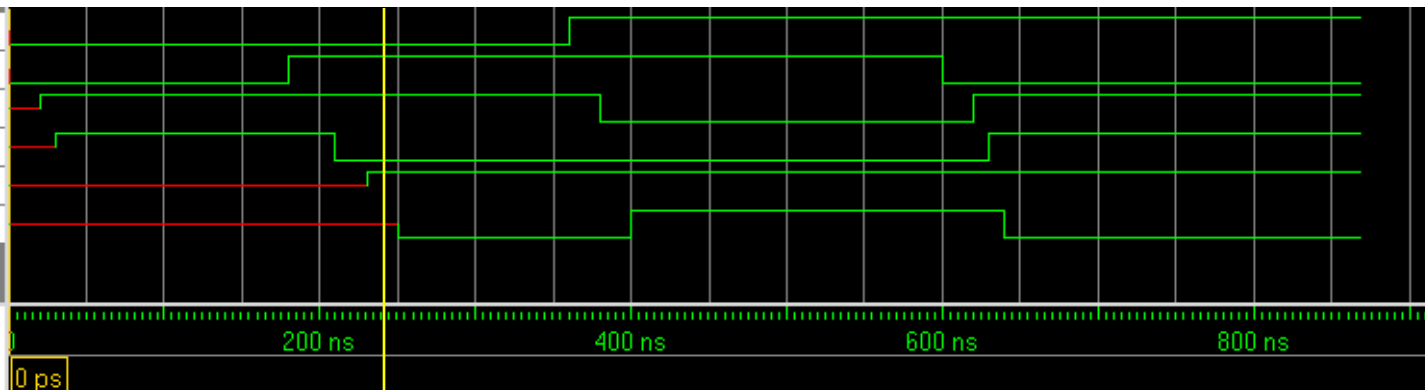
	/alea_stat_vhd_tb/uut/x1	1
	/alea_stat_vhd_tb/uut/x2	0
	/alea_stat_vhd_tb/uut/in1	1
	/alea_stat_vhd_tb/uut/in2	1
	/alea_stat_vhd_tb/uut/in3	1
	/alea_stat_vhd_tb/uut/z	0



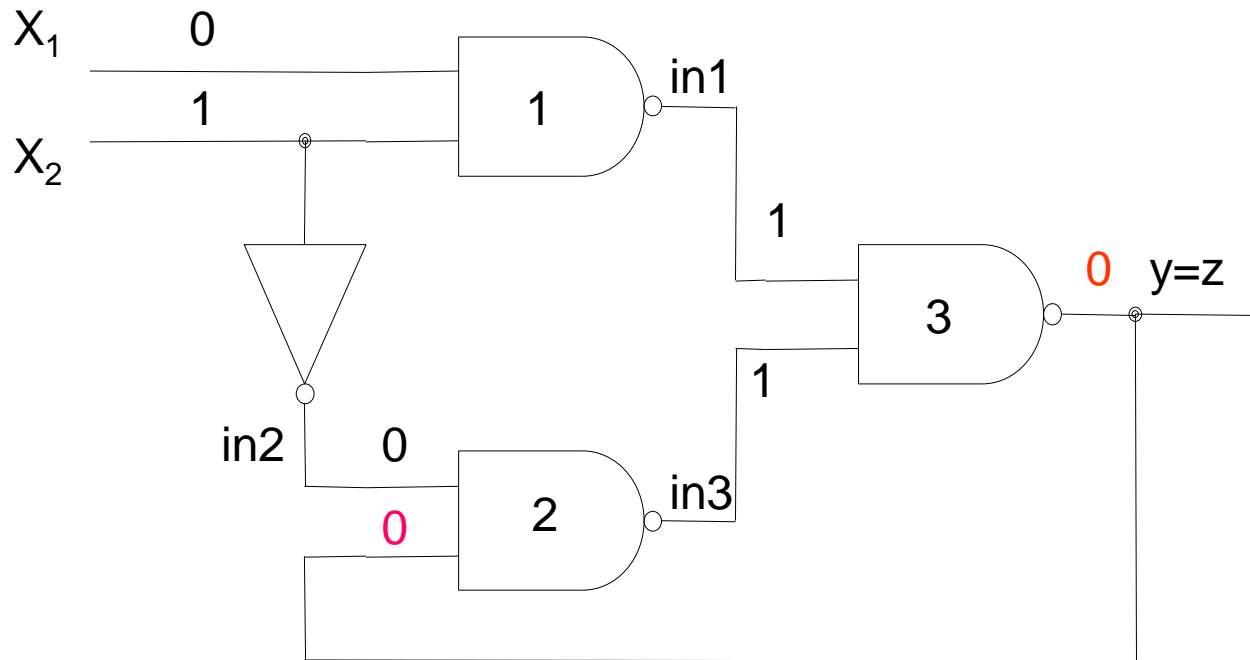
Alee Statiche



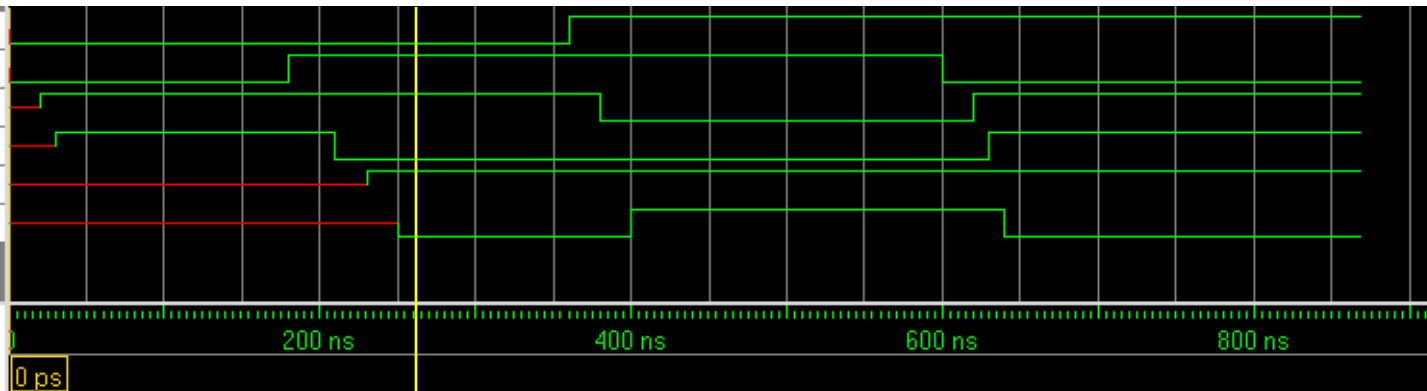
	/alea_stat_vhd_tb/uut/x1	1
	/alea_stat_vhd_tb/uut/x2	0
	/alea_stat_vhd_tb/uut/in1	1
	/alea_stat_vhd_tb/uut/in2	1
	/alea_stat_vhd_tb/uut/in3	1
	/alea_stat_vhd_tb/uut/z	0



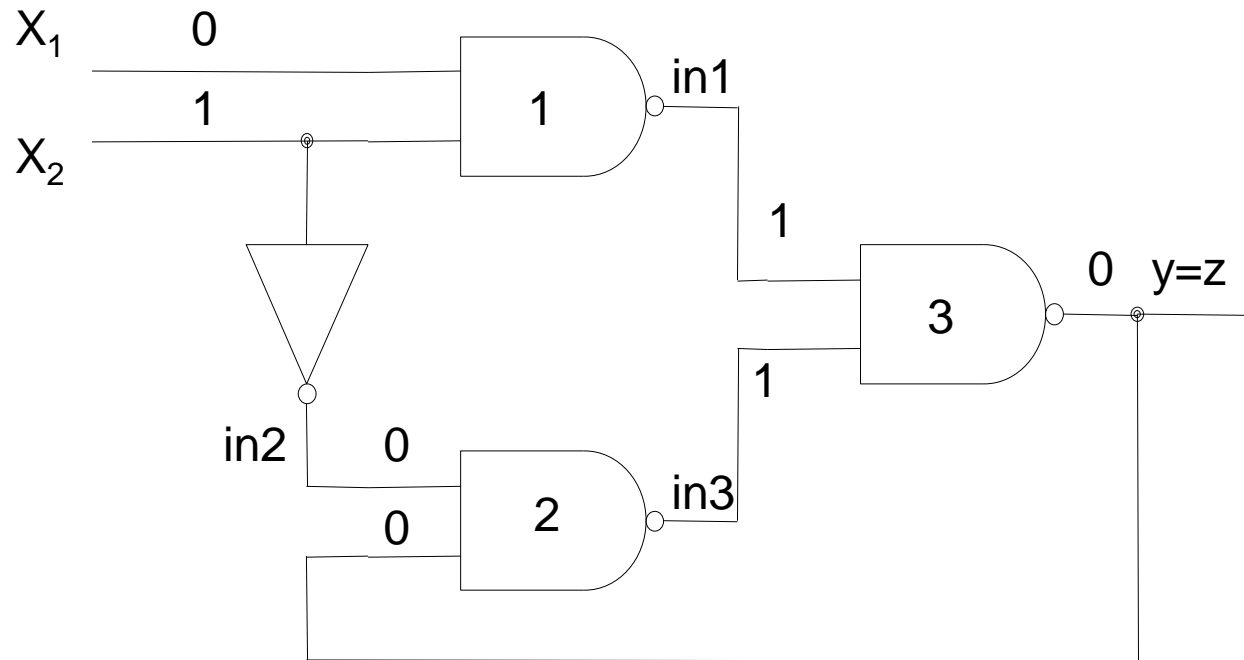
Alee Statiche



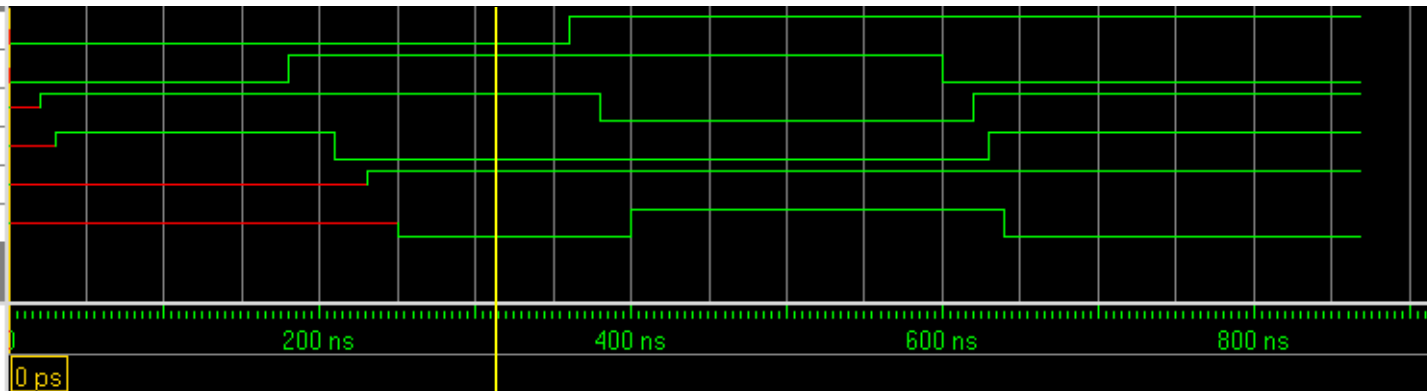
	/alea_stat_vhd_tb/uut/x1	1
	/alea_stat_vhd_tb/uut/x2	0
	/alea_stat_vhd_tb/uut/in1	1
	/alea_stat_vhd_tb/uut/in2	1
	/alea_stat_vhd_tb/uut/in3	1
	/alea_stat_vhd_tb/uut/z	0



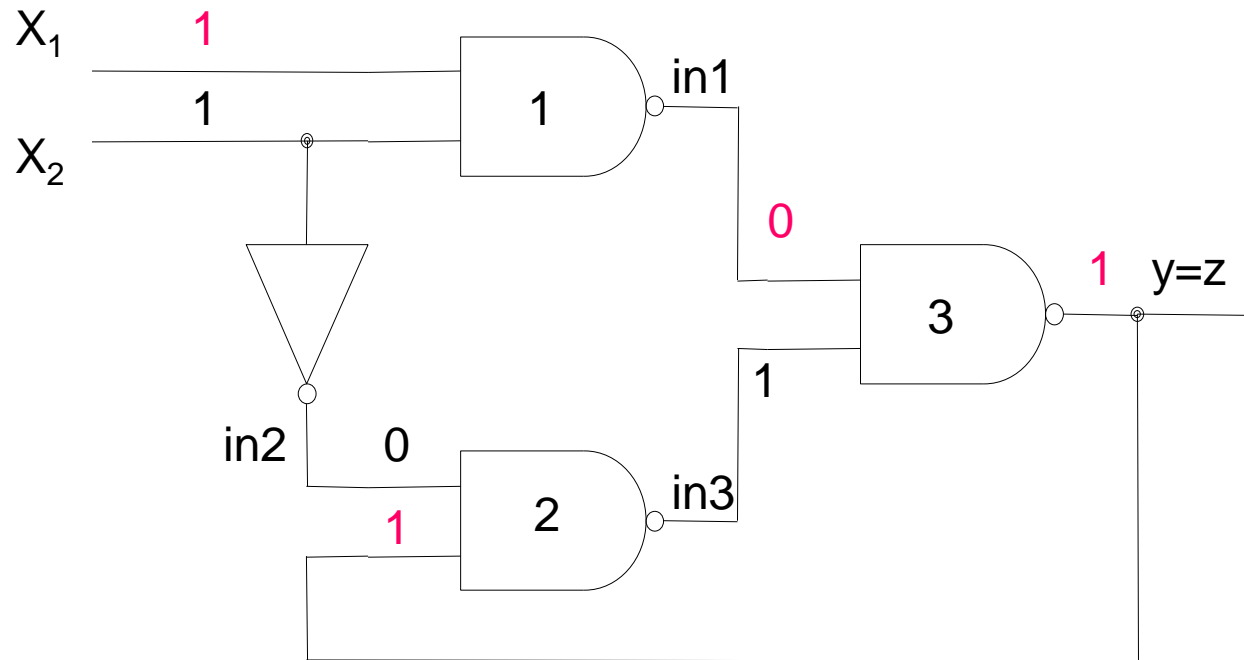
Alee Statiche



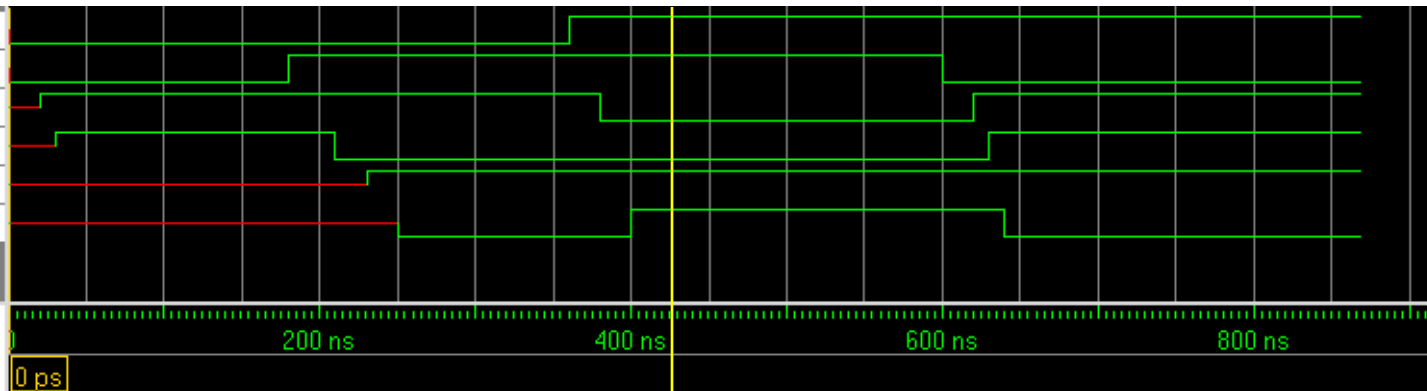
	<code>/alea_stat_vhd_tb/uut/x1</code>	1
	<code>/alea_stat_vhd_tb/uut/x2</code>	0
	<code>/alea_stat_vhd_tb/uut/in1</code>	1
	<code>/alea_stat_vhd_tb/uut/in2</code>	1
	<code>/alea_stat_vhd_tb/uut/in3</code>	1
	<code>/alea_stat_vhd_tb/uut/z</code>	0



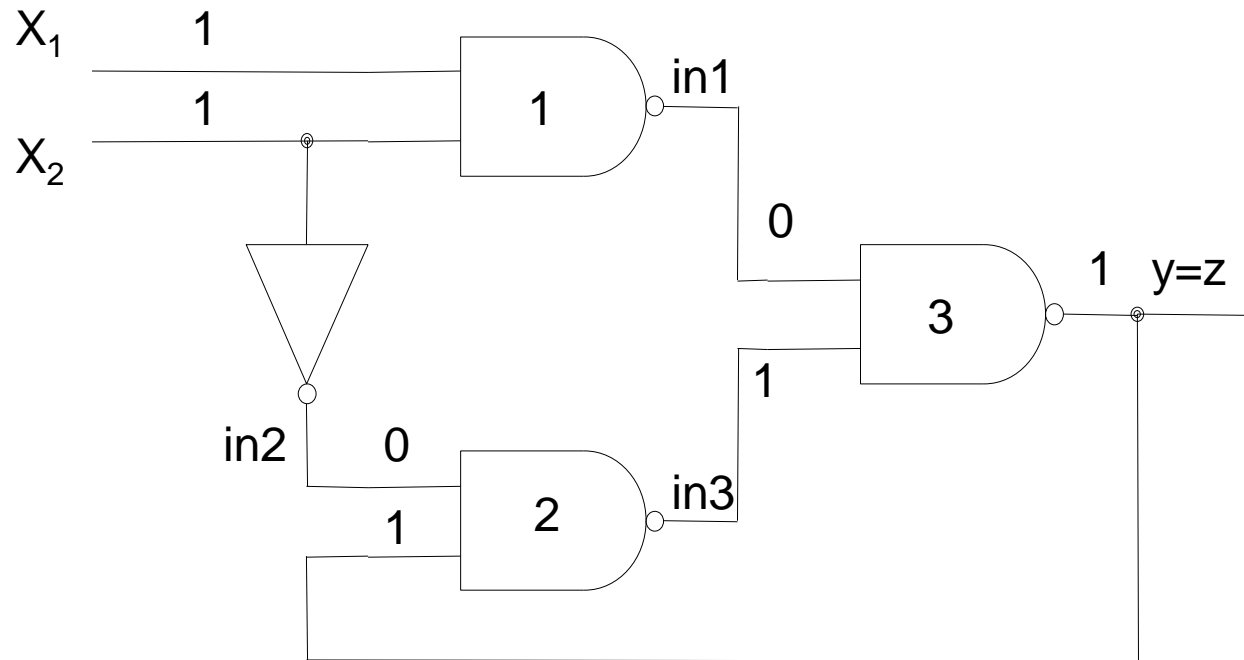
Alee Statiche



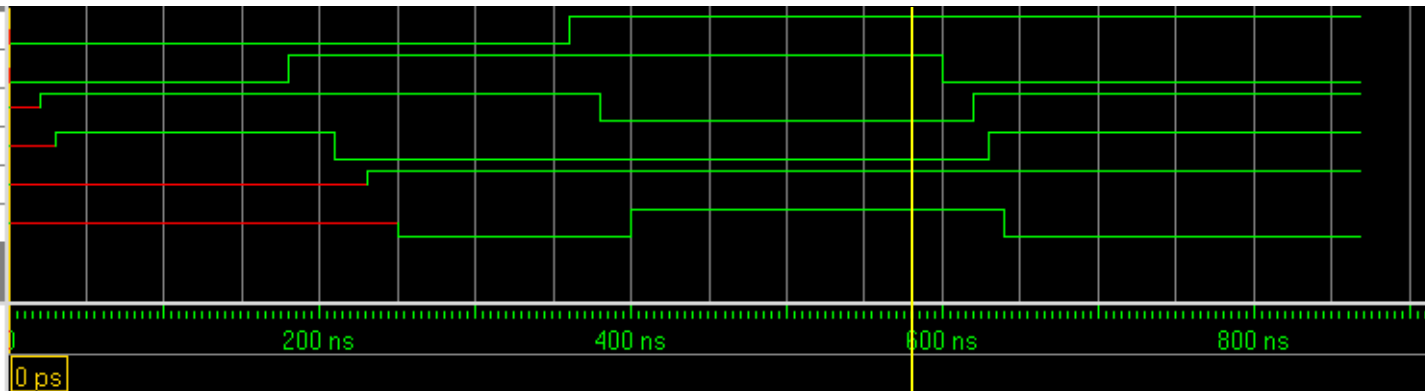
	<code>/alea_stat_vhd_tb/uut/x1</code>	1
	<code>/alea_stat_vhd_tb/uut/x2</code>	0
	<code>/alea_stat_vhd_tb/uut/in1</code>	1
	<code>/alea_stat_vhd_tb/uut/in2</code>	1
	<code>/alea_stat_vhd_tb/uut/in3</code>	1
	<code>/alea_stat_vhd_tb/uut/z</code>	0



Alee Statiche

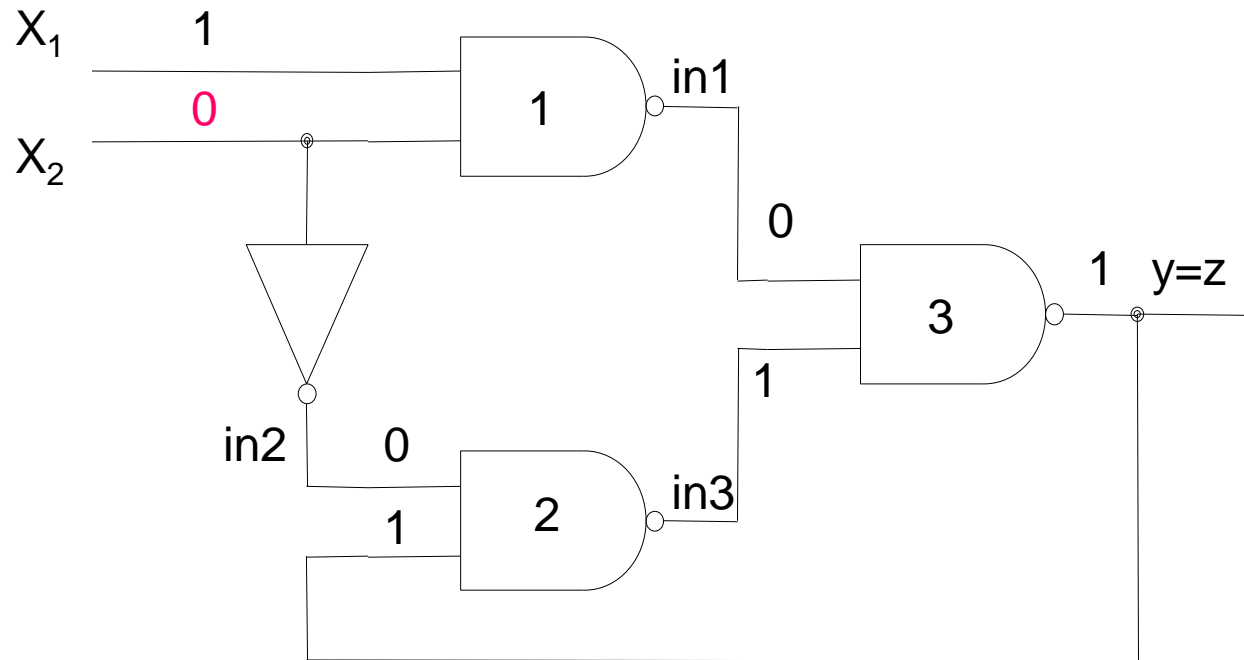


	/alea_stat_vhd_tb/uut/x1	1
	/alea_stat_vhd_tb/uut/x2	0
	/alea_stat_vhd_tb/uut/in1	1
	/alea_stat_vhd_tb/uut/in2	1
	/alea_stat_vhd_tb/uut/in3	1
	/alea_stat_vhd_tb/uut/z	0

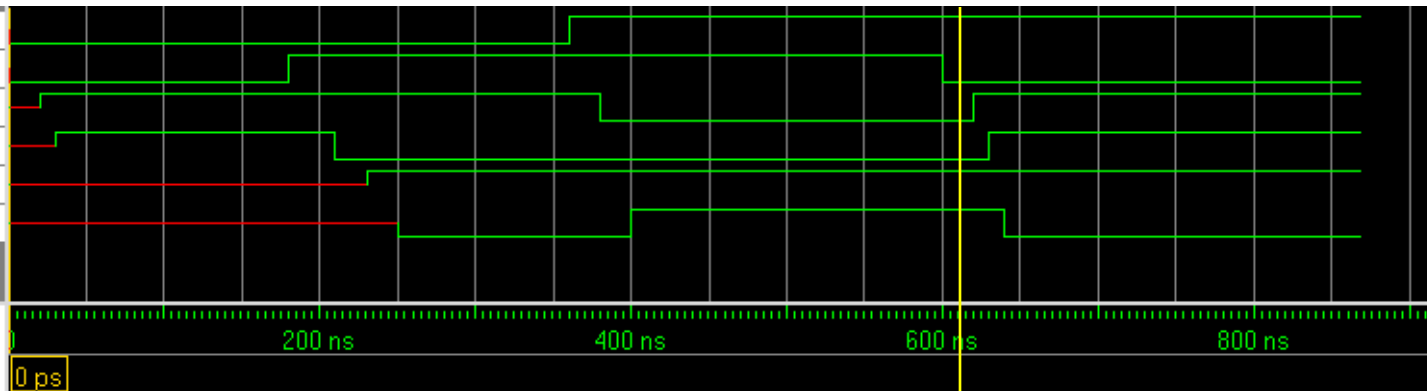


Alee Statiche

Caso 1 : $\Delta t = \Delta i + \Delta 2 - \Delta 1 > \Delta 3$

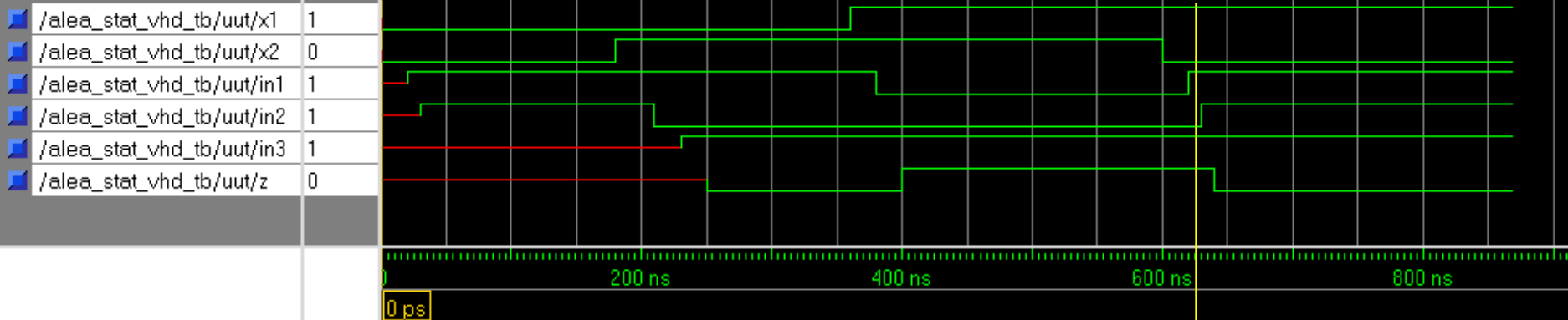
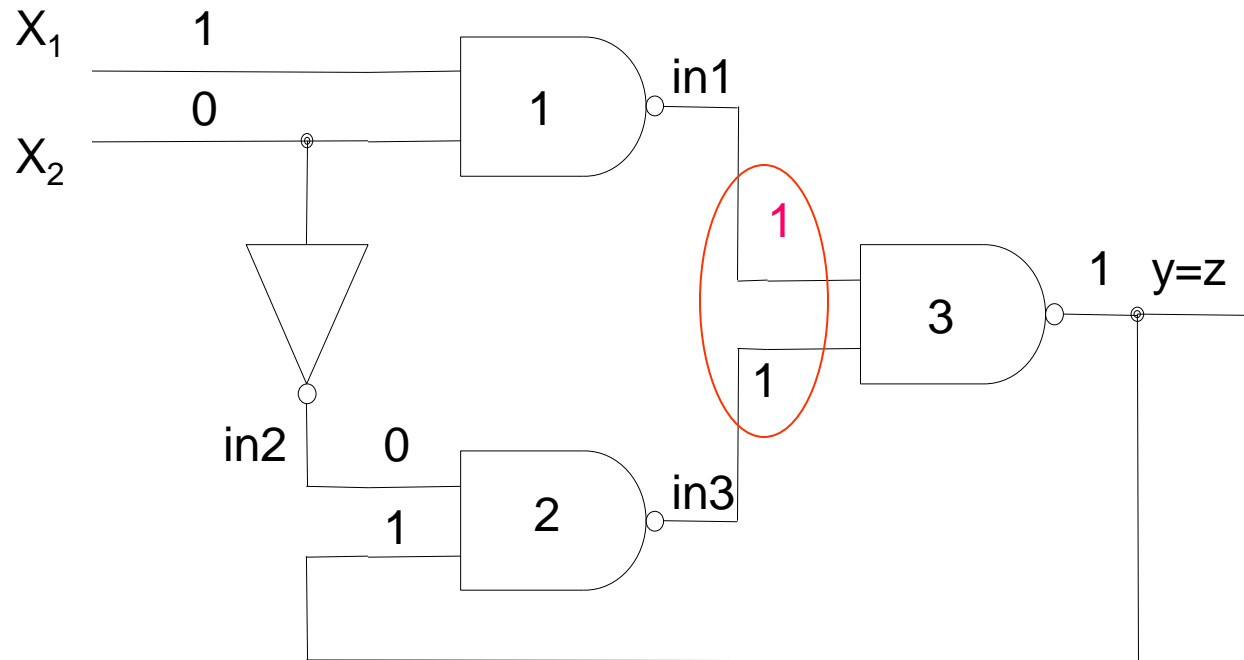


	/alea_stat_vhd_tb/uut/x1	1
	/alea_stat_vhd_tb/uut/x2	0
	/alea_stat_vhd_tb/uut/in1	1
	/alea_stat_vhd_tb/uut/in2	1
	/alea_stat_vhd_tb/uut/in3	1
	/alea_stat_vhd_tb/uut/z	0



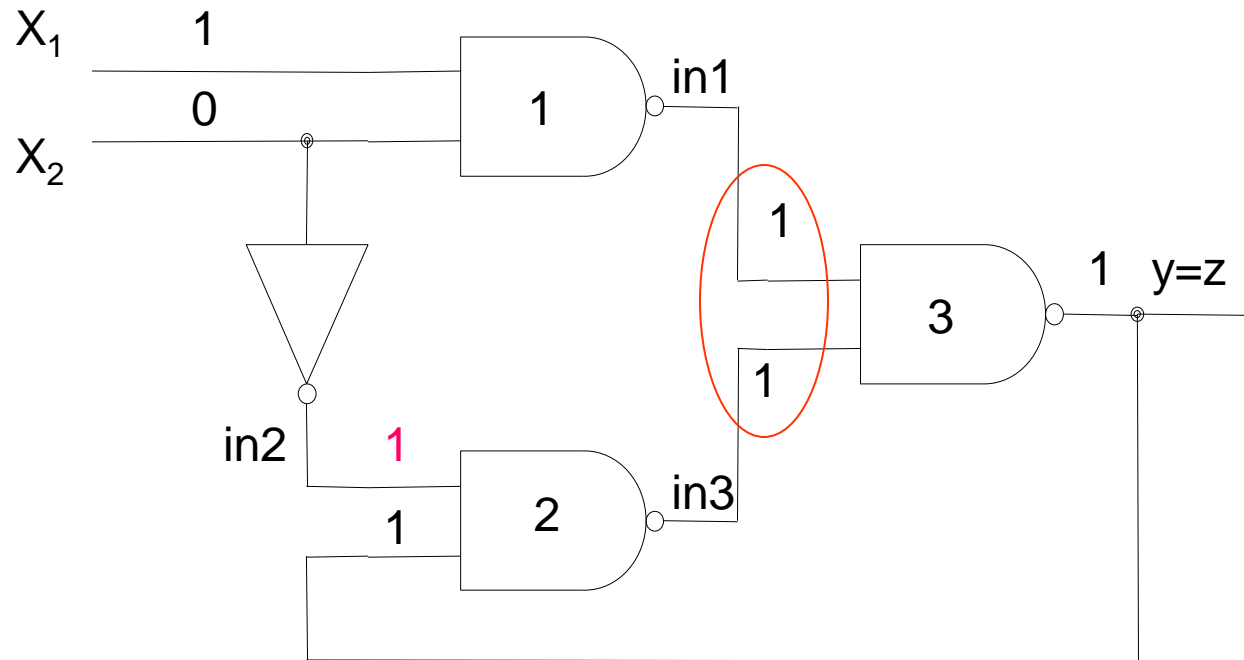
Alee Statiche







Caso 1 : $\Delta t = \Delta i + \Delta 2 - \Delta 1 > \Delta 3$

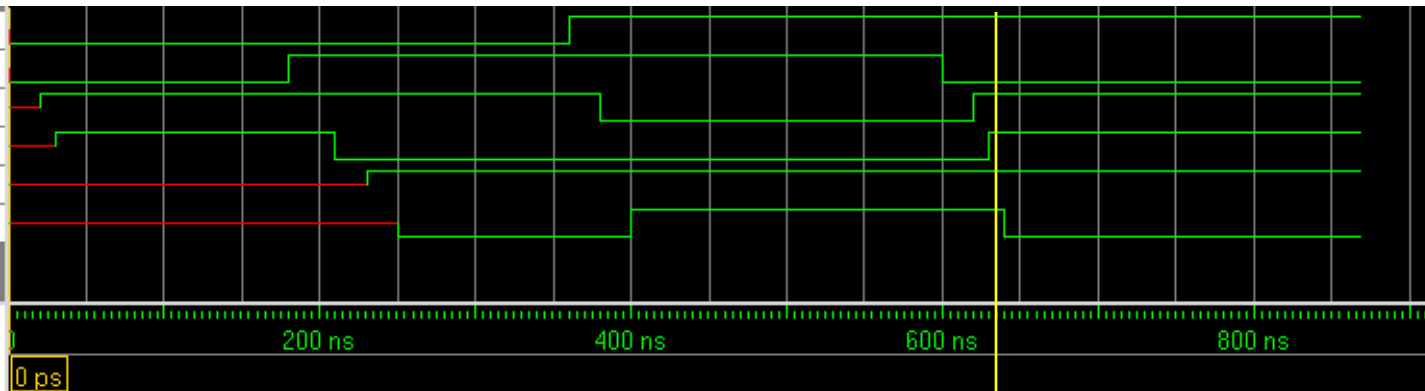


Alee Statiche

Caso 1 : $\Delta t = \Delta i + \Delta 2 - \Delta 1 > \Delta 3$

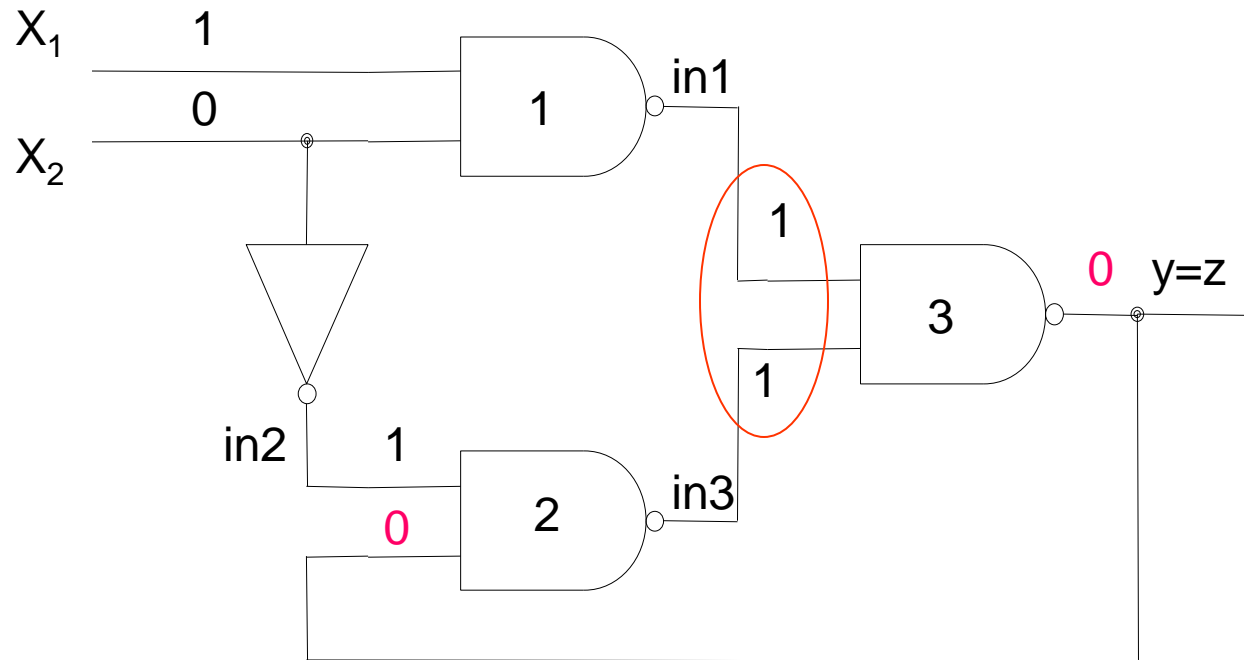


 /alea_stat_vhd_tb/uut/x1	1
 /alea_stat_vhd_tb/uut/x2	0
 /alea_stat_vhd_tb/uut/in1	1
 /alea_stat_vhd_tb/uut/in2	1
 /alea_stat_vhd_tb/uut/in3	1
 /alea_stat_vhd_tb/uut/z	0

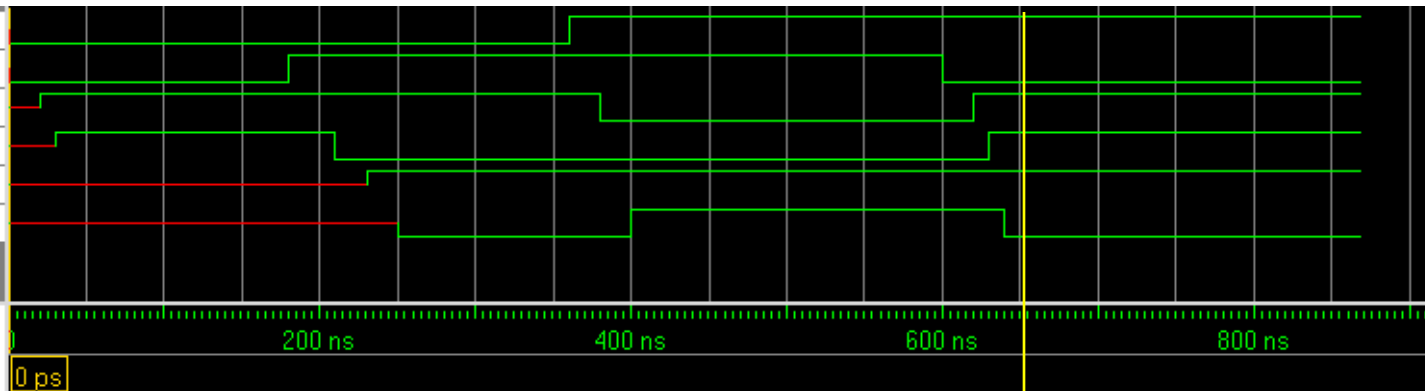


Alee Statiche

Caso 1 : $\Delta t = \Delta i + \Delta 2 - \Delta 1 > \Delta 3$

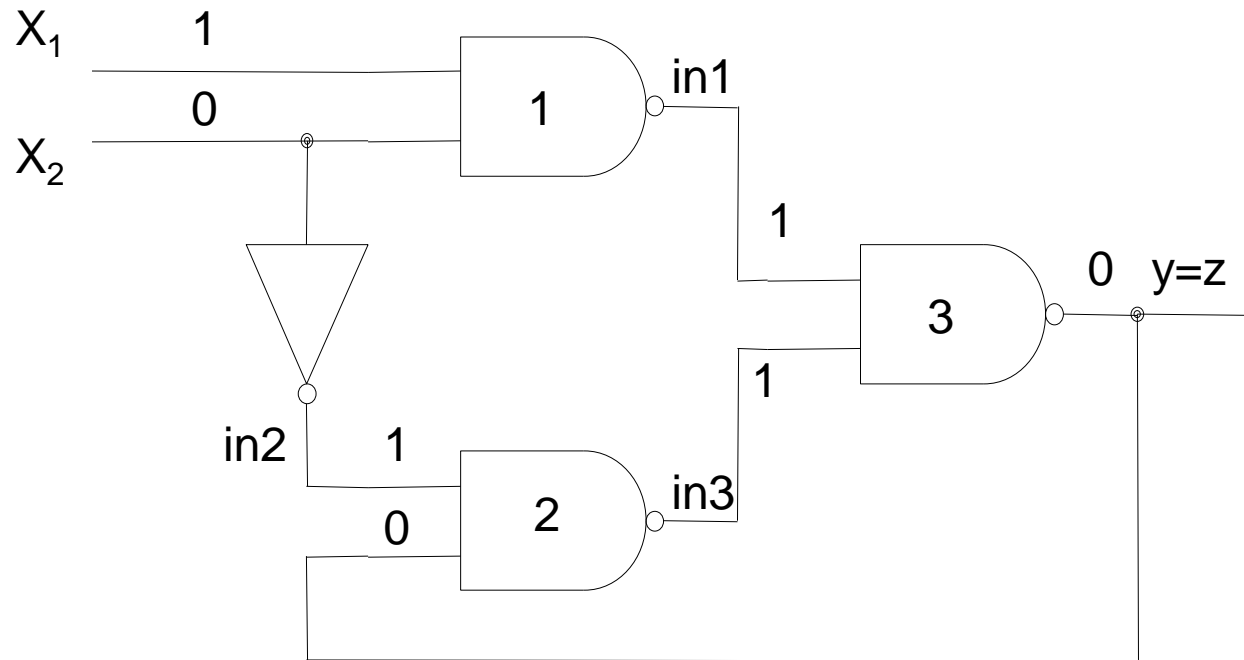


	/alea_stat_vhd_tb/uut/x1	1
	/alea_stat_vhd_tb/uut/x2	0
	/alea_stat_vhd_tb/uut/in1	1
	/alea_stat_vhd_tb/uut/in2	1
	/alea_stat_vhd_tb/uut/in3	1
	/alea_stat_vhd_tb/uut/z	0

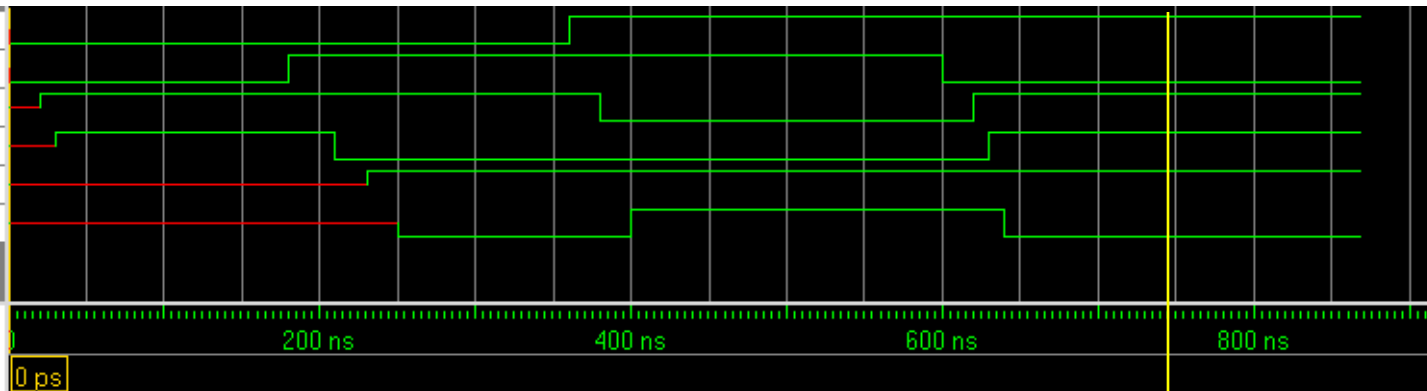


Alee Statiche

Caso 1 : $\Delta t = \Delta i + \Delta 2 - \Delta 1 > \Delta 3$



	/alea_stat_vhd_tb/uut/x1	1
	/alea_stat_vhd_tb/uut/x2	0
	/alea_stat_vhd_tb/uut/in1	1
	/alea_stat_vhd_tb/uut/in2	1
	/alea_stat_vhd_tb/uut/in3	1
	/alea_stat_vhd_tb/uut/z	0



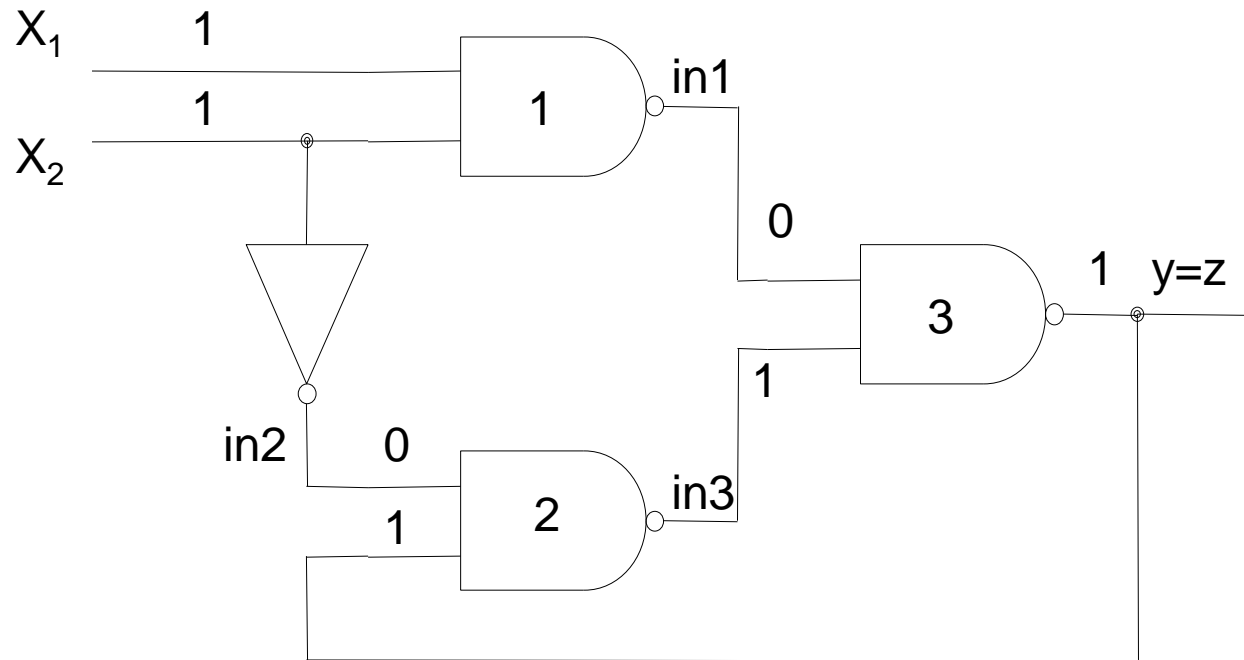
■ Nota:

- La presenza di 11 su G3 si e' protratta per
 $\Delta_i + \Delta_2 - \Delta_1 > \Delta_3$
(ovvero un tempo sufficiente per farla commutare)
- La presenza di 11 su G2 si e' protratta per
 $\Delta_1 + \Delta_3 - \Delta_i < \Delta_2$
(ovvero un tempo **NON** sufficiente per farla commutare)
- Nell'esempio sono stati usati come tempi di ritardo
 $\Delta_1 = \Delta_2 = \Delta_3 = 20\text{ns}$
 $\Delta_i = 30\text{ns}$

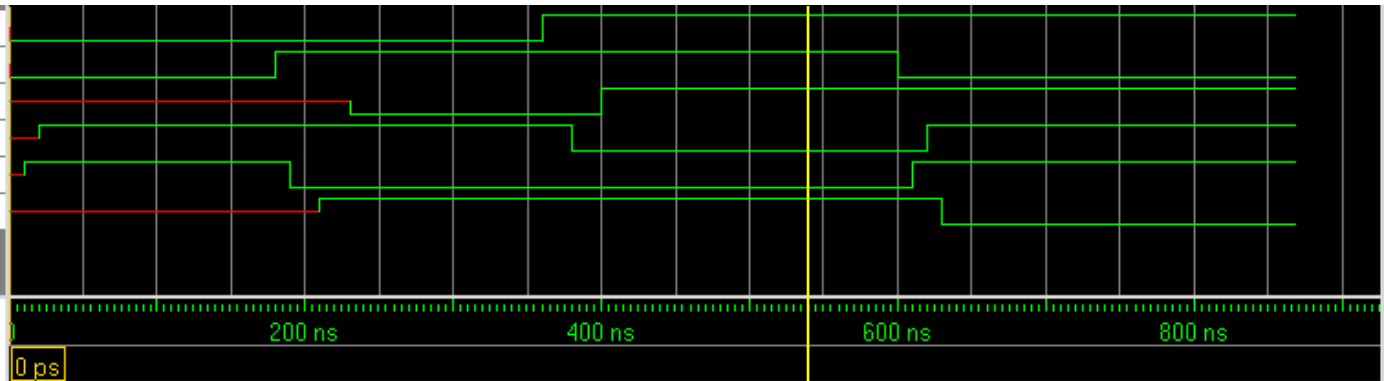


Alee Statiche

Caso 2 : $\Delta t = \Delta_i + \Delta_2 - \Delta_1 < \Delta_3$

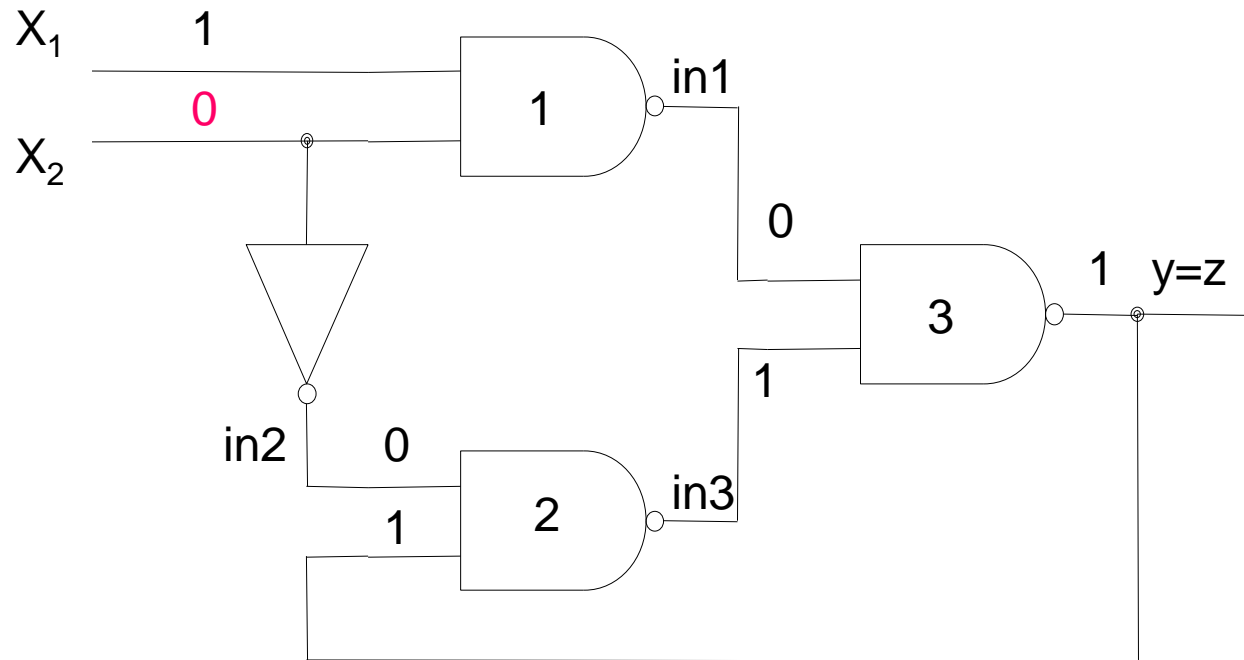


/alea_stat_vhd_tb/uut/x1	1
/alea_stat_vhd_tb/uut/x2	0
/alea_stat_vhd_tb/uut/z	1
/alea_stat_vhd_tb/uut/in1	1
/alea_stat_vhd_tb/uut/in2	1
/alea_stat_vhd_tb/uut/in3	0

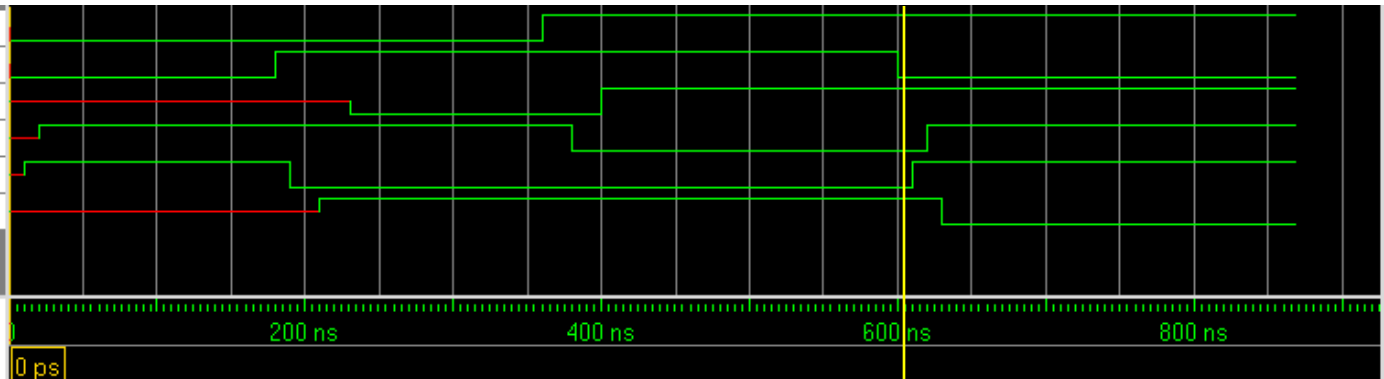


Alee Statiche

Caso 2 : $\Delta t = \Delta_i + \Delta_2 - \Delta_1 < \Delta_3$

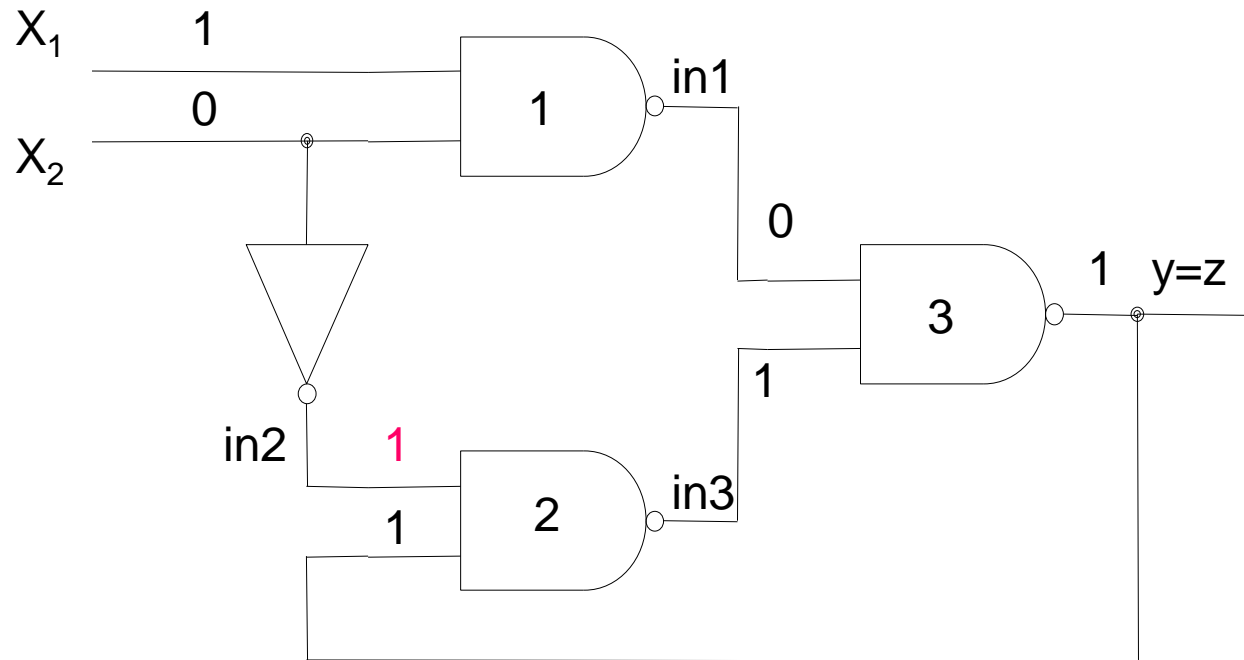


<code>/alea_stat_vhd_tb/uut/x1</code>	1
<code>/alea_stat_vhd_tb/uut/x2</code>	0
<code>/alea_stat_vhd_tb/uut/z</code>	1
<code>/alea_stat_vhd_tb/uut/in1</code>	1
<code>/alea_stat_vhd_tb/uut/in2</code>	1
<code>/alea_stat_vhd_tb/uut/in3</code>	0

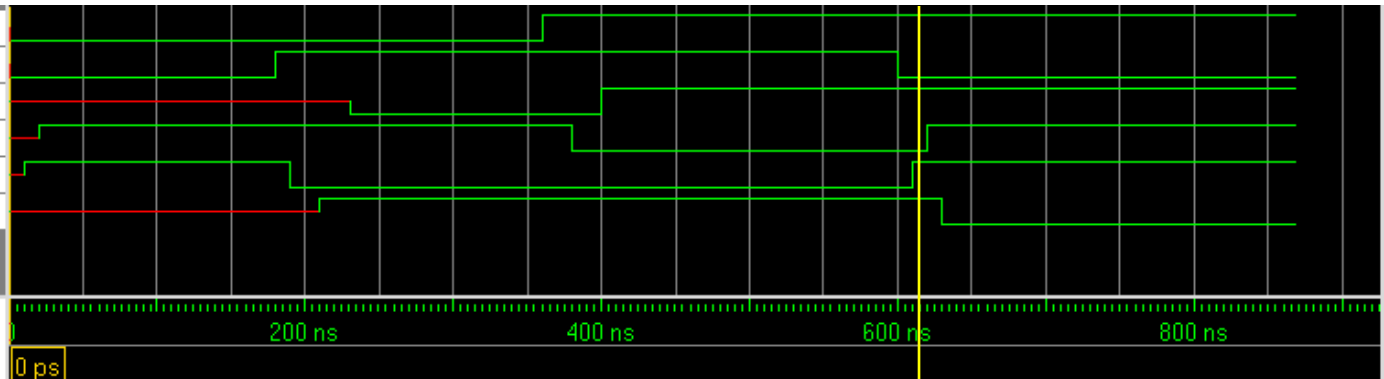


Alee Statiche

Caso 2 : $\Delta t = \Delta_i + \Delta_2 - \Delta_1 < \Delta_3$

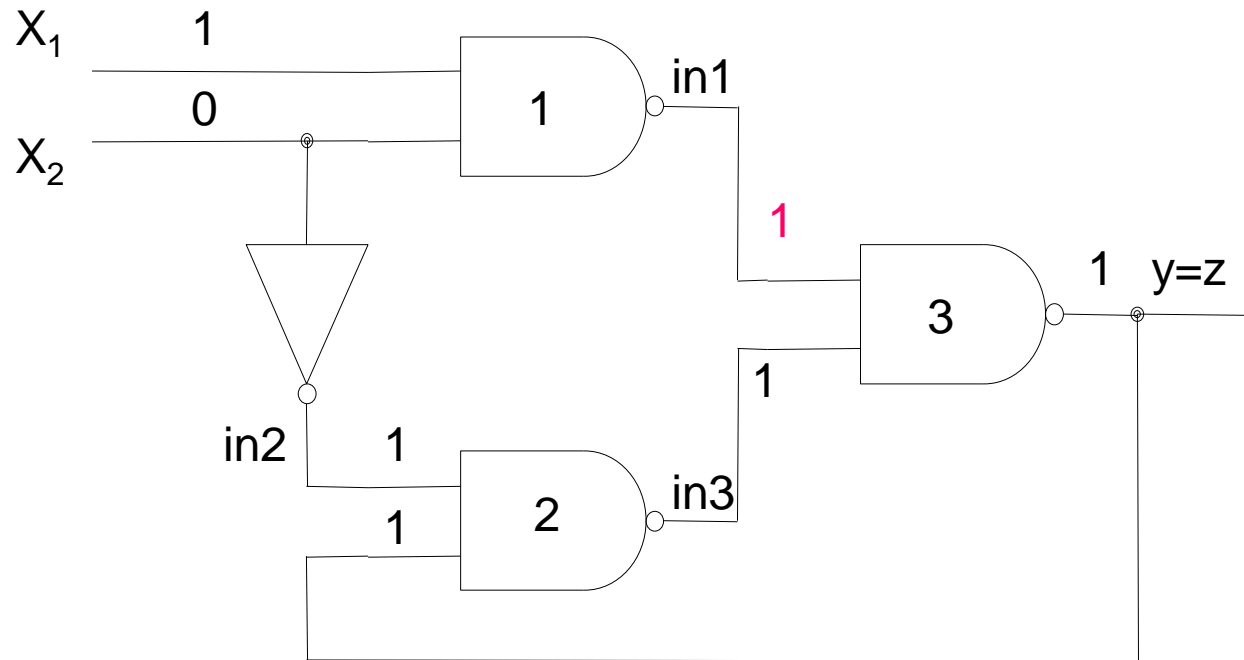


/alea_stat_vhd_tb/uut/x1	1
/alea_stat_vhd_tb/uut/x2	0
/alea_stat_vhd_tb/uut/z	1
/alea_stat_vhd_tb/uut/in1	1
/alea_stat_vhd_tb/uut/in2	1
/alea_stat_vhd_tb/uut/in3	0

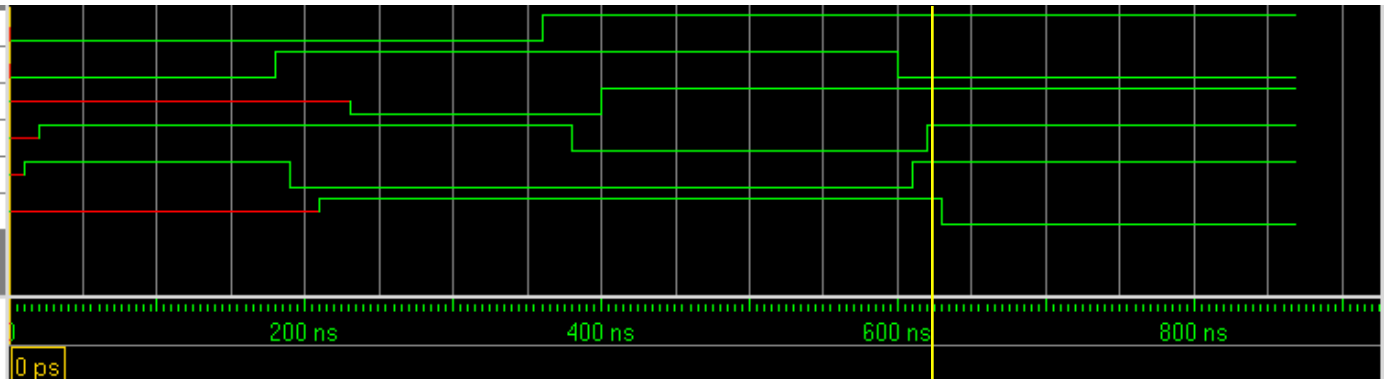


Alee Statiche

Caso 2 : $\Delta t = \Delta_i + \Delta_2 - \Delta_1 < \Delta_3$

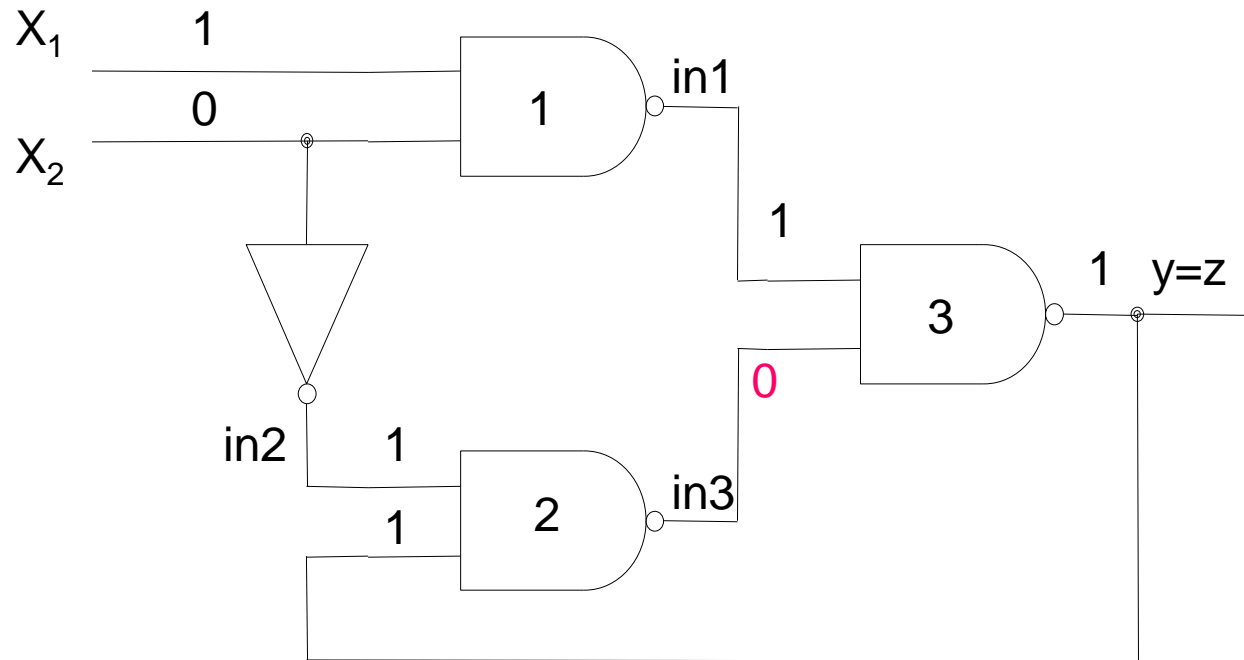


/alea_stat_vhd_tb/uut/x1	1
/alea_stat_vhd_tb/uut/x2	0
/alea_stat_vhd_tb/uut/z	1
/alea_stat_vhd_tb/uut/in1	1
/alea_stat_vhd_tb/uut/in2	1
/alea_stat_vhd_tb/uut/in3	0

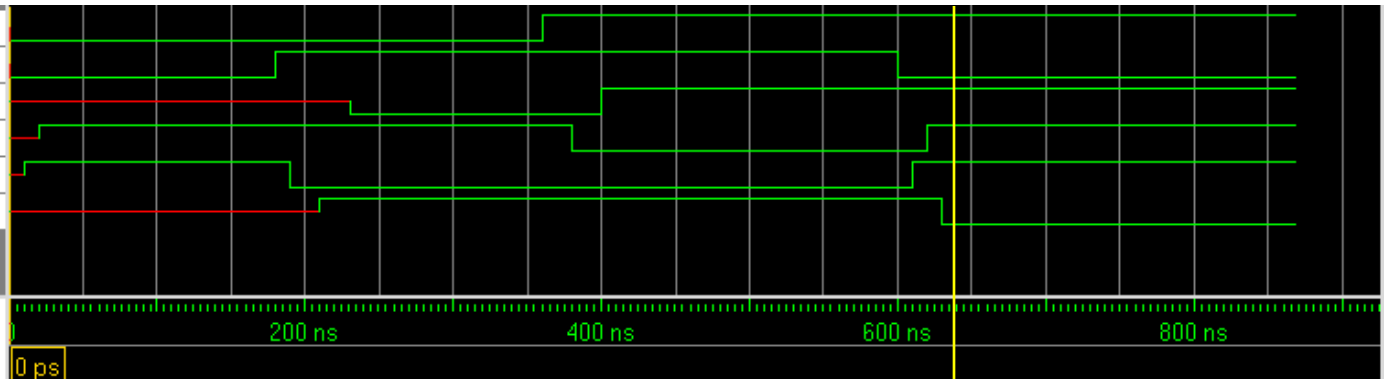


Alee Statiche

Caso 2 : $\Delta t = \Delta_i + \Delta_2 - \Delta_1 < \Delta_3$

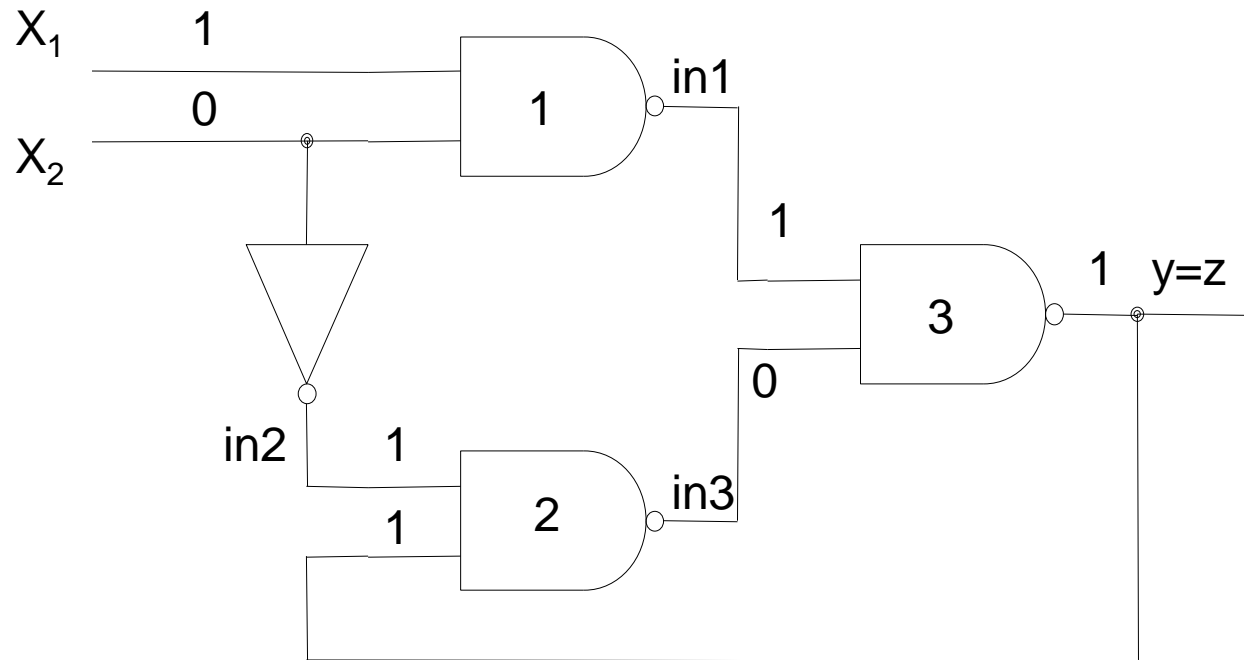


/alea_stat_vhd_tb/uut/x1	1
/alea_stat_vhd_tb/uut/x2	0
/alea_stat_vhd_tb/uut/z	1
/alea_stat_vhd_tb/uut/in1	1
/alea_stat_vhd_tb/uut/in2	1
/alea_stat_vhd_tb/uut/in3	0

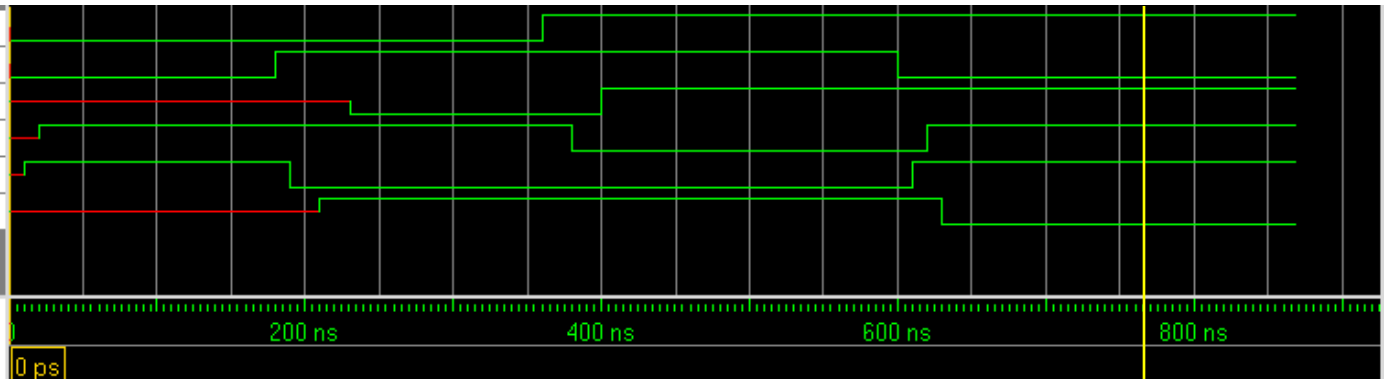


Alee Statiche

Caso 2 : $\Delta t = \Delta_i + \Delta_2 - \Delta_1 < \Delta_3$



/alea_stat_vhd_tb/uut/x1	1
/alea_stat_vhd_tb/uut/x2	0
/alea_stat_vhd_tb/uut/z	1
/alea_stat_vhd_tb/uut/in1	1
/alea_stat_vhd_tb/uut/in2	1
/alea_stat_vhd_tb/uut/in3	0



■ Nota:

- La presenza di 11 su G3 si e' protratta per

$$\Delta_i + \Delta_2 - \Delta_1 < \Delta_3$$

(ovvero un tempo **NON** sufficiente per farla commutare)

- La presenza di 11 su G2 si e' protratta ad oltranza grazie alla NON commutazione di G3

(comunque $\Delta_1 + \Delta_3 - \Delta_i < \Delta_2$ ovvero un tempo sufficiente per farla commutare)

- Nell'esempio sono stati usati come tempi di ritardo

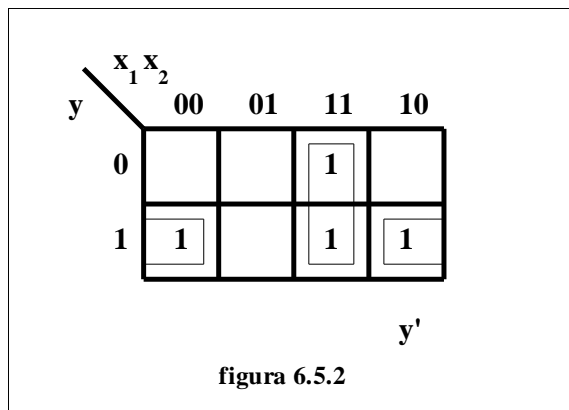
$$\Delta_1 = \Delta_2 = \Delta_3 = 20\text{ns}$$

$$\Delta_i = 10\text{ns}$$



Alee Statiche

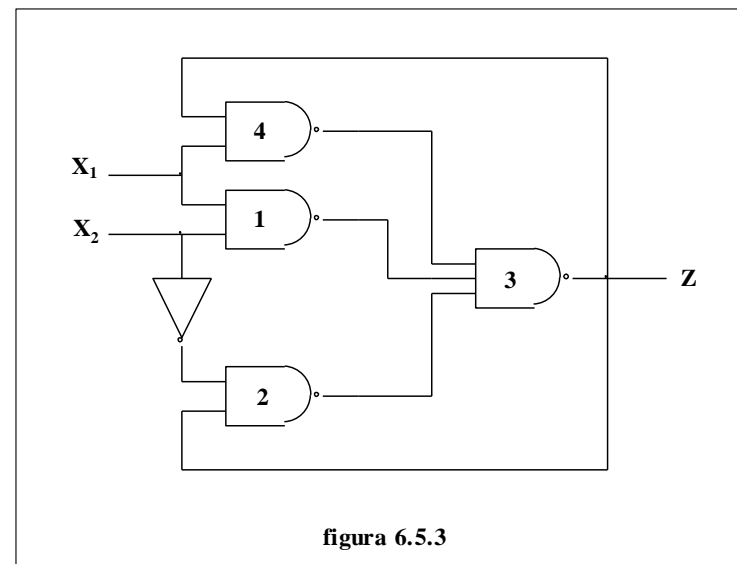
- L'alea puo' essere prevenuta
 - Introducendo opportuni ritardi (sconsigliabile)
 - con opportuni accorgimenti circuitali
 - Nasce infatti a seguito della particolare realizzazione adottata
 - Se la realizzazione e' fatta usando sottinsiemi disgiunti della Mappa di Karnaugh che vedono la stessa variabile ora diretta ora negata
 - x_2 e \bar{x}_2 Dovrebbero commutare contemporaneamente



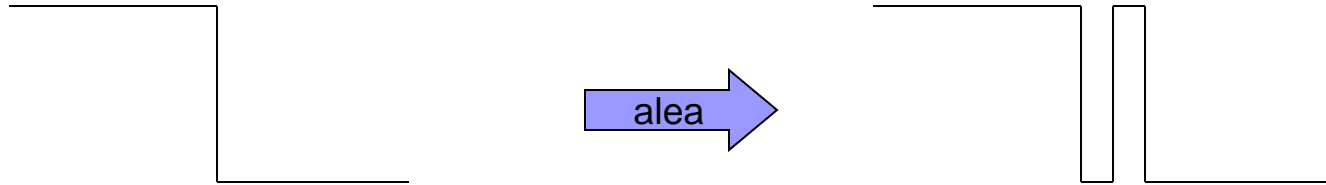
$$y' = x_1 \cdot x_2 + \bar{x}_2 \cdot y$$

soluzione

$$y' = x_1 \cdot x_2 + \bar{x}_2 \cdot y + x_1 \cdot y$$



Alee Dinamiche



- Sono alee in corrispondenza di una commutazione
 - $\underline{0} \rightarrow 1$ diventa $0 \rightarrow 1 \rightarrow 0 \rightarrow 1$ oppure
 - $1 \rightarrow 0$ diventa $1 \rightarrow 0 \rightarrow 1 \rightarrow 0$
- Cond. nec. e suff:
 - y' dipenda sia da x che da $\text{not}(x)$
 - $\text{not}(y')$ dipenda dagli stessi segnali di cui almeno 1 su un percorso diverso
- Ovvero
 - 3 vie portano il segnale a y' di cui almeno una comporti l'inversione di x ed una no



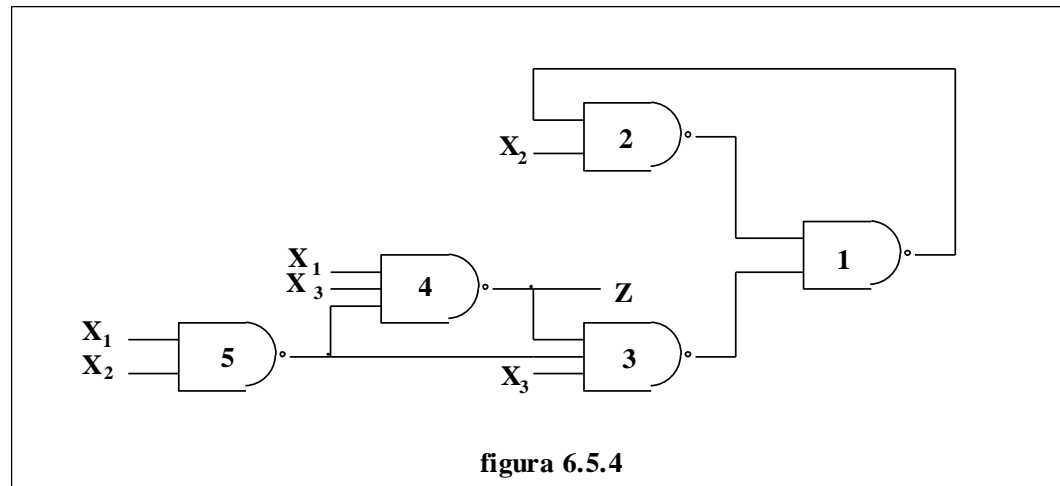
Alee dinamiche

Esempio

notare il segnale x_2

$$y' = \overline{x_1} \cdot x_3 + x_2 \cdot y$$

$$Z = \overline{x_1} + x_2 + \overline{x_3}$$



y	$x_1 x_2 x_3$							
	000	001	011	010	110	111	101	100
0	0/1	1/1	1/1	0/1	0/1	0/1	0/0	0/1
1	0/1	1/1	1/1	1/1	1/1	1/1	0/0	0/1

y'/z

$$y' = x_2^{(1)} \cdot y + x_3 \cdot (\overline{x_1} + \overline{x_2^{(2)}}) (x_1 \cdot x_2^{(3)} + \overline{x_1} + \overline{x_3})$$

1. $x_2^{(1)} = x_2^{(2)} = x_2^{(3)} = y = 1 \Rightarrow y' = 1$
2. $x_2^{(1)} = 0; x_2^{(2)} = x_2^{(3)} = y = 1 \Rightarrow y' = 0$
3. $x_2^{(1)} = x_2^{(2)} = 0; x_2^{(3)} = y = 1 \Rightarrow y' = 1$
4. $x_2^{(1)} = x_2^{(2)} = x_2^{(3)} = 0; y = 1 \Rightarrow y' = 0$



Teorema

- Un circuito a 2 livelli privo di alee statiche allo stato 1 è anche privo di alee statiche allo stato 0 e di alee dinamiche



Alee essenziali

- Non e' legata alla realizzazione ma alla struttura logica del sistema
- Puo' generarsi se nella tavola di flusso esiste uno stato dal quale tramite 3 variazioni consecutive dell'ingresso si porta in uno stato diverso da quello che si porterebbe con una sola variazione

		Ingresso	
		0	1
Stato	1	①	2
	2	3	②
	3	③	③

		Ingresso	
		0	1
Stato	1	①	2
	2	3	②
	3	③	4
	--	--	④

figura 6.5.5

		Ingresso	
		0	1
Stato	00	① 00	01
	01	11	② 01
	11	③ 11	10
	10	--	④ 10

figura 6.5.6

Siano G1 e G2 i dispositivi responsabili delle variabili di stato nel passaggio 00→01 se gli elementi rispondono contemporaneamente si passa allo stato corretto, se invece G2 commuta per primo e G1 non ha ancora sentito della variazione di x ci si puo' ritrovare nello stato sbagliato

In pratica l'alea essenziale avviene quando la variazione di una variabile interna dovuta ad una variazione dell'ingresso e' percepita prima dell'ingresso che l'ha generata



Alee multiple

- Si hanno quando le varie alee coinvolgono più di una variabile
- Per un corretto funzionamento
 - non devono esservi alee
 - nessuna variazione dello stato deve avvenire prima che la variazione dell'ingresso sia percepita **ovunque**
 - Le variazioni di stato non devono comportare corse critiche
 - Gli ingressi possono variare solo in condizioni di stabilità
 - Gli ingressi non commutino mai contemporaneamente

