

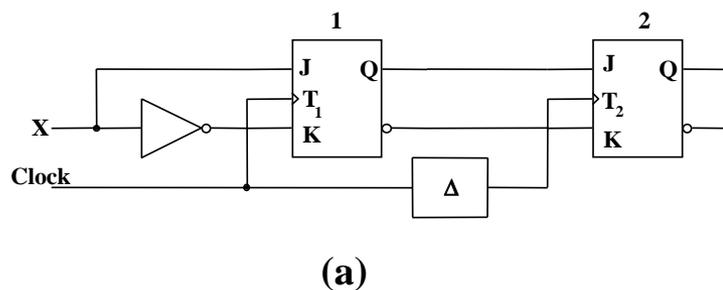
# Argomenti complementari

## Capitolo 9

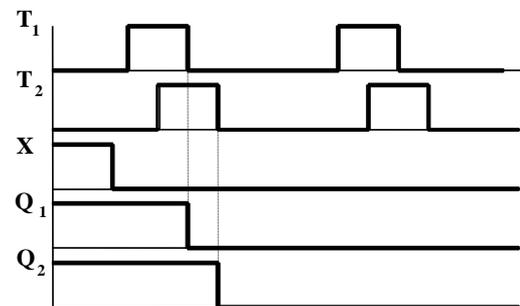


# Clock Skew

- Se vi sono dei ritardi sulla linea del clock il funzionamento del circuito potrebbe risentirne pesantemente
- Es: registro a scorrimento
  - Sincronismi sui fronti di discesa



(a)



(b)

# Progetto FF Master Slave

- $z_1$ : uscita del master
- $z_2$ : uscita del slave

Stato	CJK								$z_2 z_1$
	000	001	011	010	100	101	111	110	
a	(a)	(a)	(a)	(a)	(a)	(a)	b	b	00
b					(b)	(b)	(b)	(b)	01

figura 9.3.1

- se  $C=0$  lo stato e' stabile
- si puo' avere commutazione solo per  $C=1$
- se  $J=1$  e  $C=1$  cambia stato (si attiva l'uscita)
- ulteriori variazioni su  $K$  non abbiano influenza



# Progetto FF Master Slave

Stato	CJK								$z_2 z_1$
	000	001	011	010	100	101	111	110	
a	a	a	a	a	a	a	b	b	00
b	c	c	c	c	b	b	b	b	01
c	c	c	c	c					11

figura 9.3.2

- solo quando C ritorna a 0 il segnale passa dal master allo slave
- variazioni su J o K non hanno effetto



# Progetto FF Master Slave

Stato	CJK								$z_2 z_1$
	000	001	011	010	100	101	111	110	
a	a	a	a	a	a	a	b	b	00
b	c	c	c	c	b	b	b	b	01
c	c	c	c	c	c	d	d	c	11
d	a	a	a	a	d	d	d	d	10

figura 9.3.3

- Dallo stato 'c' il master si resetta quando  $C=1$  e  $K=1$
- ulteriori variazioni su J e K non hanno effetto
- quando C torna a 0 l'uscita si propaga verso lo slave



# Progetto FF Master Slave

- Se si vuole sincronizzare sul fronte e non sul livello del clock
  - si deve discriminare se
    - va a 1 prima J e poi C (ordine corretto – stato 'b')
    - oppure va a 1 prima C e poi J (ordine errato – stato 'e' ... che poi riporta in a)

		CJK								
Stato		000	001	011	010	100	101	111	110	$z_2 z_1$
a		(a)	(a)	(a)	(a)	e	e	b	b	00
e		a	a	a	a	(e)	(e)	(e)	(e)	00
b						(b)	(b)	(b)	(b)	01

figura 9.3.4



# Progetto FF Master Slave

- La tavola completa risulta

Stato	CJK								$z_2 z_1$
	000	001	011	010	100	101	111	110	
a	(a)	(a)	(a)	(a)	e	e	b	b	00
e	a	a	a	a	(e)	(e)	(e)	(e)	00
b	c	c	c	c	(b)	(b)	(b)	(b)	01
c	(c)	(c)	(c)	(c)	f	d	d	f	11
f	c	c	c	c	(f)	(f)	(f)	(f)	11
d	a	a	a	a	(d)	(d)	(d)	(d)	10

figura 9.3.5



# Circuiti Hazard-Free

- Gli ingressi possono essere ingressi del circuito oppure variabili di stato

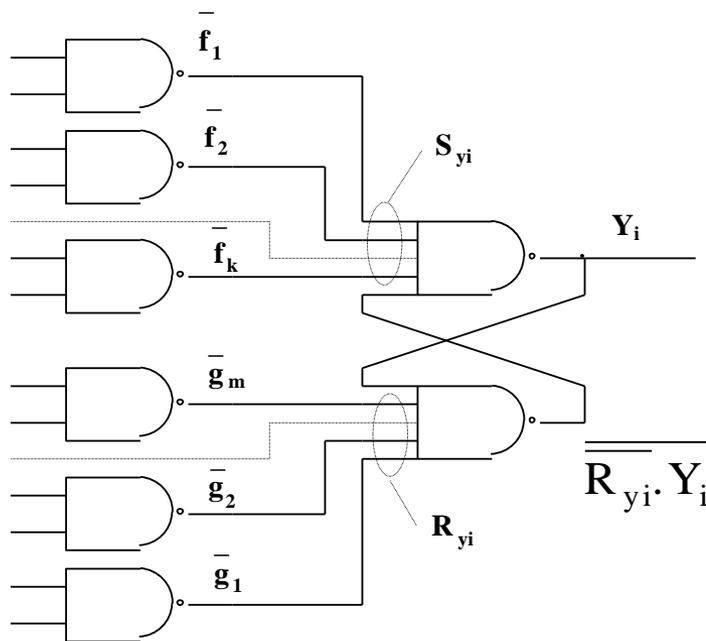


figura 9.4.1

$$\overline{S_{yi}} = \overline{f_1 \cdot f_2 \cdot \dots \cdot f_k}$$

$$S_{yi} = f_1 + f_2 + \dots + f_k$$

$$\overline{R_{yi}} = \overline{g_1 \cdot g_2 \cdot \dots \cdot g_m}$$

$$R_{yi} = g_1 + g_2 + \dots + g_m$$

$$Y_i = \overline{\overline{S_{yi}} \cdot \overline{R_{yi}} \cdot Y_i} = S_{yi} + \overline{R_{yi}} Y_i$$

Funziona come un FF tipo  
SR asincrono



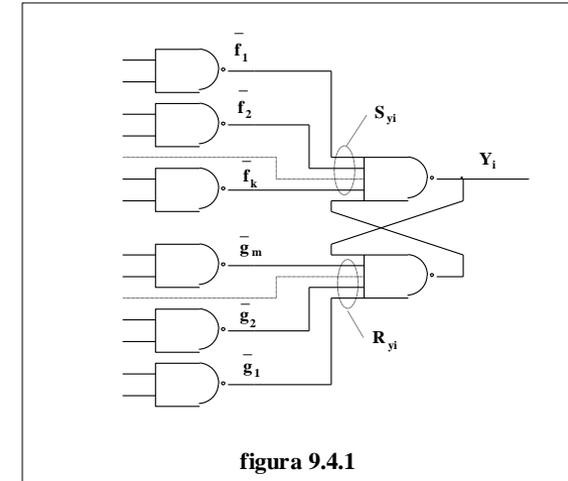
# Circuiti Hazard-Free

## ■ Considerazioni

- Il circuito e' privo di clock (asincrono)
- usa un FF (tipico dei circuiti sincroni o ad impulsi)
- Non e' propriamente un circuito ad impulsi

## ■ Alee

- Quando  $Y_i=1$  qualunque alea su S non ha effetto
- Potrebbe essere invece influenzato da alee su R
- R deriva da prodotti di variabili (privo di alee)



- In pratica la presenza del FF per memorizzare lo stato (sebbene asincrono) rende il circuito insensibile ad alee non essenziali.



# Realizzazione del FF Master Slave

## ■ Caso 1 (senza FF)

$y_2 y_1$	CJK							
	000	001	011	010	100	101	111	110
00	00	00	00	00	00	00	01	01
01	11	11	11	11	01	01	01	01
11	11	11	11	11	11	10	10	11
10	00	00	00	00	10	10	10	10

figura 9.5.1

$y_2 y_1$	CJK							
	000	001	011	010	100	101	111	110
00	00	00	00	00	00	00	01	01
01	11	11	11	11	01	01	01	01
11	11	11	11	11	11	10	10	11
10	00	00	00	00	10	10	10	10

figura 9.5.1

$$y_2 = y_1 \cdot \bar{C} + y_2 \cdot C + y_1 \cdot y_2$$

$$y_1 = y_1 \cdot \bar{C} + \bar{y}_2 \cdot y_1 + y_1 \cdot \bar{K} + \bar{y}_2 \cdot C \cdot J$$



# Realizzazione del FF Master Slave

## ■ Caso 2 (con FF SR)

		CJK							
		$y_2 y_1$	000	001	011	010	100	101	111
$y_2 y_1$	00	00	00	00	00	00	00	01	01
	01	11	11	11	11	01	01	01	01
	11	11	11	11	11	11	10	10	11
	10	00	00	00	00	10	10	10	10

figura 9.5.1

		CJK							
		$y_2 y_1$	000	001	011	010	100	101	111
$y_2 y_1$	00							1	1
	01	Φ	Φ	Φ	Φ	Φ	Φ	Φ	Φ
	11	Φ	Φ	Φ	Φ	Φ			Φ
	10								

$S_{y1}$

$$S_{y1} = C.J.\bar{y}_2$$

		CJK							
		$y_2 y_1$	000	001	011	010	100	101	111
$y_2 y_1$	00								
	01	1	1	1	1				
	11	Φ	Φ	Φ	Φ	Φ	Φ	Φ	Φ
	10					Φ	Φ	Φ	Φ

$S_{y2}$

$$S_{y2} = \bar{C}.y_1$$

		CJK							
		$y_2 y_1$	000	001	011	010	100	101	111
$y_2 y_1$	00	Φ	Φ	Φ	Φ	Φ	Φ		
	01								
	11						1	1	
	10	Φ	Φ	Φ	Φ	Φ	Φ	Φ	Φ

$R_{y1}$

$$R_{y1} = C.K.y_2$$

		CJK							
		$y_2 y_1$	000	001	011	010	100	101	111
$y_2 y_1$	00	Φ	Φ	Φ	Φ	Φ	Φ	Φ	Φ
	01					Φ	Φ	Φ	Φ
	11								
	10	1	1	1	1				

$R_{y2}$

$$R_{y2} = \bar{C}.\bar{y}_1$$



# Realizzazione del FF Master Slave

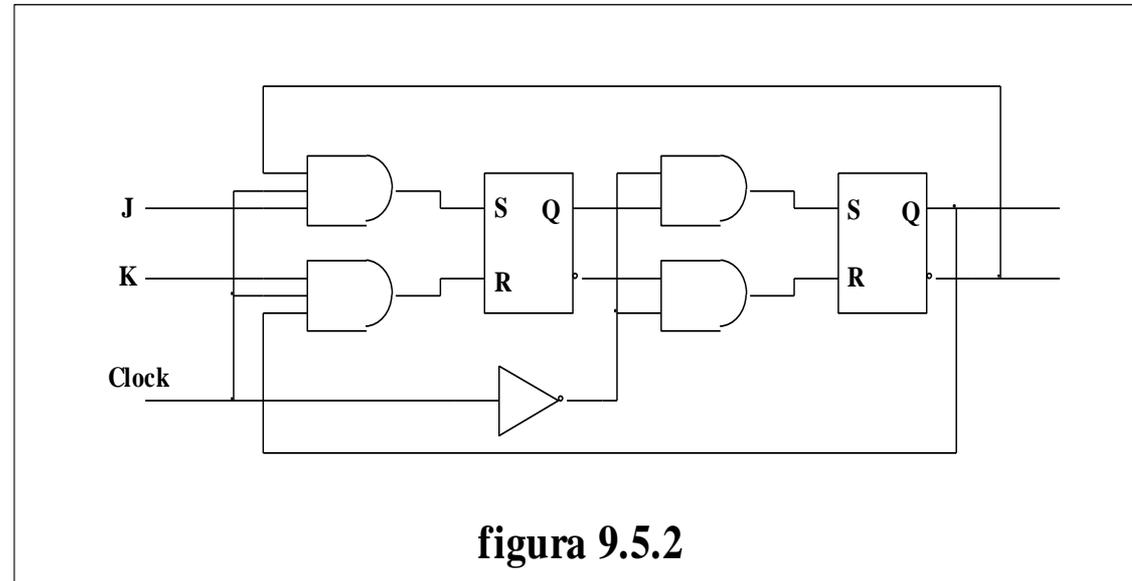
## ■ Caso 2 (con FF SR)

$$S_{y_1} = C.J.\bar{y}_2$$

$$R_{y_1} = C.K.y_2$$

$$S_{y_2} = \bar{C}.y_1$$

$$R_{y_2} = \bar{C}.\bar{y}_1$$



Per quanto visto il circuito e' privo di alee statiche e dinamiche ... presiste la possibilita' di un'alea essenziale dovuta ad un eventuale ritardo nella propagazione del clock



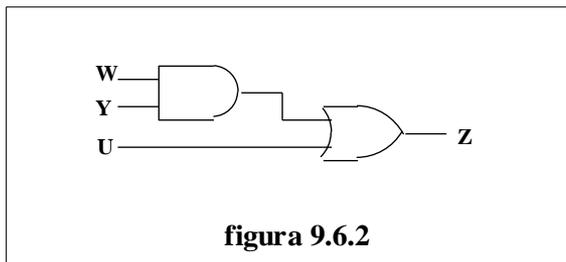
# Logica a 3 valori

- Per l'analisi di corse e alee
  - Usa una logica a 3 valori : 0,1,X (X=sconosciuto)

<table><tr><td>A</td><td><math>\bar{A}</math></td></tr><tr><td>0</td><td>1</td></tr><tr><td>X</td><td>X</td></tr><tr><td>1</td><td>0</td></tr></table> <p>NOT</p>	A	$\bar{A}$	0	1	X	X	1	0	<table><tr><td></td><td colspan="3">B</td></tr><tr><td>A \</td><td>0</td><td>X</td><td>1</td></tr><tr><td>0</td><td>0</td><td>X</td><td>1</td></tr><tr><td>X</td><td>X</td><td>X</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td></tr></table> <p>A+B</p>		B			A \	0	X	1	0	0	X	1	X	X	X	1	1	1	1	1	<table><tr><td></td><td colspan="3">B</td></tr><tr><td>A \</td><td>0</td><td>X</td><td>1</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>X</td><td>0</td><td>X</td><td>X</td></tr><tr><td>1</td><td>0</td><td>X</td><td>1</td></tr></table> <p>A.B</p>		B			A \	0	X	1	0	0	0	0	X	0	X	X	1	0	X	1
A	$\bar{A}$																																																	
0	1																																																	
X	X																																																	
1	0																																																	
	B																																																	
A \	0	X	1																																															
0	0	X	1																																															
X	X	X	1																																															
1	1	1	1																																															
	B																																																	
A \	0	X	1																																															
0	0	0	0																																															
X	0	X	X																																															
1	0	X	1																																															

figura 9.6.1

- Es: se  $Y = X$  (sconosciuto) per quali valori di U,W  $\rightarrow Z=X$  ?



$$Z = U + W.X$$

Ovvero  $Z=X$  se  $W=1$  e  $U=0$



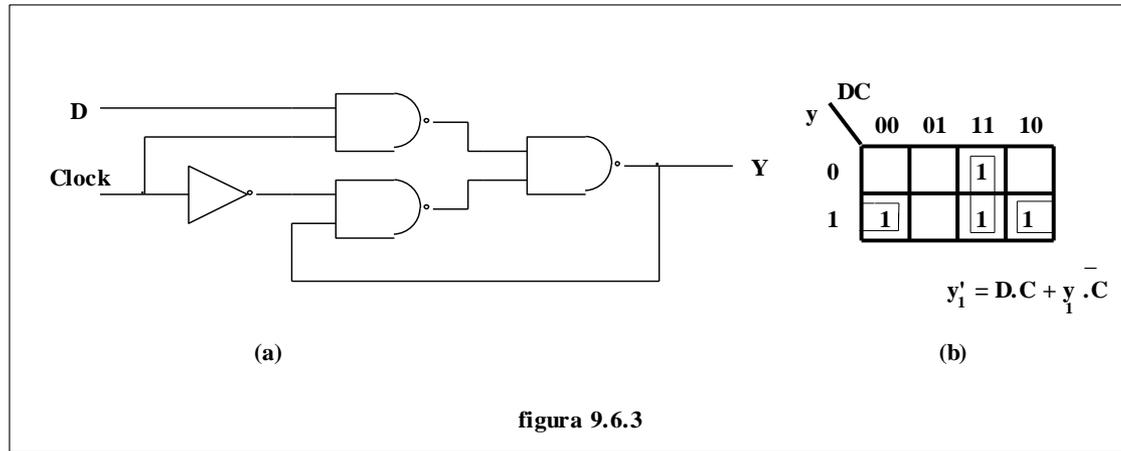
# Metodo di Eichelberg

- Per l'analisi di corse e alee al variare di alcune variabili in ingresso
  - **Passo 1:** si assegna alle var. in ingresso il valore  $X$ . Si calcolino le nuove variabili di stato e si iteri il procedimento (alcune variabili di stato potrebbero assumere il valore  $X$ )
  - **Passo 2:** si assegna alle var. in ingresso il valore finale. Si calcolino le nuove variabili di stato e si iteri il procedimento.
  - **Conclusione:** se tutte le variabili di stato assumono un valore definito il circuito è privo di alee. se alcune rimangono a  $X$  vi è la possibilità che vi siano alee (il funzionamento del circuito dipenderà dai ritardi)



# Metodo di Eichelberg

## ■ Esempio: FF tipo D



Si analizzi cosa accade quando C passa da 1 a 0

$$y'_1 = D.C + y_1.\bar{C} + \boxed{y_1.D} \longrightarrow \text{Per eliminare l'alea}$$

	D	C	$y'_1$	D	C	$y'_1$
Condizione iniziale	1	1	1	1	1	1
Passo 1	1	X	X	1	X	1
Passo 2	1	0	X	1	0	1

senza la correzione dell'alea                      con la correzione dell'alea

figura 9.6.4

