

CAPITOLO VI

CIRCUITI SEQUENZIALI ASINCRONI

6.1) Introduzione.

Nel capitolo precedente sono stati presi in considerazione gli aspetti essenziali dei circuiti sequenziali ed e' stato introdotto il modello fondamentale, le equazioni di stato e quelle di uscita. Si e' messo inoltre in luce che la formalizzazione proposta permette di affrontare lo studio dei circuiti sequenziali eliminando ogni dipendenza esplicita dal tempo, utilizzando quindi le metodologie e gli strumenti messi a punto per lo studio dei circuiti combinatori.

In questo capitolo si trattera' dei problemi legati all'analisi e alla sintesi dei circuiti sequenziali asinconi, ad impulsi e a livelli, senza fare alcuna distinzione tra di essi, ma considerando gli impulsi come il risultato di due successive variazioni di livello.

6.2) L'analisi.

Un circuito sequenziale asincrono si riconosce in pratica in quanto e' realizzato unicamente da porte logiche elementari, ma contiene almeno una connessione tra l'uscita di un elemento di livello j e l'ingresso di un elemento a livello k con $k > j$. Esiste cioe' quello che viene chiamato "loop di reazione".

Come si e' gia' accennato in precedenza, il circuito reale puo' essere fatto corrispondere al modello fondamentale ricordando che per qualsiasi elemento logico esiste sempre un tempo di ritardo tra l'applicazione di una condizione di ingresso e l'istante in cui si ha la corrispondente variazione dell'uscita. E' evidente che nel caso di circuiti logici combinatori l'esistenza di tale ritardo da' luogo unicamente ad un rallentamento della velocita' operativa, in quanto l'uscita rimane univocamente determinata.

Nel caso dei circuiti sequenziali l'esistenza del ritardo riveste invece un'importanza fondamentale ed e' quindi necessario scomporre ciascun elemento logico reale in una porta logica a risposta istantanea, seguita da un elemento di ritardo Δ . Supponendo poi, per ragioni di semplicita', che tutti i ritardi cosi' introdotti siano uguali e che operatori logici e ritardi siano tra loro invertibili, questi ultimi possono essere sostituiti da un unico elemento posto in uscita alla porta logica da cui si diparte un loop di reazione.

La procedura descritta e' illustrata in fig. 6.2.1.

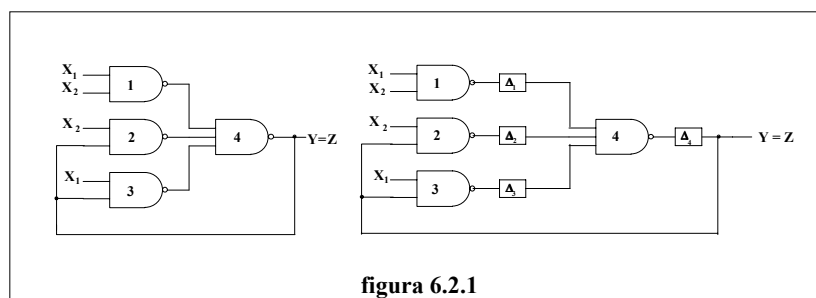
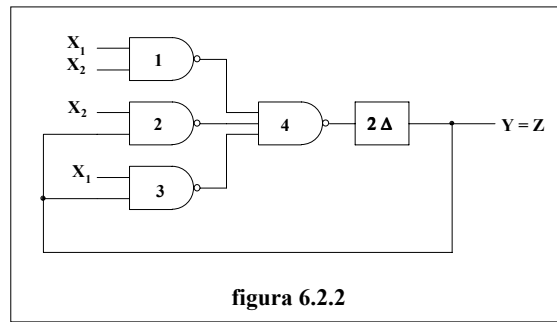


figura 6.2.1

Ponendo poi $\Delta = \Delta_1 = \Delta_2 = \Delta_3 = \Delta_4$, si ha:



Con le ipotesi fatte, a partire da un circuito reale si ottiene pertanto una rappresentazione che è formalmente identica a quella del modello fondamentale.

È necessario tuttavia affermare che le ipotesi fatte valgono solo in prima e grossolana approssimazione e in alcuni casi sarà necessario verificare quanto accade a causa del mancato loro verificarsi.

L'analisi viene condotta determinando le equazioni di stato e di uscita del circuito a partire dalle quali si perviene alla tavola di flusso o al diagramma degli stati della macchina sequenziale che rappresenta il funzionamento del circuito.

Allo scopo di facilitare l'analisi è opportuno definire quelle che nel funzionamento sono condizioni **stabili** e quelle che sono condizioni **instabili**.

Si definisce in corrispondenza ad una condizione di ingresso:

$$I = \{x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_k\}$$

a) **Stato stabile** quello che per qualsiasi j soddisfa la condizione:

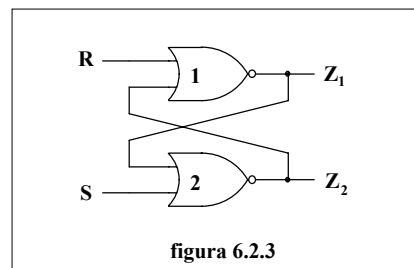
$$y'_j(t) = y_j(t)$$

b) **Stato instabile** quello per il quale, in corrispondenza ad almeno un j , si ha:

$$y'_j(t) \neq y_j(t)$$

Poiché tra le uscite y' e gli ingressi y è interposto come memoria semplicemente un elemento di ritardo, il circuito non può rimanere in uno stato instabile, ma deve evolvere spontaneamente verso lo stato futuro definito dalle variabili y' .

Per chiarire il metodo di analisi è opportuno rifarsi a qualche esempio. Sia dato il circuito di fig. 6.2.3.



Rimanipolando opportunamente lo schema si ottiene il circuito di fig. 6.2.4 (a) in cui è immediatamente riconoscibile un circuito sequenziale asincrono in quanto esiste un loop di reazione tra l'uscita z e l'elemento 2 al secondo livello.

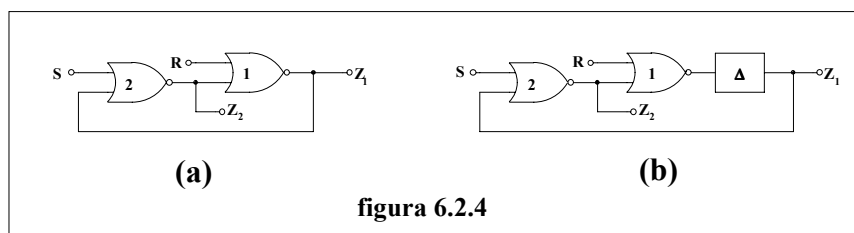


figura 6.2.4

Inserendo infine il ritardo Δ , secondo quanto illustrato in precedenza, si ottiene la struttura di fig. 6.2.4 (b), formalmente identica al modello fondamentale. In essa sono immediatamente individuabili le variabili di stato e quelle di stato futuro.

Le equazioni di stato e di uscita che si ricavano sono:

$$y' = \bar{R} \cdot (S + y) = \bar{R} \cdot S + \bar{R} \cdot y \quad z_1 = y \quad z_2 = \bar{S} \cdot \bar{y}$$

Da tali equazioni si ricavano le due tabelle di fig. 6.2.5, simili alle mappe di Karnaugh, dette rispettivamente matrice di eccitazione e matrice delle uscite.

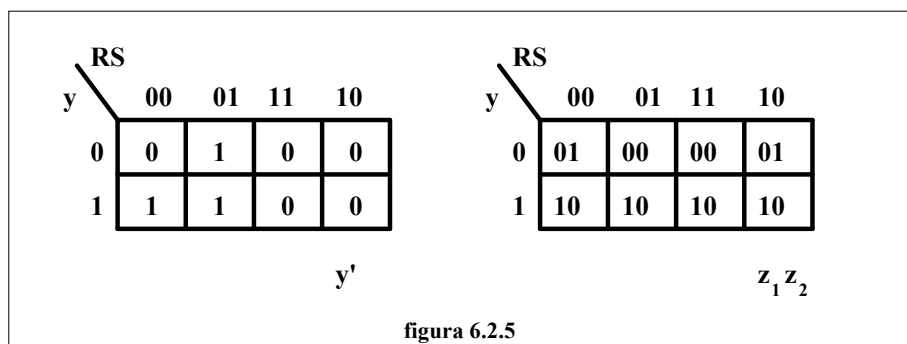


figura 6.2.5

La prima contiene tutte le informazioni relative all'evoluzione dello stato e permette di distinguere immediatamente gli stati instabili da quelli stabili. In ogni casella e' riportato il valore assunto dalla variabile di eccitazione in funzione dello stato e dell'ingresso.

Sono stabili quelle condizioni in cui lo stato futuro coincide con lo stato attuale. Instabili sono invece le condizioni in cui cio' non si verifica. Gli stati stabili vengono di solito contraddistinti cerchiandoli per evidenziarli.

La tabella va interpretata nel modo seguente:

Si supponga di trovarsi in una condizione stabile, ad esempio con $RSy = 000$. Variando l'ingresso e portandolo a $RSy = 010$, la variabile di eccitazione y' passa da 0 a 1, determinando una condizione instabile. La variazione dell'ingresso viene pertanto rappresentata sulla matrice di eccitazione da uno spostamento in orizzontale.

Poiche' il circuito e' asincrono e funziona in modo fondamentale, gli ingressi devono rimanere costanti finche' non si raggiunge una nuova condizione di stabilita'. Cio' avviene dopo un tempo Δ , quando il valore assunto da y' viene trasferito a y , quando cioe' lo stato futuro diviene stato presente. Cio' corrisponde sulla matrice di eccitazione ad uno spostamento verticale nella colonna $RS = 01$.

Riassumendo si puo' pertanto dire che sulla matrice di eccitazione gli spostamenti orizzontali sono provocati da una variazione degli ingressi, mentre quelli verticali sono spontanei e sono provocati dall'evoluzione del circuito dalla condizione instabile, in cui viene a trovarsi per la variazione dell'ingresso, verso una nuova condizione stabile.

La matrice di uscita contiene invece tutte le informazioni sul comportamento esterno del circuito, cioè su come variano le uscite in funzione dell'ingresso e dello stato.

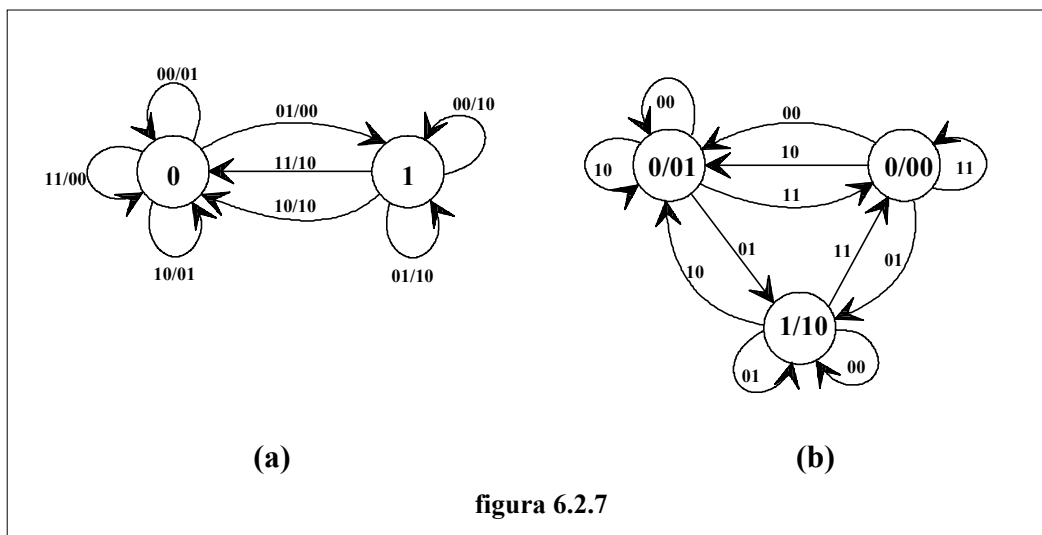
		RS			
		00	01	11	10
y	0	0/01	1/00	0/00	0/01
	1	1/10	1/10	0/10	0/10

figura 6.2.6

Si noti che esiste una sostanziale differenza tra matrice di eccitazione e matrice di uscita; mentre l'interpretazione della prima implicitamente fa riferimento al tempo, attraverso l'introduzione del ritardo Δ , e permette di seguire l'evoluzione dello stato in funzione delle variazioni dell'ingresso, la matrice d'uscita ha una natura completamente indipendente dal tempo, in quanto le variabili interessate, che nel caso in esame sono le z, R, S e y, si riferiscono tutte allo stesso istante. Per determinare la sequenza di uscita ottenuta a partire da un determinato stato per una particolare sequenza di ingresso e' necessario perciò ricorrere ad ambedue le tabelle. Si preferisce quindi riunire le due tabelle ottenendo quella che viene chiamata tavola di flusso del circuito e che per l'esempio in esame e' riportata in fig. 6.2.6

A partire poi dalla tavola di flusso e' immediatamente ricavabile il diagramma degli stati del circuito, sia nella rappresentazione di Mealy che in quella di Moore.

In fig. 6.2.7 (a) e' riportato il diagramma degli stati secondo Mealy del flip-flop RS, mentre in fig. 6.2.7 (b) e' riportato quello secondo Moore.



I diagrammi ottenuti possono a prima vista differire da quanto illustrato in precedenza per il flip-flop RS. In realtà, per motivi che verranno illustrati in seguito, si evita che in un circuito sequenziale asincrono due ingressi possano variare contemporaneamente. Tale

assunzione riporta quindi il funzionamento del circuito analizzato a quello già illustrato per il flip-flop RS.

6.3) Transizioni multiple, cicli di instabilità e corse.

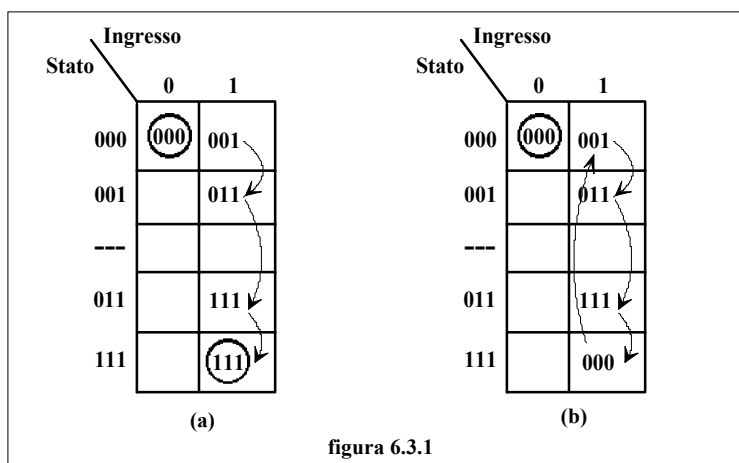
Nel corso del procedimento di analisi possono presentarsi casi più o meno complessi che meritano un'illustrazione particolare.

6.3.1) Transizioni multiple

Si ha una transizione multipla quando allo stato stabile si giunge attraverso un certo numero di stati instabili diversi, come illustrato nella tavola di flusso di fig. 6.3.1 (a).

Il verificarsi di una condizione di questo genere non comporta alcun inconveniente particolare, al di là di un prolungamento del tempo di transitorio.

Per tale motivo le transizioni multiple vengono spesso utilizzate, come si vedrà nel seguito, a scopo di semplificazione durante il procedimento di sintesi.



6.3.2) Cicli di instabilità

Il fenomeno è del tutto analogo a quello delle transizioni multiple, con la differenza che non si raggiunge alcun stato stabile, ma viene percorso con continuità un ciclo fintanto che non viene variato l'ingresso (figura 6.3.1 (b)).

Una condizione di tal genere è di solito determinata da un errore di progetto.

È opportuno notare che le transizioni multiple e i cicli di instabilità derivano dalla struttura logica della tavola di flusso e sono facilmente individuabili per semplice ispezione di quest'ultima.

Non altrettanto può dirsi per il fenomeno delle corse che prendono origine dal mancato verificarsi di una delle ipotesi fatte introducendo il modello fondamentale, e cioè che i ritardi nei loop di reazione siano tutti uguali.

6.3.3) Corse

Si supponga che, a partire da una condizione di stabilità, la variazione dell'ingresso porti alla variazione di due o più variabili di eccitazione. Quando ciò avviene la differente velocità di risposta, che nella realtà gli elementi logici hanno, determina una disuguaglianza dei tempi di ritardo nei loop di reazione e può portare il circuito ad evolvere in maniera errata.

Si consideri ad esempio la tavola di flusso di fig. 6.3.2.

		x	
		0	1
y ₁ y ₂ y ₃	000	(000)	011
	001		(001)
	010		(010)
	011		(011)

figura 6.3.2

A partire dallo stato stabile 000 la commutazione dell'ingresso x da 0 a 1 fa sì che commutino le variabili y_2 e y_3 . A causa dei differenti tempi di ritardo durante il transitorio di commutazione la situazione delle variabili di eccitazione potrebbe essere 001 oppure 010 anziché 011. Se inoltre il periodo transitorio fosse sufficientemente lungo l'evoluzione del circuito porterebbe agli stati stabili 010 o 001 rispettivamente. Un fenomeno di tal genere prende il nome di corsa critica e può portare ad un comportamento diverso da esemplare ad esemplare di circuito prodotto. È opportuno tuttavia rimarcare che per il verificarsi di una corsa critica devono essere soddisfatte due condizioni necessarie:

- 1) La variazione dell'ingresso deve comportare la **variazione di due o più variabili di eccitazione**.
- 2) La colonna relativa al valore finale dell'ingresso deve contenere **più di uno stato stabile**.

Si parla invece di corse non critiche quando, pur essendo verificata la prima delle due condizioni appena esposte, lo stato finale raggiunto è sempre quello desiderato. Un esempio di circuito per il quale sono possibili corse non critiche è illustrato nella tavola di flusso di fig. 6.3.3.

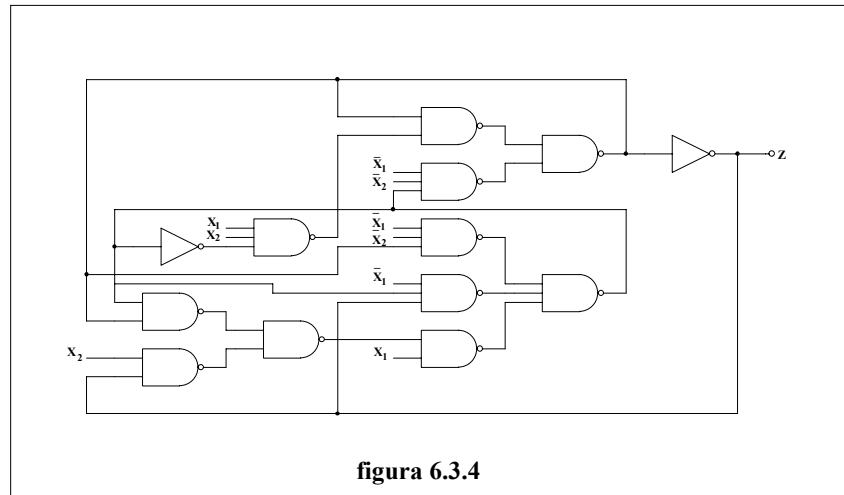
		x	
		0	1
y ₁ y ₂ y ₃	000	(000)	011
	001		011
	010		011
	011		(011)

figura 6.3.3

Nel seguito si riporta un esempio di analisi di un circuito sequenziale asincrono.

ESEMPIO

Sia assegnato il circuito di fig. 6.3.4

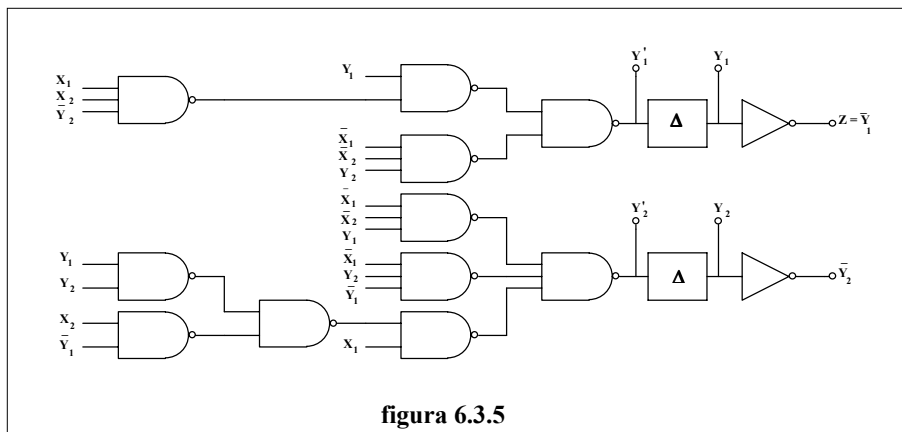


Riportando tutti i ritardi di propagazione nei loop di reazione si ottiene la struttura circuitale di fig. 6.3.5, formalmente identica al modello fondamentale. Le relative equazioni di stato e d'uscita sono:

$$y_1' = y_1 (\overline{x_1} + \overline{x_2} + y_2) + \overline{x_1} \cdot \overline{x_2} \cdot y_2 = \overline{x_1} \cdot y_1 + \overline{x_2} \cdot y_1 + y_1 \cdot y_2 + \overline{x_1} \cdot \overline{x_2} \cdot y_2$$

$$y_2' = \overline{x_1} \cdot \overline{x_2} \cdot y_1 + \overline{x_1} \cdot y_1 \cdot y_2 + x_1 \cdot (\overline{x_2} \cdot \overline{y_1} + y_1 \cdot y_2) = \overline{x_1} \cdot \overline{x_2} \cdot y_1 + \overline{x_1} \cdot y_1 \cdot y_2 + x_1 \cdot \overline{x_2} \cdot \overline{y_1} + x_1 \cdot y_1 \cdot y_2$$

$$z = \overline{y_1}$$



Le matrici di eccitazione e di uscita sono:

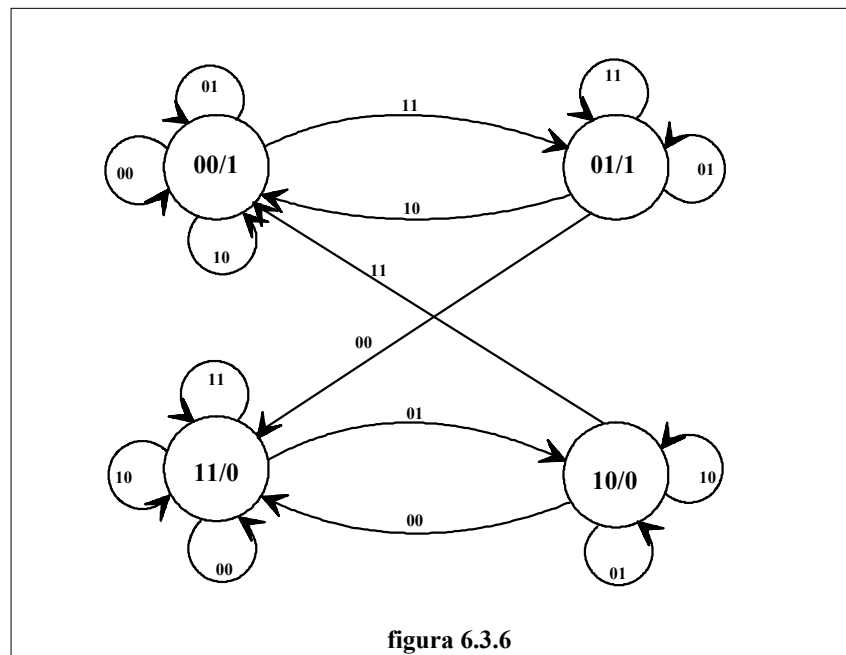
		$x_1 x_2$			
	$y_1 y_2$	00	01	11	10
00	00	00	01	00	
01	11	01	01	00	
11	11	10	11	11	
10	11	10	00	10	

$y_1' y_2'$

		$x_1 x_2$			
	$y_1 y_2$	00	01	11	10
00	00	1	1	1	1
01	01	1	1	1	1
11	11	0	0	0	0
10	10	0	0	0	0

z

La riunione delle due matrici permette di ottenere la tavola di flusso del circuito e da essa si può derivare il diagramma degli stati, come illustrato in fig. 6.3.6 (nella rappresentazione di Moore)



6.4) Sintesi dei circuiti sequenziali asinconi.

Il procedimento di sintesi di un circuito sequenziale asincrono può essere suddiviso, in linea di principio, in cinque fasi successive.

- 1) **Determinazione**, a partire da una descrizione verbale del funzionamento desiderato per il circuito, **del diagramma degli stati** di una macchina sequenziale asincrona M , da cui derivare la tabella degli stati, detta **matrice primitiva delle sequenze**.
- 2) **Minimizzazione degli stati** di M e costruzione della tabella degli stati della macchina equivalente minima M' , detta **matrice delle sequenze**.

- 3) Determinazione del minimo numero di variabili binarie interne necessarie a **codificare gli stati** di M' in modo da ottenere un corretto funzionamento del circuito.
- 4) **Costruzione della tavola di flusso** del modello fondamentale del circuito da realizzare.
- 5) **Costruzione**, sulla base della tavola di flusso determinata al punto 4, **del circuito** sequenziale asincrono reale.

Anche durante la sintesi si accettano le ipotesi semplificative introdotte per l'analisi e cioè:

- 1) L'intera rete logica ha **risposta istantanea**.
- 2) I **segnali** di ingresso sono **asincroni a livelli**.
- 3) Gli ingressi possono variare solo in corrispondenza di uno **stato stabile**.
- 4) I valori dei **ritardi** inseriti nei loop di reazione sono **tutti uguali**.

6.4.1) Determinazione della matrice primitiva delle sequenze.

Viene chiamata matrice primitiva delle sequenze la tavola di flusso, secondo il modello di Moore, di una macchina sequenziale asincrona M il cui funzionamento corrisponda completamente con la descrizione assegnata per il circuito da realizzare. Sulla base di quanto già visto, essa conterra' tante colonne quanti sono i possibili valori degli ingressi, cui si aggiunge una colonna per l'uscita, e tante righe quanti sono gli stati stabili.

A titolo di esempio si voglia determinare la matrice primitiva delle sequenze per il circuito a due ingressi (x_1 e x_2) e un'uscita (z) che si porta a 1 solo al termine della sequenza di ingresso 00 - 10 - 11 - 01. Raggiunta tale condizione l'uscita deve ritornare a zero per ogni ulteriore variazione dell'ingresso. Per ragioni che verranno esaminate piu' avanti, si imponga quale ulteriore condizione che i due segnali di ingresso non possano mai variare contemporaneamente.

La parte del grafo degli stati che esegue il riconoscimento della sequenza e' illustrato in fig. 6.4.1

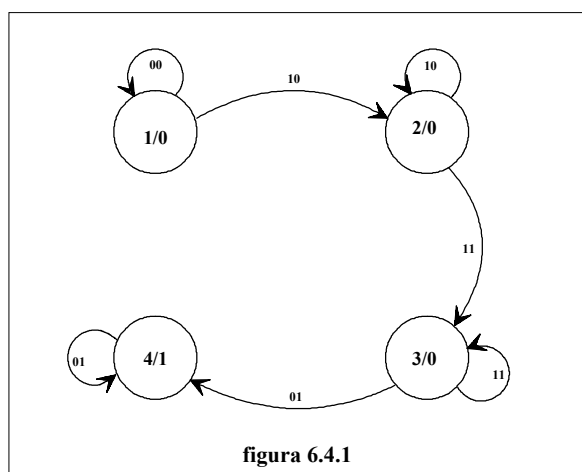
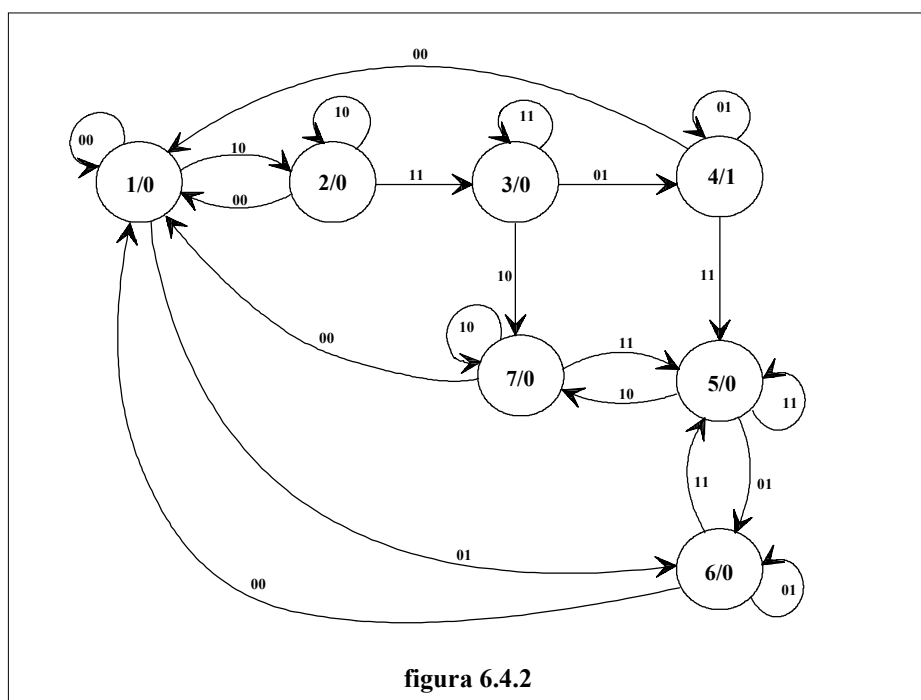


figura 6.4.1

La successiva applicazione a ciascuno di questi stati di tutti i possibili ingressi porta poi ad espandere il grafo come illustrato in fig. 6.4.2



La matrice primitiva delle sequenze e' in definitiva:

Stato	$x_1 x_2$				Uscita
	00	01	11	10	
1	1	6	-	2	0
2	1	-	3	2	0
3	-	4	3	7	0
4	1	4	5	-	1
5	-	6	5	7	0
6	1	6	5	-	0
7	1	-	5	7	0

6.4.2) Determinazione della matrice delle sequenze della macchina minima.

Dopo aver determinato la matrice primitiva delle sequenze e' opportuno minimizzare il numero degli stati.

Infatti, con riferimento al modello fondamentale di circuito sequenziale, ridurre il numero degli stati coincide con il ridurre la complessita' della rete combinatoria multiterminale: e' evidente che ridurre il numero di stati riduce ad un tempo sia il numero di ingressi che il numero di uscite della rete.

A tale proposito tuttavia non vi e' nulla di particolare da osservare in quanto il procedimento di minimizzazione coincide perfettamente con quello esposto al capitolo IV.

ESEMPIO 1

Si minimizzi il numero di stati della matrice delle sequenze di fig. 6.4.3. La tabella di evoluzione delle coppie α - compatibili e' riportata in fig. 6.4.4

Stato	Ingresso			
	00	01	11	10
1	①/0	3/-	-/-	2/-
2	1/-	-/-	4/-	②/0
3	1/-	③/0	5/-	-/-
4	-/-	6/-	④/0	2/-
5	-/-	7/-	⑤/1	2/-
6	1/-	⑥/1	8/-	-/-
7	1/-	⑦/1	5/-	-/-
8	-/-	6/-	⑧/1	2/-

figura 6.4.3

Per esclusione delle coppie che non evolvono verso coppie α - compatibili rimangono individuate le coppie di stati σ - compatibili

{1,2} {1,3} {2,4} {5,6} {5,7} {5,8} {6,7} {6,8} {7,8}

Coppie α -compatibili	Ingresso								
	00	01	11	10					
1,2	1,1	3,-	-4	2,2	2,8	1,-	-6	4,8	2,2
1,3	1,1	3,3	-5	2,-	3,4	1,-	3,6	5,4	-2
1,4	1,-	3,6	-4	2,2	3,5	1,-	3,7	5,5	-2
1,5	1,-	3,7	-5	2,2	3,8	1,-	3,6	5,8	-2
1,6	1,1	3,6	-8	2,-	4,6	-1	6,6	4,8	2,-
1,7	1,1	3,7	-5	2,-	4,7	-1	6,7	4,5	2,-
1,8	1,-	3,6	-8	2,2	5,6	-1	7,6	5,8	2,-
2,3	1,1	-3	4,5	2,-	5,7	-1	7,7	5,5	2,-
2,4	1,-	-6	4,4	2,2	5,8	-,-	7,6	5,8	2,2
2,5	1,-	-7	4,5	2,2	6,7	1,1	6,7	8,5	-,-
2,6	1,1	-6	4,8	2,-	6,8	1,-	6,6	8,8	-2
2,7	1,1	-7	4,5	2,-	7,8	1,-	7,6	5,8	-2

figura 6.4.4

Si puo' inoltre individuare una relazione di mutua compatibilita' tra gli stati 5,6,7,8. Pertanto la macchina minima M' e':

Stato	S _i	00	01	11	10
1'	1,2	1'/0	2'/-	3'/-	1'/0
2'	1,3	1'/0	2'/0	4'/-	1'/-
3'	2,4	1'/-	4'/-	3'/0	1'/0
4'	5,6,7,8	1'/-	4'/1	4'/1	1'/-

ESEMPIO 2

Si minimizzino gli stati della seguente macchina sequenziale asincrona:

Stato	Ingresso				Uscita
	00	01	11	10	
1	①	2	-	3	00
2	1	②	-	3	00
3	1	-	5	③	---
4	-	-	④	3	10
5	7	-	⑤	6	11
6	7	2	-	⑥	1-
7	⑦	8	-	6	10
8	1	⑧	4	6	01

La macchina assegnata e' incompleta. La tabella di evoluzione delle coppie α -compatibili e' riportata in fig. 6.4.5.

Coppie α -compatibili	Ingresso			
	00	01	11	10
1,2	1,1	2,2	-, -	3,3
1,3	1,1	2,-	-,5	3,3
2,3	1,1	2,-	-,5	3,3
3,4	1,-	-, -	5,4	3,3
3,5	1,7	-, -	5,5	3,6
3,6	1,7	-,2	5,-	3,6
3,7	1,7	-,8	5,-	3,6
3,8	1,1	-,8	5,4	3,6
4,6	-,7	-,2	4,-	3,6
4,7	-,7	-,8	4,-	3,6
5,6	7,7	-,2	5,-	6,6
6,7	7,7	2,8	-, -	6,6

figura 6.4.5

Dall'esame della tabella si individuano le coppie di stati equivalenti

$$\{1,2\} \quad \{1,3\} \quad \{2,3\} \quad \{5,6\}$$

e la macchina minima e':

		Ingresso				Uscita
		00	01	11	10	
Stato	1	①	①	3	①	00
	2	-	-	②	1	10
	3	4	1	③	③	11
	4	④	5	-	3	10
	5	1	⑤	2	3	01

6.4.3) Codificazione dello stato.

Il punto piu' delicato nella sintesi di un circuito sequenziale asincrono e' senza dubbio la codifica dello stato. Tale codifica consiste in sostanza nel determinare il numero minimo (k) di variabili booleane necessarie a codificare gli n stati della macchina sequenziale minima, in modo tuttavia da evitare errate evoluzioni del circuito a causa di corse critiche.

E' possibile in questa fase ricorrere all'introduzione di transizioni multiple o sfruttare corse non critiche per non aumentare eccessivamente il numero di variabili necessarie. Uno studio condotto da Huffmann ha permesso di determinare il limite superiore e inferiore di k in funzione del numero S di stati per matrici che contengano fino a 32 stati. I risultati sono riportati nella tabella che segue.

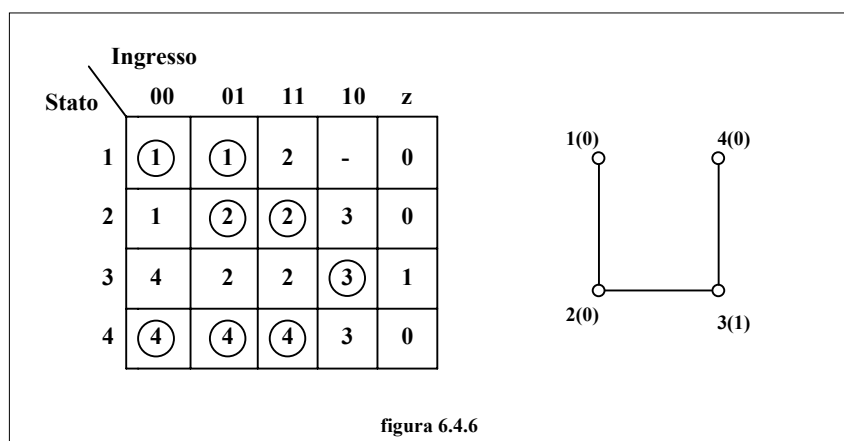
N. massimo e minimo di variabili necessario a codificare S stati

k_{\min}	1		2		3		4		5	
S	2	3	4	5-6	7-8	9-12	13-16	17-24	25-32	
k_{\max}	1	3	4	4	5	6	7	8	9	

Per una corretta codifica dello stato si fa riferimento al **diagramma delle transizioni** e alla **tavola delle transizioni**.

Il diagramma delle transizioni e' un grafo non orientato i cui nodi rappresentano gli stati e i cui archi rappresentano le transizioni tra stati. Accanto a ogni nodo viene scritto lo stato e il relativo valore dell'uscita. In fig. 6.4.6 e' riportata una matrice delle sequenze ed a lato e' rappresentato il relativo diagramma delle transizioni.

La tavola delle transizioni consiste in una mappa di Karnaugh, di cui non vengono assegnate le coordinate. Al fine di evitare le corse critiche e' necessario sistemare gli stati, che sono connessi da un arco sul diagramma delle transizioni, in caselle adiacenti sulla tavola delle transizioni. Riuscendo infatti a soddisfare tale specifica, la transizione tra stati avverra' con la commutazione di un'unica variabile, facendo cosi' mancare una delle condizioni necessarie al verificarsi di una corsa critica.

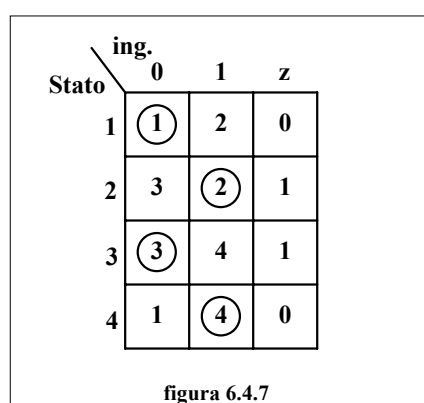


Si inizia pertanto tentando di sistemare gli S stati su una mappa per k_{\min} variabili. Qualora non si riescano a rispettare tutte le adiacenze desiderate si tenta di sfruttare corse non critiche oppure si introducono stati ausiliari e si realizzano le transizioni tra stati stabili tramite transizioni multiple. Se nemmeno in tal maniera si riescono a codificare in modo corretto gli stati, si aumenta di un'unita' il numero delle variabili e si conduce un nuovo tentativo sulla relativa tavola delle transizioni. Infine, una volta che gli stati siano stati opportunamente disposti sulla mappa, si tarano gli assi di quest'ultima con opportuni codici ciclici in modo da far coincidere il massimo numero delle variabili di uscita z con altrettante variabili di stato. Dalla codifica degli stati dipende in maniera determinante la struttura del circuito reale che si ricava; e' opportuno pertanto eseguire piu' tentativi di codifica e confrontarne i risultati, scegliendo quello che da' luogo alla massima semplicita' circuitale.

Allo scopo di illustrare le tecniche di codifica, nel seguito sono riportati alcuni esempi, via via piu' complessi.

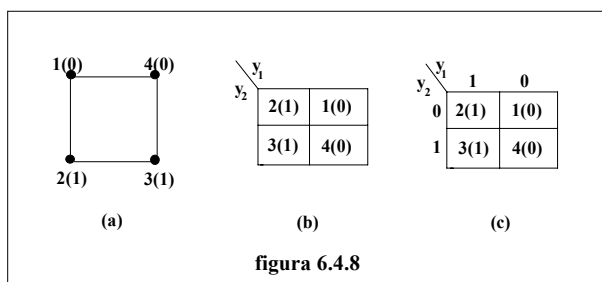
ESEMPIO 1

Codificare gli stati della matrice delle sequenze di fig. 6.4.7.



In fig 6.4.8 (a) e' riportato il diagramma delle transizioni che evidenzia le relative transizioni tra stati, mentre in fig. 6.4.8 (b) gli stati sono riportati sulla tavola delle transizioni in modo da realizzare le adiacenze richieste.

Infine in fig. 6.4.8 (c) viene adottata una taratura degli assi che permette di far coincidere l'uscita con la variabile di stato y_1 .



ESEMPIO 2

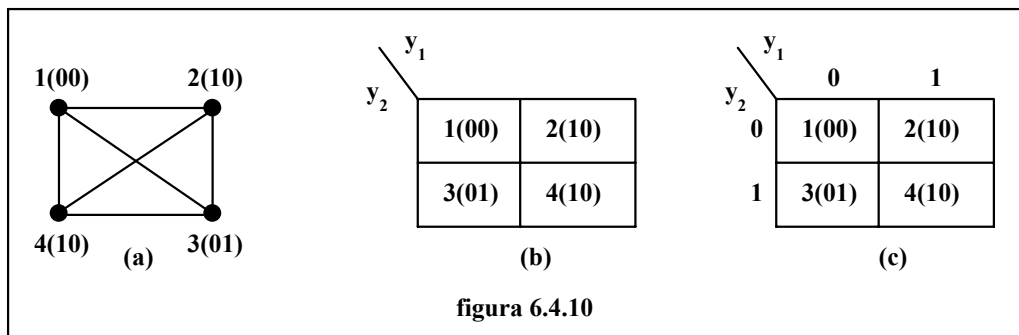
Codificare gli stati della matrice delle sequenze di fig. 6.4.9.

		Ingresso				Uscita
		000	001	010	100	
Stato	1	1	2	3	4	00
	2	2	2	3	4	10
	3	3	2	3	4	01
	4	4	2	3	4	10

figura 6.4.9

Dal diagramma delle transizioni di fig. 6.4.10 (a) si deduce la necessita' di rendere adiacenti le coppie di stati (1,2) (1,3) (1,4) (2,3) (2,4) (3,4) il che e' evidentemente impossibile su una mappa per due variabili.

Tuttavia la particolare struttura della matrice delle sequenze in corrispondenza agli ingressi 001, 010 e 100, per i quali esiste un unico stato stabile nella relativa colonna, e la considerazione che gli stati stabili della colonna 000 sono raggiungibili solo dagli stati stabili che si trovano sulla medesima riga e quindi senza commutazione delle variabili di stato, suggeriscono l'utilizzo di corse non critiche a scopo di semplificazione.



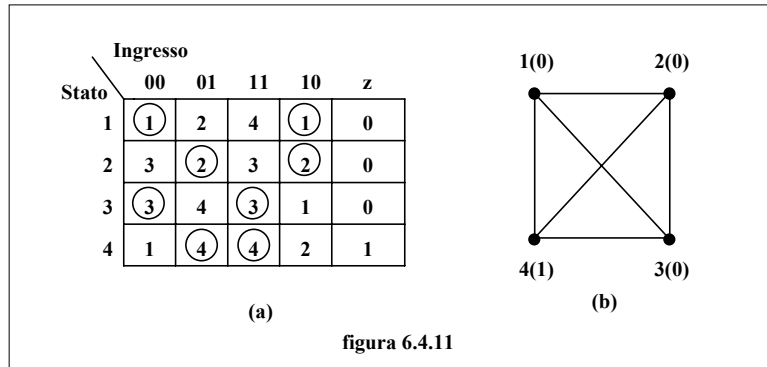
La codifica degli stati puo' quindi essere fatta come illustrato in fig. 6.4.10 (b). Non e' tuttavia possibile far coincidere ambedue le variabili di uscita con le variabili di stato. La taratura della mappa che consente di ottenere la massima economia e' riportata in fig. 6.4.10 (c) e da' luogo alle seguenti equazioni:

$$Z_1 = y_1$$

$$Z_2 = \overline{y_1} \cdot y_2$$

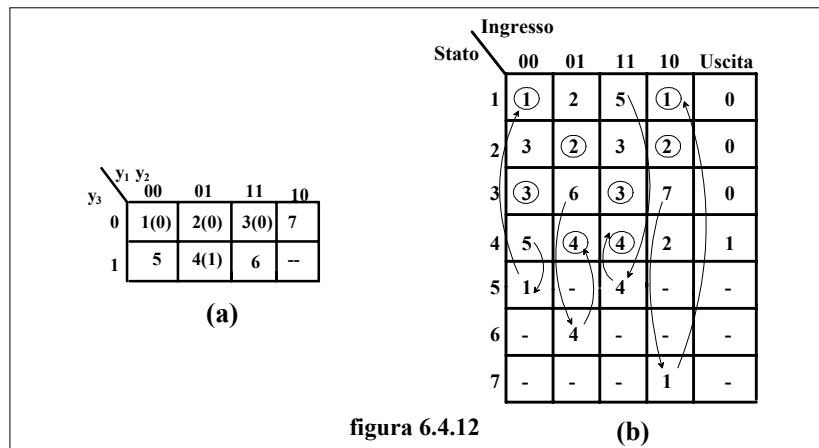
ESEMPIO 3

Codificare gli stati della matrice delle sequenze di fig. 6.4.11 (a).



L'adiacenza degli stati tra cui si ha una transizione, secondo quanto illustrato dal diagramma di fig. 6.4.11 (b), non puo' essere realizzata su una mappa di due variabili, ne', d'altra parte, possono essere sfruttate corse non critiche o transizioni multiple. E' giocoforza quindi fare ricorso a una tavola delle transizioni per tre variabili. Possono allora essere introdotti degli stati ausiliari e il problema che si sta esaminando puo' venir risolto in due modi diversi:

a) **Introducendo transizioni multiple.** In questo caso i quattro stati della matrice delle sequenze vengono sistemati sulla mappa nella maniera piu' opportuna, in modo da realizzare il massimo numero delle transizioni direttamente e di semplificare al massimo la rete d'uscita. Si soddisfa alle transizioni tra stati che non possono avvenire direttamente introducendo stati ausiliari e realizzando la transizione relativa come transizione doppia. Una possibile codifica che fa coincidere l'uscita con la y_3 e' quella riportata in fig. 6.4.12 (a), mentre in fig. 6.4.12 (b) e' illustrata la relativa tabella degli stati e sono poste in evidenza con una freccia le transizioni doppie utilizzate per evitare le corse critiche.



La soluzione individuata e' senz'altro corretta, tuttavia in alcuni casi puo' essere inaccettabile la differenza nel tempo di risposta del circuito per le transizioni dirette e per

quelle doppie. L'inconveniente puo' venir superato solamente rendendo tutte le transizioni doppie, ad esempio secondo la tavola di fig. 6.4.13; in tal caso l'uscita non puo' venir fatta coincidere con alcuna variabile di stato.

		$y_1 y_2$			
		00	01	11	10
y_3	0	1	5	2	6
	1	7	3	8	4

figura 6.4.13

Nel caso illustrato c'e' evidentemente un'ampia scelta su come compiere ciascuna transizione tra stati stabili. Ad esempio la transizione tra gli stati 1 e 3 potrebbe essere realizzata come 1-5-3 oppure come 1-7-3.

b) **Introducendo stati equivalenti.** E' opportuno ricordare che, dal punto di vista del funzionamento, il circuito viene caratterizzato dalla corrispondenza tra l'insieme delle possibili sequenze di ingresso e l'insieme delle corrispondenti sequenze di uscita e non da quale stato occupi istante per istante. Ciascun stato quindi puo' essere codificato in piu' modi, purché l'uscita relativa a ciascuna codifica coincida.

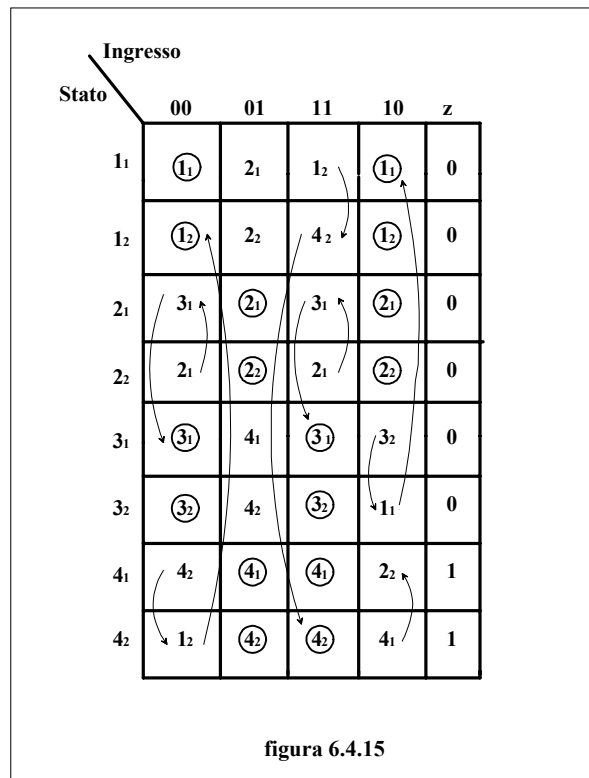
In altre parole cio' sta a significare che ogni stato puo' venir separato in piu' stati equivalenti in modo che le transizioni della matrice delle sequenze assegnata possano venir effettuate sempre tra stati adiacenti sulla tavola delle transizioni.

Con riferimento alla matrice delle sequenze di fig. 6.4.11 (a), una codifica possibile, ottenuta con l'introduzione di stati equivalenti, e' riportata in fig. 6.4.14. Tutti gli stati equivalenti tra loro sono stati chiamati con lo stesso nome e contraddistinti con un pedice.

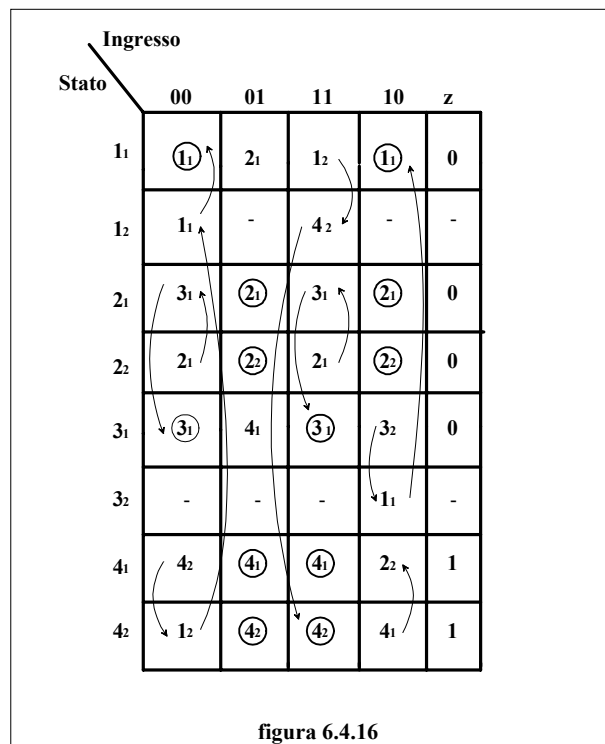
		$y_1 y_2$			
		00	01	11	10
y_3	0	$1_1(0)$	$2_1(0)$	$3_1(0)$	$3_2(0)$
	1	$1_2(0)$	$2_2(0)$	$4_1(1)$	$4_2(1)$

figura 6.4.14

Le transizioni tra stati stabili si possono evidentemente realizzare in molti modi diversi. Ad esempio, lo stato 1_1 puo' raggiungere lo stato 2 o con una transizione $1_1 - 2_1$ o con una transizione doppia $1_1 - 1_2 - 2_2$. Una delle possibili matrici di stato ricavabili e' riportata in fig. 6.4.15.



Con l'approccio del tipo descritto, una volta che sia stata ricavata la matrice degli stati, e' spesso ancora possibile apportare delle semplificazioni.



Ad esempio, nella riga 3₂ gli stati stabili 3₂ non sono raggiungibili ne' per variazione degli ingressi, poiche' nella riga non esiste alcun altro stato stabile, ne' per evoluzione

spontanea del circuito in quanto nelle relative colonne non esiste nessuna condizione instabile 3_2 . Anche la condizione instabile 4_2 della stessa riga non puo' essere raggiunta, mentre invece quella 1_1 viene utilizzata nella transizione doppia $3_1 - 3_2 - 1_1$.

La colonna relativa all'ingresso 00 puo' essere modificata sostituendo alla transizione $4_1 - 4_2 - 1_2$ la transizione $4_1 - 4_2 - 1_2 - 1_1$. In tal modo, nella riga 1_2 gli stati 2_2 e 4_2 diventano non piu' raggiungibili. Sulla base di queste considerazioni si puo' quindi pervenire alla matrice degli stati di fig. 6.4.16.

6.4.4) Determinazione della tavola di flusso del modello fondamentale.

Una volta che sia stata stabilita la codifica dello stato e sia stata ricavata la matrice di stato nella sua forma finale, il passaggio alla tavola di flusso del modello fondamentale e' estremamente semplice. E' sufficiente infatti sostituire ad ogni stato che compare nella matrice la sua codifica binaria ed associarvi la relativa uscita.

A titolo di esempio la matrice di stato di fig. 6.4.16 con la codifica di fig. 6.4.14 da' come risultato la tavola di flusso di fig. 6.4.17.

Stato	Ingresso			
	00	01	11	10
000	(000)/0	010/0	001/0	(000)/0
001	000/-	-/-	101/-	-/-
010	110/0	(010)/0	110/0	(010)/0
011	010/0	(011)/0	010/0	(011)/0
110	(110)/0	111/0	(110)/0	100/0
100	-/-	-/-	-/-	000/0
111	101/1	(111)/1	(111)/1	011/1
101	001/1	(101)/1	(101)/1	111/1

figura 6.4.17

6.4.5) Costruzione del circuito reale.

Il passaggio dalla tavola di flusso al circuito reale presuppone la sintesi del circuito MT i cui ingressi sono le variabili x_i e y_i e le cui uscite sono le z_i e le y_i' . Scelti poi i componenti, si realizza la rete logica combinatoria del modello fondamentale. Infine si chiudono i loop di reazione tra le y_i' e le y_i ottenendo in tal modo il circuito sequenziale asincrono reale.

Si abbia la seguente tavola di flusso:

Stato		Ingresso			
		$x_1 x_2$	00	01	11
$y_1 y_2$	00	⓪⓪/0	10/0	11/0	01/0
	01	00/1	-/1	11/1	⓪1/1
	11	⓪1/1	10/1	⓪1/1	⓪1/1
	10	00/0	⓪0/0	11/0	-/0

Poiche' $z = y_2$ e' sufficiente eseguire la sintesi di y_1' e di y_2' .

$y_1 y_2$		$x_1 x_2$			
		00	01	11	10
$y_1 y_2$	00		1	1	
	01		Φ	1	
	11	1	1	1	1
	10		1	1	Φ

$y_1 y_2$		$x_1 x_2$			
		00	01	11	10
$y_1 y_2$	00			1	1
	01		Φ	1	1
	11	1		1	1
	10			1	Φ

Si ottiene:

$$y_1' = x_2 + y_1 \cdot y_2 = x_2 + \overline{x_2} \cdot y_1 \cdot y_2$$

$$y_2' = x_1 + \overline{x_2} \cdot y_1 \cdot y_2$$

$$z = y_2$$

Scegliendo per la realizzazione del circuito elementi logici NAND, si ha infine:

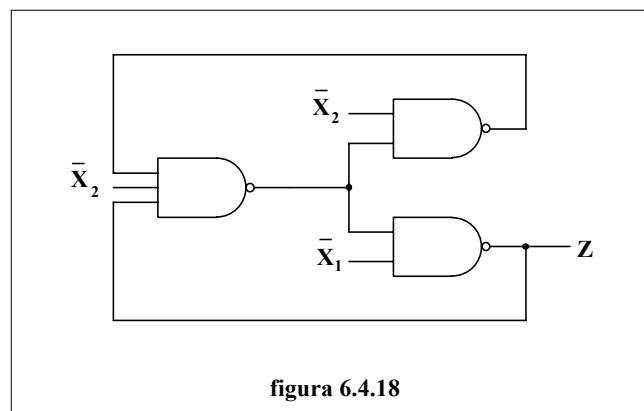


figura 6.4.18

6.5) Le alee nei circuiti sequenziali asinconi.

Una delle ipotesi fondamentali formulate a scopo di semplificazione nello studio dei circuiti sequenziali asinconi e' quella dell'uguaglianza dei ritardi in ciascun loop di reazione. Si e' gia' visto in precedenza che il mancato verificarsi di tale ipotesi puo' dar luogo, quando la

variazione dell'ingresso provoca la commutazione di due o piu' variabili di stato, a quei malfunzionamenti che vengono chiamati corse.

C'e' tuttavia da far notare che ancora prima si era supposto che tutti i ritardi della rete combinatoria potessero essere concentrati in uscita e riportati come unico ritardo in ciascun loop di reazione.

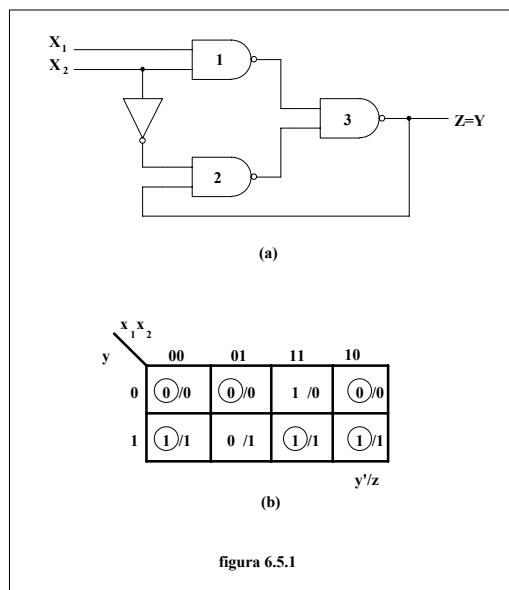
Il mancato verificarsi di tale ipotesi puo' portare ad evoluzioni errate del circuito anche quando non commuta alcuna variabile di stato purché si sia avuta una variazione dell'ingresso. Si parla in tal caso di **alea** (hazard) del circuito sequenziale.

Esistono quattro tipi di alea; le prime tre, dette rispettivamente **alee statiche, dinamiche ed essenziali** si verificano in corrispondenza alla variazione di un unico segnale di ingresso e possono essere eliminate con accorgimento di natura logica o circuitale. Il quarto tipo, detto **alea multipla**, si verifica in corrispondenza alla commutazione di piu' segnali di ingresso e si evita in pratica imponendo, quale ulteriore vincolo, che non commuti piu' di una variabile di ingresso alla volta.

6.5.1) Alee statiche.

Si chiama alea statica il fenomeno per il quale un'uscita, che in seguito alla variazione di una variabile di ingresso dovrebbe rimanere costante, ha invece una variazione transitoria. Tale fenomeno e' provocato dalla diversa lunghezza degli itinerari percorsi dai segnali per raggiungere l'uscita citata. E' bene precisare immediatamente che l'alea statica non e' una caratteristica dei circuiti sequenziali, ma si presenta anche nei circuiti combinatori. In questi ultimi tuttavia non ha alcun effetto pericoloso, ma semplicemente prolunga il periodo di transitorio dopo il quale l'uscita si assesta. In un circuito sequenziale invece, quando l'alea interessa una variabile interna y e dura sufficientemente a lungo si puo' avere un'errata evoluzione del circuito stesso: se invece interessa un'uscita puo' determinare un'evoluzione errata di qualche altro circuito sequenziale a valle.

Si consideri, per inquadrare correttamente il fenomeno dell'alea statica, il circuito di fig. 6.5.1 (a), mentre in fig. 6.5.1 (b) e' riportata la relativa tavola di flusso.



Le relative equazioni di stato e di uscita sono:

$$y' = x_1 \cdot x_2 + \overline{x_2} \cdot y$$

$$z = y$$

Tali equazioni, utilizzate anche per determinare la tavola di flusso, sono state ricavate supponendo la rete logica istantanea e tutto il ritardo concentrato nel loop di reazione.

In effetti nella realta' le cose vanno in maniera notevolmente diversa. Si supponga infatti di applicare al circuito la sequenza di ingresso $x_1 x_2 = 11 - 10$. Nel caso ideale l'uscita y dovrebbe rimanere costante. Nel caso reale invece ogni elemento della rete ha il suo ritardo Δ , diverso in genere da quello degli altri elementi. Per $x_1 = x_2 = 1$ l'uscita del gate 1 e' 0 e quella del gate 2 e' 1. Pertanto $y' = 1$.

Quando x_2 commuta da 1 a 0, dopo il tempo di ritardo Δ_1 l'uscita del gate 1 passa da 0 a 1: viceversa l'uscita del gate 2 commuta a 0 dopo un tempo pari a $\Delta_1 + \Delta_2$, che di solito, anche se non necessariamente, e' maggiore di Δ_1 .

Pertanto per un intervallo di tempo pari a:

$$\Delta_t = \Delta_1 + \Delta_2 - \Delta_1$$

all'ingresso del NAND 3 si presenta la combinazione 11 e la sua uscita commuta a zero. Infine trascorso il tempo Δ_t l'uscita riprende il suo valore 1 normale. Se il transitorio 1 - 0 - 1 permane per un tempo Δ_t superiore al tempo di ritardo Δ_2 del gate cui e' applicato, il circuito puo' portarsi nella condizione stabile $x_1 x_2 y = 100$.

L'effetto dell'alea statica puo' essere cancellato sia con accorgimenti puramente circuitali, sia con modifiche alla struttura logica del circuito.

Nel primo caso e' sufficiente inserire nel loop di reazione un ritardo di propagazione sufficiente ad evitare che il transitorio si presenti all'ingresso del gate 2. Tuttavia tale accorgimento non e' conveniente in quanto rallenta la velocita' con cui il circuito puo' operare. Una soluzione migliore si puo' ottenere operando con mezzi di natura puramente logica, una volta che sia stata individuata la vera causa dell'alea statica.

Si esamini a questo scopo la mappa di Karnaugh della funzione di stato, riportata in fig. 6.5.2.

	$x_1 x_2$			
	00	01	11	10
0			1	
1	1		1	1

y'

figura 6.5.2

Si vede immediatamente che la funzione y' e' realizzata individuando sulla mappa, al fine della copertura della funzione, due sottoinsiemi disgiunti, di cui uno dipendente dalla variabile x_2 , l'altro da $\overline{x_2}$. Pertanto se x_2 e $\overline{x_2}$ non commutano allo stesso istante puo' verificarsi un'alea statica.

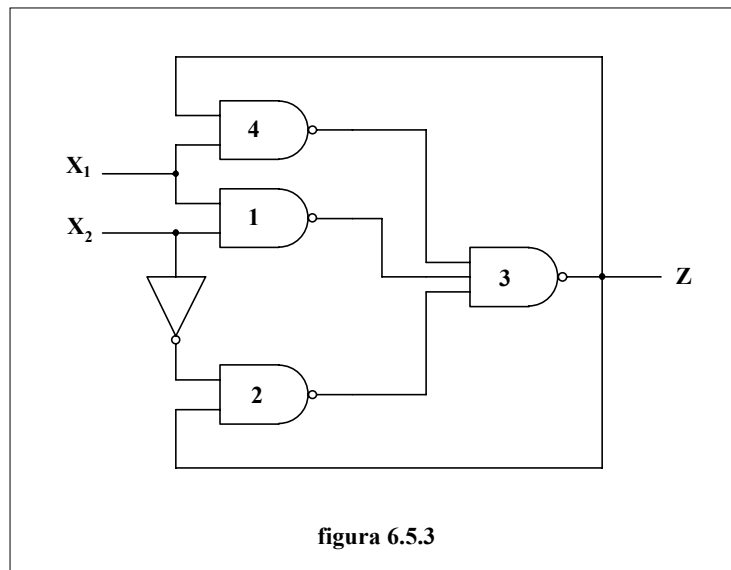
Si puo' concludere percio' che un'alea statica puo' verificarsi ogni volta che una funzione di stato viene realizzata individuando sulla mappa di Karnaugh sottoinsiemi disgiunti di cui uno dipendente da una variabile, l'altro dalla stessa variabile negata.

Per eliminare l'alea statica e' quindi sufficiente prendere in considerazione un terzo sottoinsieme, ridondante, che non dipenda dalla variabile in questione.

Nel caso che si sta esaminando e' pertanto sufficiente che la equazione di stato sia realizzata come segue:

$$y' = x_1 \cdot x_2 + \overline{x_2} \cdot y + x_1 \cdot \overline{y}$$

che porta al circuito di fig. 6.5.3.



Il termine aggiunto $x_1 \cdot y$ garantisce che l'uscita si mantenga a 1 anche durante la commutazione della variabile x_2 .

I circuiti cosi' realizzati sono detti **privi di alee (hazard free)**. E' opportuno osservare che le alee statiche sono pericolose solo se le transizioni che le determinano si possono effettivamente verificare. Tale informazione tuttavia si puo' ricavare solo a partire dalla matrice primitiva delle sequenze, in quanto puo' essere perduta passando alla macchina equivalente minima.

6.5.2) Alee dinamiche.

L'esempio illustrato al paragrafo precedente si riferisce ad un'uscita che dovrebbe mantenersi a 1 e passa transitoriamente a 0.

E' evidente che lo stesso fenomeno puo' verificarsi anche per uscite che dovrebbero mantenersi al valore logico 0. Si parla percio' di alee statiche allo stato 1 e di alee statiche allo stato 0.

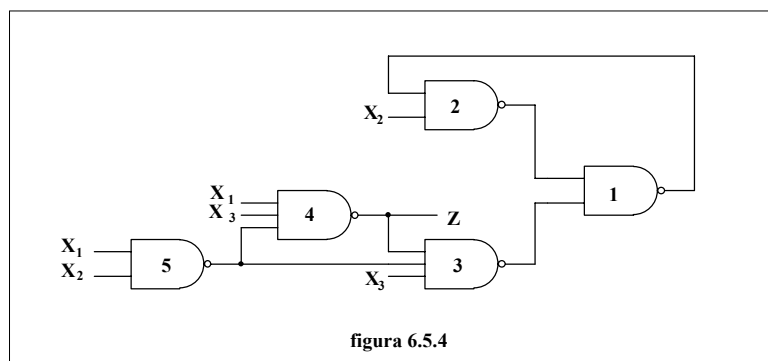
E' possibile inoltre avere della alee anche in corrispondenza di una commutazione dell'uscita; in tal caso il segnale passa momentaneamente al nuovo valore, ritorna transitoriamente al valore originario ed infine assume il valore di regime. Si hanno cioe' tre successivi cambiamenti di valore per un'uscita che dovrebbe cambiare una volta sola (ad esempio 0 - 1 - 0 - 1 anziche' 0 - 1).

Una situazione di questo genere viene detta **alea dinamica**. Anche le alee dinamiche non sono fenomeni tipici dei circuiti sequenziali, ma si presentano anche nei circuiti combinatori. Solo nel primo caso tuttavia sono pericolose.

Condizione necessaria e sufficiente al verificarsi di un'alea dinamica e' che esistano nell'espressione della funzione di eccitazione y' due segnali x e \bar{x} e che nell'espressione di \bar{y}' compaiano gli stessi segnali x e \bar{x} di cui almeno uno su un percorso diverso dai primi.

In pratica le condizioni sono verificate quando esistono almeno 3 vie che portano il segnale x all'elemento alla cui uscita si realizza una y' e che almeno una delle vie comporti l'inversione della x e almeno una no.

Ad esempio il circuito di fig. 6.5.4 soddisfa tale condizione per quanto riguarda la variabile x_2 .



Le equazioni di stato e di uscita sono:

$$y' = \bar{x}_1 \cdot x_3 + x_2 \cdot y$$

$$z = \bar{x}_1 + x_2 + \bar{x}_3$$

da cui si puo' derivare la tavola di flusso

		$x_1 x_2 x_3$							
		000	001	011	010	110	111	101	100
y	0	0/1	1/1	1/1	0/1	0/1	0/1	0/0	0/1
	1	0/1	1/1	1/1	1/1	1/1	1/1	0/0	0/1
		y'/z							

Le condizioni richieste per l'esistenza di un'alea dinamica sono verificate in quanto il segnale x_2 raggiunge il NAND 1 attraverso gli itinerari 2 - 1, 5 - 3 - 1, 5 - 4 - 3 - 1 di cui il secondo comporta l'inversione della variabile.

Tenendo separati i segnali secondo l'itinerario seguito da ciascuno d'essi, ed indicandoli rispettivamente con $x_2^{(1)}, x_2^{(2)}, x_2^{(3)}$ si ha:

$$y' = x_2^{(1)} \cdot y + x_3 \cdot (\overline{x_1} + \overline{x_2^{(2)}}) (x_1 \cdot x_2^{(3)} + \overline{x_1} + \overline{x_3})$$

Si consideri ora la transizione dalla condizione stabile $x_1x_2x_3y = 1111$ alla condizione $x_1x_2x_3y = 1011$.

Tenendo presente che durante tutto il tempo si ha $y=1$, si ottiene:

- | | | |
|--|----------|----------------|
| a) $x_2^{(1)} = x_2^{(2)} = x_2^{(3)} = y = 1$ | $y' = 1$ | stato iniziale |
| b) $x_2^{(1)} = 0 \quad x_2^{(2)} = x_2^{(3)} = y = 1$ | $y' = 0$ | |
| c) $x_2^{(1)} = x_2^{(2)} = 0 \quad x_2^{(3)} = y = 1$ | $y' = 1$ | |
| d) $x_2^{(1)} = x_2^{(2)} = x_2^{(3)} = 0 \quad y = 1$ | $y' = 0$ | stato finale |

L'individuazione delle possibili alee di un circuito sequenziale e' un compito molto complicato, anche se e' un'argomento che e' stato completamente analizzato.

E' tuttavia sufficiente per il progettista conoscere le regole che gli permettano di realizzare circuiti privi di alee.

TEOREMA

Un circuito sequenziale a due livelli privo di alee statiche allo stato 1 e' anche privo di alee statiche allo stato 0 e di alee dinamiche.

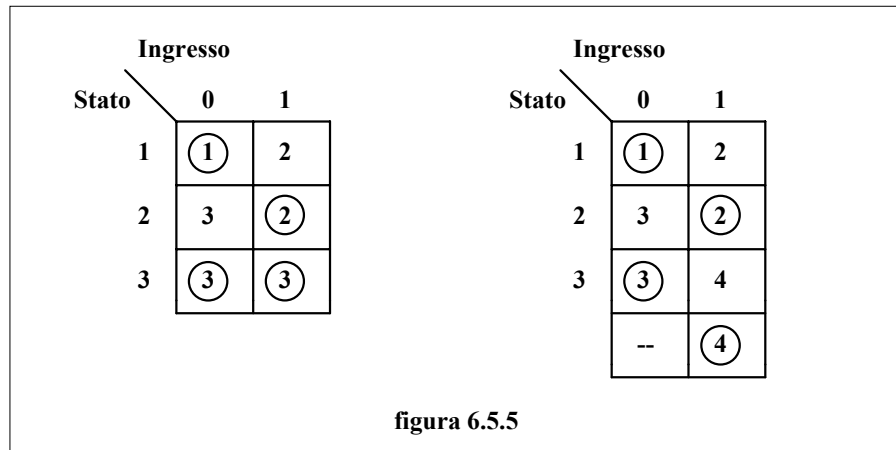
La dimostrazione di tale teorema e' notevolmente complicata e non viene qui riportata. E' tuttavia opportuno notare che il teorema non esprime una condizione necessaria. In effetti e' possibile realizzare circuiti con un numero di livelli superiore a due e tuttavia privi di alee.

Le alee dinamiche possono essere eliminate aggiungendo dei ritardi concentrati nelle vie piu' rapide (nell'esempio fatto poco piu' sopra aggiungendo dei ritardi concentrati per i segnali $x_2^{(1)}$ e $x_2^{(2)}$). Tuttavia la migliore soluzione si ottiene operando a livello di struttura del circuito. Realizzandolo cioe', come enunciato dal teorema, con una struttura a due livelli priva di alee statiche.

6.5.3) Alee essenziali.

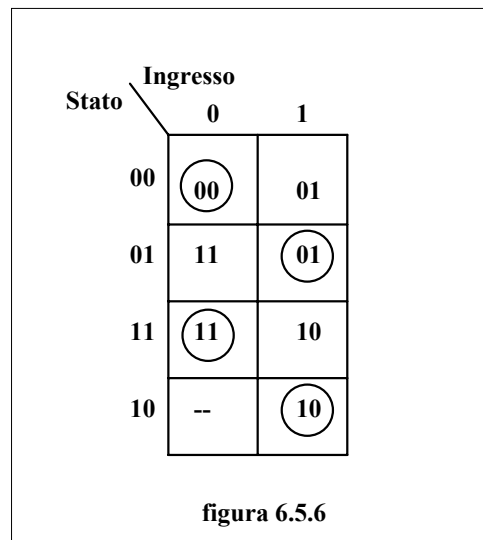
Nei circuiti sequenziali asincroni esiste un ulteriore tipo di alea che non e' legata alla realizzazione fisica dei circuiti stessi, ma e' inerente alla struttura logica del problema. Tali alee sono le piu' pericolose in quanto non sono in alcun modo eliminabili attraverso artifici logici e pertanto portano sempre, quando presenti, ad un'errata evoluzione del circuito; esse vengono chiamate **alee essenziali**.

Un'alea essenziale puo' generarsi ogni volta che la tavola di flusso ha una delle due strutture illustrate in fig. 6.5.5 quando cioe' nella tavola di flusso esiste uno stato S_i e un ingresso x tali che tre variazioni consecutive di x a partire da S_i portino il circuito in uno stato S_k diverso da quello S_j in cui giunge dopo un'unica variazione di x .



Per analizzare compiutamente il meccanismo di un'alea essenziale e' opportuno riferirsi ad una tavola di flusso in cui gli stati siano gia' stati codificati, come ad esempio quella di fig. 6.5.6.

A partire dallo stato stabile $xy_1y_2 = 000$, se la commutazione di x da 0 a 1 viene avvertita contemporaneamente dagli elementi G_{y_1} e G_{y_2} da cui vengono prelevate le variabili di stato y_1 e y_2 , il sistema passa nello stato instabile 01 ed evolve poi spontaneamente verso lo stato stabile 01.



Si supponga invece che la variazione di x giunga su G_{y_2} prima che su G_{y_1} . L'evoluzione del circuito potrebbe allora essere la seguente:

- 1) L'uscita di G_{y_2} passa a 1 e fa evolvere il sistema verso lo stato stabile 01.
- 2) Se G_{y_1} avverte la variazione di y_2 prima che dagli stadi precedenti gli sia giunta notizia che x e' commutato, allora esso si trova nella condizione in cui x e' ancora 0 mentre $y_1 = 0$ e $y_2 = 1$. La sua uscita pertanto commuta a 1 e il sistema evolve verso la condizione $xy_1y_2 = 011$.
- 3) Infine G_{y_1} avverte la commutazione di x e fa evolvere il sistema verso la condizione stabile $xy_1y_2 = 110$ diversa da quella 101 cui era destinato.

In definitiva un'alea essenziale si genera quando la variazione di una variabile interna, conseguente ad una variazione di un ingresso, si propaga nel circuito piu' rapidamente del cambiamento dell'ingresso che l'ha generata. Alee essenziali si ritrovano in molti circuiti di considerevole importanza, come ad esempio in quasi tutti i contatori.

Poiche' l'effetto delle alee essenziali non puo' essere modificato con provvedimenti di natura puramente logica, esse possono venir eliminate solamente controllando con estrema cura il ritardo totale di tutti i loop di reazione.

Il provvedimento piu' sicuro e' quello di inserire nei loop di reazione dei ritardi tali da assicurare che il cambiamento delle variabili di stato y avvenga solo dopo che la relativa variazione di ingresso si sia propagata in tutti i punti della rete combinatoria.

6.5.4) Alee multiple.

Si ha un'alea multipla quando i tre tipi di alee che sono state prese in considerazione coinvolgono piu' di una variabile. La loro interazione complica notevolmente il problema della sintesi ed e' possibile eliminare gli inconvenienti, che vengono in tal caso a verificarsi, solo in casi particolari.

Per tale motivo si prescrive di solito che gli ingressi dei circuiti asincroni non varino mai contemporaneamente.

Pertanto per un corretto funzionamento dei circuiti sequenziali asincroni devono essere soddisfatte le seguenti condizioni:

- 1) La rete logica combinatoria deve essere priva di **alee statiche e dinamiche**.
- 2) Nessuna variazione di stato deve avvenire prima che la **variazione di ingresso** che l'ha generata sia giunta **in ogni punto della rete combinatoria**.
- 3) Le variazioni di stato non devono comportare **corse critiche**.
- 4) Gli **ingressi** devono variare solo quando il circuito ha raggiunto una **condizione di stabilita'**.
- 5) Gli ingressi **non** devono mai **variare contemporaneamente**.

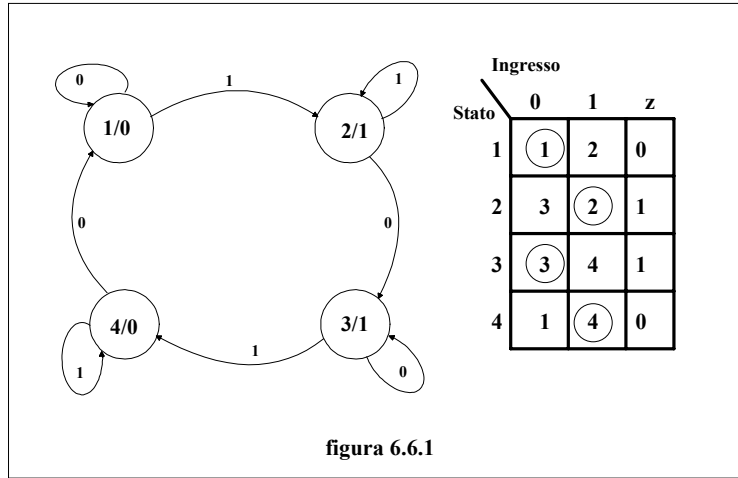
Si fa notare che le ultime due condizioni corrispondono al modo di funzionamento che e' stato introdotto al capitolo V come **modo fondamentale** per i circuiti asincroni.

6.6) Esempi di progetto.

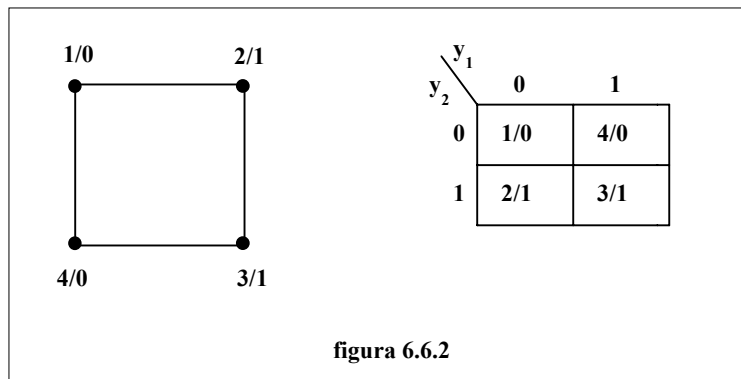
ESEMPIO 1

Si progetti un divisore binario, cioe' un circuito a un ingresso e un'uscita il cui valore cambi ogni volta che l'ingresso passa da 0 a 1.

Il grafo degli stati e la matrice primitiva delle sequenze sono riportati in fig. 6.6.1.



Si vede immediatamente che non esistono stati equivalenti e pertanto non e' possibile ridurre il numero di stati. Il diagramma delle transizioni e la relativa tavola delle transizioni sono riportati in fig. 6.6.2.



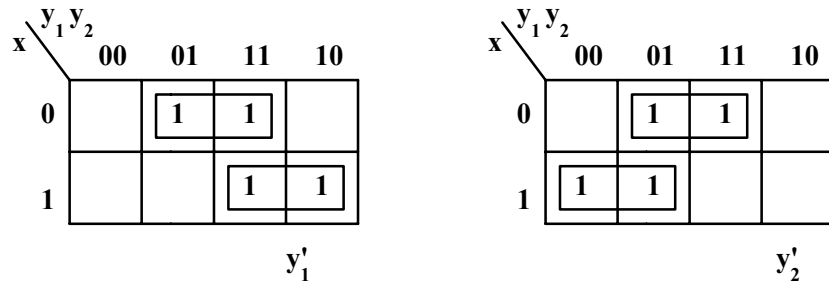
Si ottiene pertanto la seguente tavola di flusso del modello fondamentale.

$y_1 y_2$		x	
		0	1
00	00	00/0	01/0
	01	11/1	01/1
	11	11/1	10/1
	10	00/0	10/0

$y_1' y_2'$

Per ricavare le equazioni del circuito e' opportuno rappresentare separatamente le due mappe delle funzioni y_1' e y_2' , in modo da individuare le eventuali alee statiche. Una volta ottenute le equazioni si verifichera' che non ci siano alee dinamiche; infine ci si occupera'

delle alee essenziali, che per la natura logica della matrice delle sequenze, sono inevitabilmente presenti.



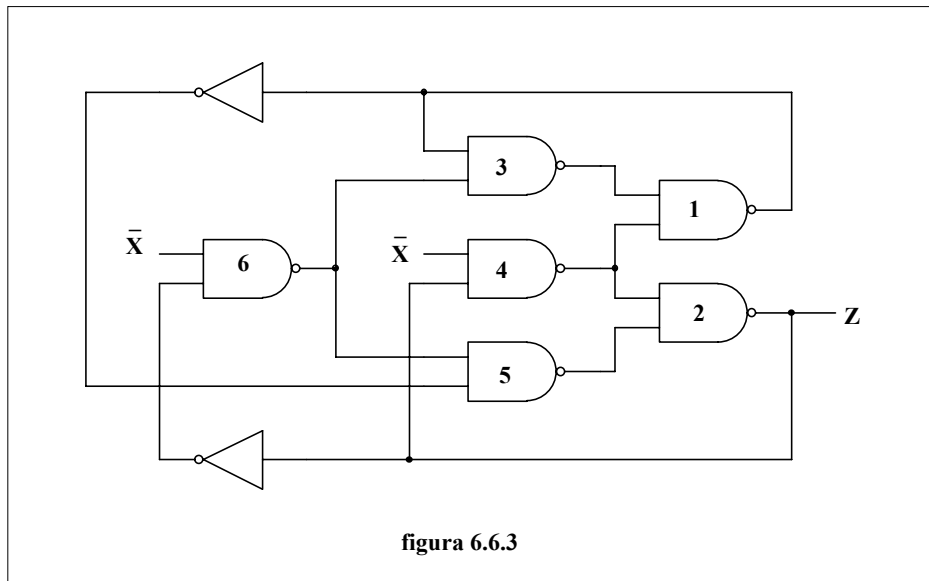
Per evitare alee statiche e' necessario prendere in considerazione nella funzione y_1' il termine $y_1 \cdot y_2$ e nella y_2' il termine $\bar{y}_1 \cdot y_2$. Si ottiene pertanto:

$$y_1' = \bar{x} \cdot y_2 + x \cdot y_1 + y_1 \cdot y_2 = y_1 \cdot (x + y_2) + \bar{x} \cdot y_2$$

$$y_2' = \bar{x} \cdot y_2 + x \cdot \bar{y}_1 + \bar{y}_1 \cdot y_2 = \bar{y}_1 \cdot (x + y_2) + \bar{x} \cdot y_2$$

$$z = y_2$$

Il relativo circuito, realizzato con porte NAND, e' riportato in fig. 6.6.3.



Si consideri ora l'uscita del NAND 5. Si ha:

$$y_5 = \overline{y_1 \cdot y_2} = \bar{y}_1 + \bar{y}_2$$

Sostituendo y_1 con y_3 si ottiene:

$$y_5' = \overline{y_3 \cdot y_2} = \bar{y}_3 + \bar{y}_2$$

Ora

$$y_3 = \overline{\overline{y_1 \cdot y_6}} = \overline{y_1 + y_6}$$

e quindi

$$y'_5 = \overline{y_3} + \overline{y_6} = \overline{\overline{\overline{y_1 + y_6}}} + \overline{y_6} = y_1 \cdot y_6 + \overline{y_6} = y_1 + \overline{y_6} = y_5$$

Infine, sostituendo con la tecnica del bundling y_2 all'ingresso del NAND 6 con gli ingressi del NAND 2 si ottiene il circuito finale di fig. 6.6.4.

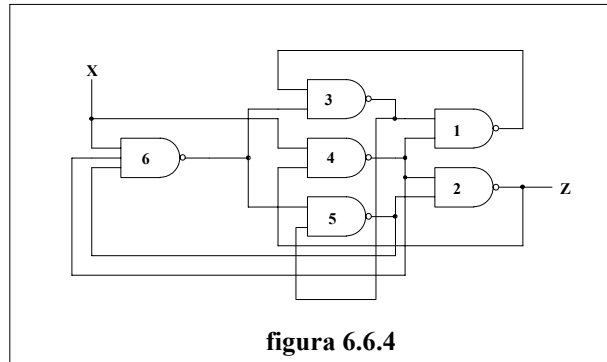


figura 6.6.4

La struttura circuitale di fig. 6.6.3 e' priva di alee dinamiche poiche' non vi sono tre itinerari che conducano il segnale x agli elementi di uscita. Inoltre e' praticamente insensibile alle alee essenziali in quanto le y agiscono con un ritardo quasi certamente maggiore di quello della x. Tuttavia se si volesse un'assoluta certezza di corretto funzionamento sarebbe necessario introdurre un elemento di ritardo in uscita al NAND 2.

ESEMPIO 2

Si vuole realizzare un contatore ad anello, cioe' un circuito a 1 ingresso e n uscite in cui l'uscita $z_j = 1$ quando e solo quando si sono avute $j + n \cdot k$ ($k = 0, 1, \dots$) variazioni dell'ingresso. Tutte le altre uscite devono essere nulle.

Ponendo $n = 4$, la matrice delle sequenze e la tavola di flusso sono riportate in fig. 6.6.5

Ingresso				x			
Stato	0	1	Uscita	$y_1 y_2$	0	1	
1	(1)	2	1000	00	(00) / 1000	01 / -----	
2	3	(2)	0100	01	11 / -----	(01) / 0100	
3	(3)	4	0010	11	(11) / 0010	10 / -----	
4	1	(4)	0001	10	00 / -----	(10) / 0001	

$y'_1 y'_2 / z_1 z_2 z_3 z_4$

figura 6.6.5

Dalla tavola di flusso si possono ricavare le seguenti equazioni di stato e di uscita:

$$y'_1 = \bar{x} \cdot y_2 + x \cdot y_1 + y_1 \cdot y_2$$

$$y'_2 = \bar{x} \cdot y_2 + x \cdot \bar{y}_1 + \bar{y}_1 \cdot y_2$$

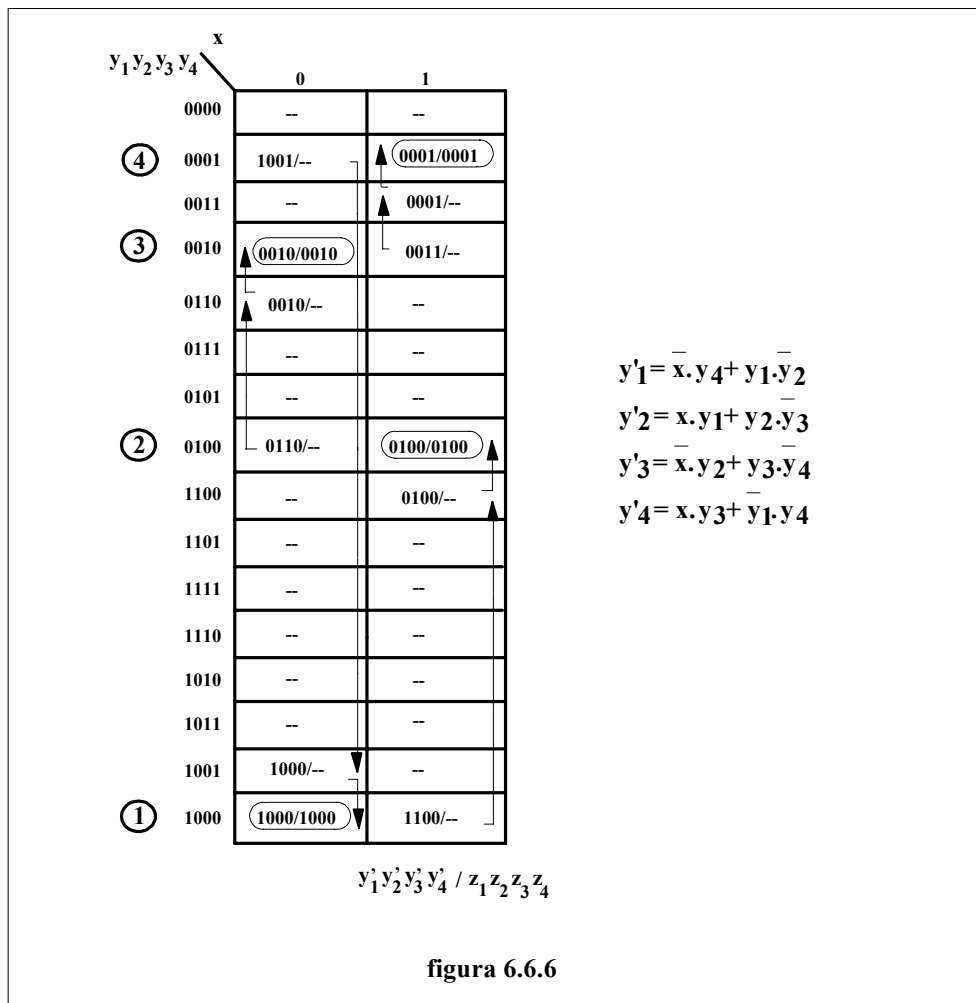
$$z_1 = \bar{x} \cdot \bar{y}_2$$

$$z_2 = x \cdot \bar{y}_1$$

$$z_3 = \bar{x} \cdot y_2$$

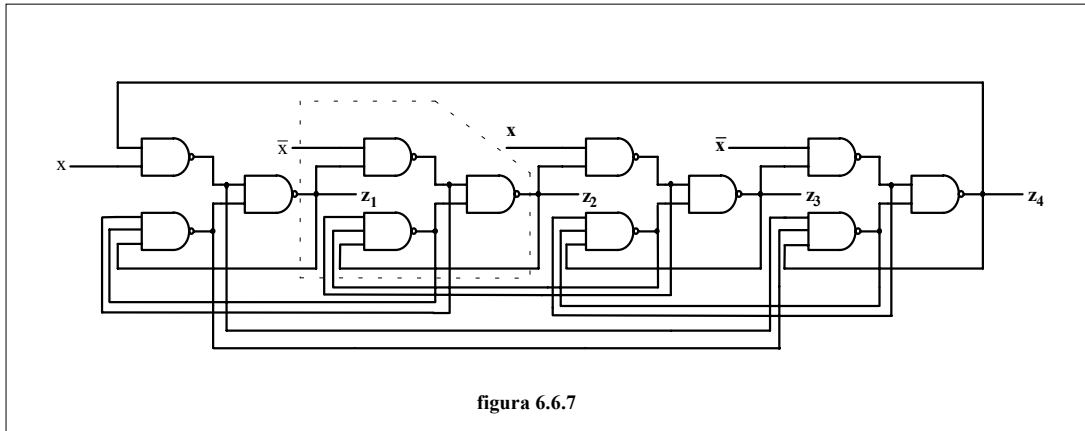
$$z_4 = x \cdot y_1$$

Realizzare il relativo circuito in modo che sia privo di alee statiche e dinamiche richiede 8 NAND e 6 invertitori. Una soluzione migliore si puo' ottenere codificando lo stato con quattro variabili e facendo coincidere le variabili di stato con quelle d'uscita. E' necessario tuttavia ricorrere in tal caso a transizioni multiple secondo la tavola di flusso di fig. 6.6.6 e le relative equazioni di stato e di uscita sono:



Il relativo circuito richiede solo 12 NAND ed e' riportato in fig 6.6.7. Un'importante proprieta' di questo circuito risiede nel fatto che esso e' iterativo; e' cioe' estensibile a qualsiasi

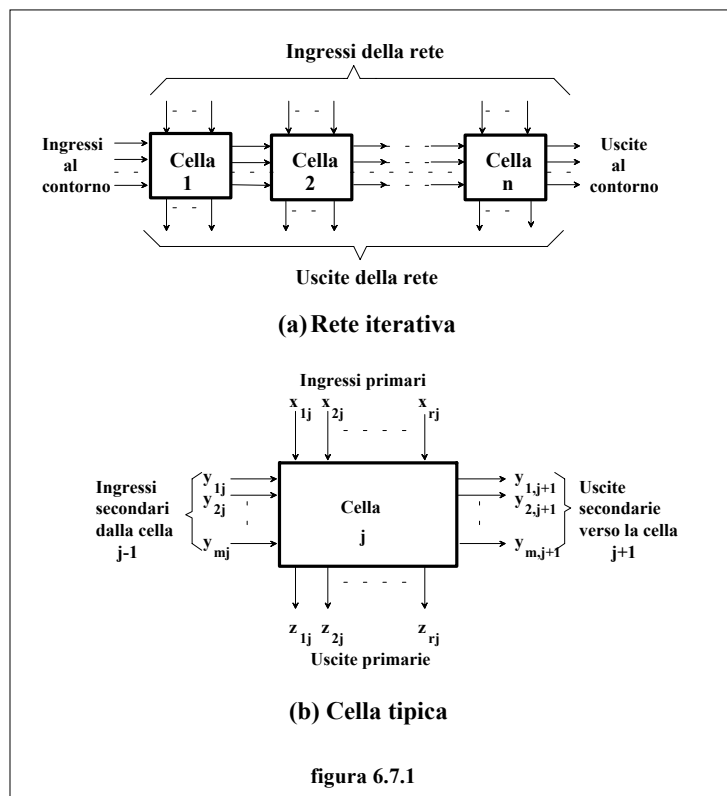
numero di uscite con la semplice ripetizione dell'elemento base indicato nel riquadro a tratteggio di fig. 6.6.7.



6.7) Reti Iterative.

Una rete iterativa è una forma altamente ripetitiva di rete logica combinatoria. La struttura ripetitiva rende possibile descrivere reti iterative utilizzando le tecniche già sviluppate per i circuiti sequenziali.

Ci si limiterà in questo paragrafo a prendere in considerazione reti iterative monodimensionali, quali quella rappresentata come cascata di celle identiche tra loro in fig. 6.7.1, in cui è riportata anche la cella tipica, di cui sono evidenziati gli ingressi e le uscite.



Si noti che vi sono due distinti tipi di ingresso, gli **ingressi primari**, che provengono dall'esterno della rete, e gli **ingressi secondari**, che provengono da celle precedenti. Allo stesso modo esistono **uscite primarie** verso il mondo esterno e **secondarie** verso altre celle della rete. All'estrema sinistra della successione di celle vi sono quelli che vengono chiamati **ingressi al contorno** (o ingressi al confine), mentre all'estrema destra si hanno, in uscita dall'ultima cella, le **uscite al contorno**.

Spesso gli ingressi al contorno sono dei valori costanti e le uscite al contorno sono le sole uscite della rete verso il mondo esterno. Si noti inoltre che gli ingressi e le uscite al contorno, pur trasferendo informazione verso il mondo esterno, usano la stessa notazione degli ingressi e delle uscite secondarie.

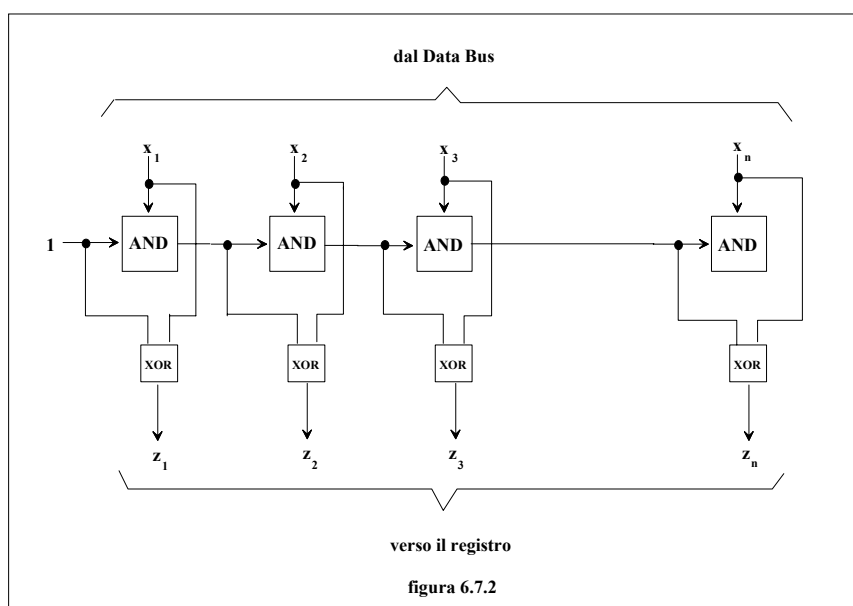
Gli esempi che seguono verranno utilizzati per illustrare l'analisi e la sintesi di alcune reti iterative di pratico impiego, facendo vedere che tutte le tecniche usate per la sintesi delle reti sequenziali possono essere utilizzate.

ESEMPIO 1

Nella normale pratica si sarebbe portati a considerare un contatore come un blocco unico che rappresenta un circuito sequenziale, ma nel caso che ora verra' preso in esame l'approccio sara' affatto diverso.

In genere in un calcolatore si ritiene utile che i registri aritmetici di uso generale possiedano anche capacita' di conteggio. Un buon punto di partenza per conseguire tale obiettivo e' rappresentato dal circuito di fig. 6.7.2.

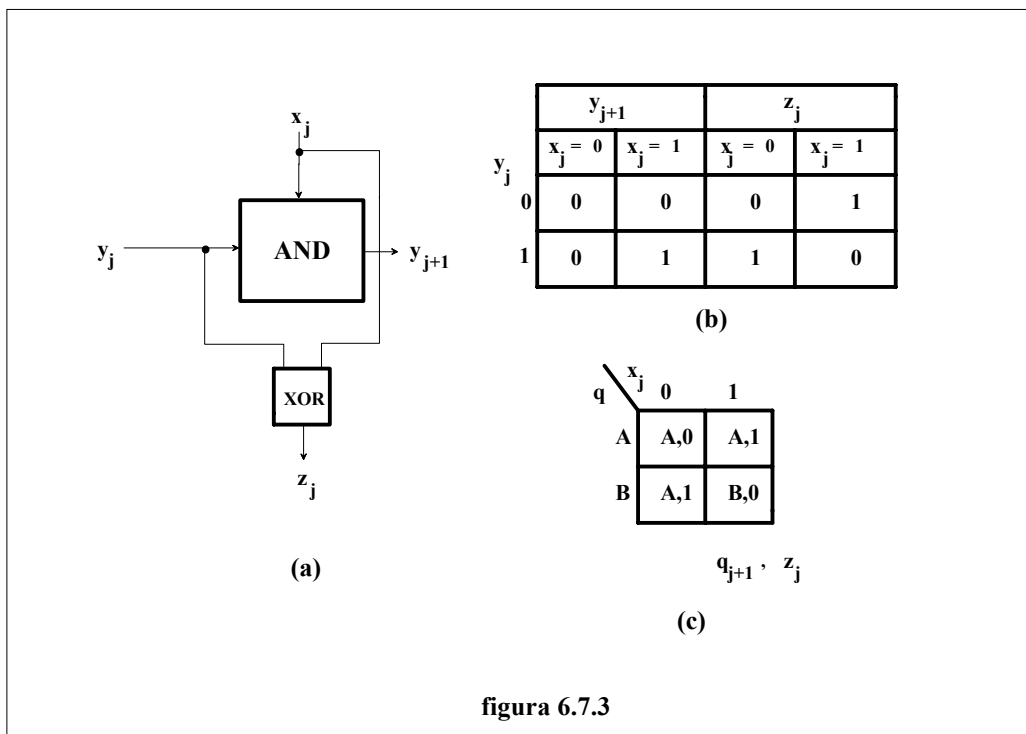
Come illustrato, gli ingressi x_1, \dots, x_n provengono da un bus di dati e possono rappresentare il contenuto di un particolare registro. Le uscite z_1, \dots, z_n della rete iterativa saranno il nuovo contenuto dello stesso registro dopo l'incremento. Evidentemente le operazioni devono essere opportunamente temporizzate e il trasferimento del nuovo dato nel registro avverra' sotto il controllo di un opportuno segnale.



La struttura logica appena descritta rende possibile introdurre capacita' di conteggio in qualsiasi registro, senza includere tale meccanismo in ciascun registro.

Molte critiche potrebbero essere fatte nei riguardi del circuito proposto, come ad esempio il fatto che x_1 deve propagarsi attraverso n-1 livelli di gate AND, che la rete formata dall'AND e dallo XOR del bit 1 non e' necessaria e che l'AND del bit n e' parimenti non necessario. Si assumerà tuttavia la rete proposta come semplice esempio di rete iterativa.

Si prenda ora in considerazione la tipica cella j, rappresentata in fig. 6.7.3. Nella stessa figura sono anche tabulati i valori di y_{j+1} e z_j per tutte le combinazioni di valori che gli ingressi x_j e y_j possono assumere. Si può notare che tale tabulazione ha una corrispondenza formale completa con la tabella di stato di un circuito sequenziale. Gli ingressi primari corrispondono a quelli del circuito sequenziale, gli ingressi secondari corrispondono agli stati attuali, le uscite secondarie prendono il posto degli stati futuri, mentre quelle primarie corrispondono infine alle uscite del circuito sequenziale.



Definendo $y_i=0$ come stato A e $y_i=1$ come stato B, la tabella può essere trasformata nella tavola di stato di fig. 6.7.3 (c).

Come nei circuiti sequenziali, anche nel progetto di una rete iterativa il primo passo consiste nella trasformazione delle specifiche in una tavola di stato e si possono utilmente impiegare tutte le tecniche già viste in precedenza.

ESEMPIO 2

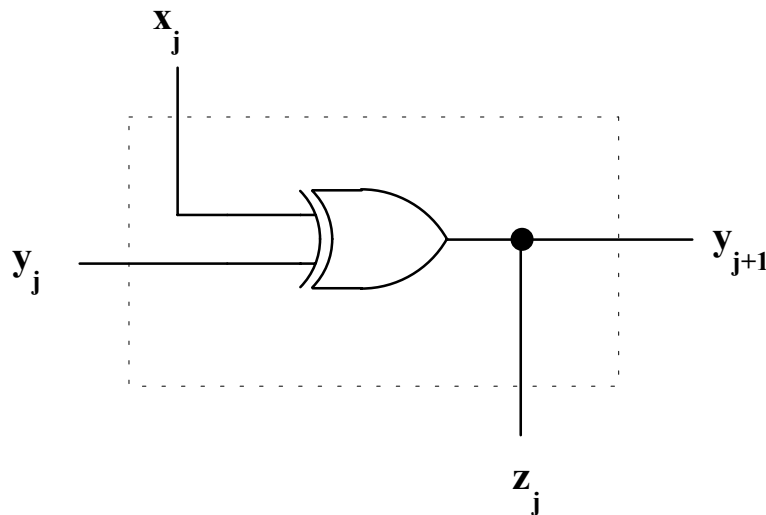
Un insieme di bit x_1, \dots, x_n rappresenti l'informazione ricevuta da un sistema di comunicazione. Un particolare schema di decodifica richiede che venga verificata la parità (dispari) sul primo bit, sulla coppia formata dai primi due bit, sui primi tre bit e così via. Si vuol progettare una rete iterativa che realizzi quanto previsto.

A questo punto ci si deve rendere conto che le uscite desiderate sono le funzioni simmetriche $S_1^1, S_1^2, S_{1,3}^3, S_{1,3}^4$ e così via. Si può costruire direttamente una tavola di stato

imponendo che l'ingresso secondario (stato) alla cella j sia A se la parita' sugli ingressi primari x_1, x_2, \dots, x_{j-1} e' dispari, mentre sia B se e' pari. L'uscita z_j sia viceversa 1 se la parita' dei bit x_1, x_2, \dots, x_j e' dispari. Di conseguenza $z_j = 1$ quando $x_j = 0$ e lo stato di ingresso e' A, oppure quando $x_j = 1$ e lo stato di ingresso e' B. Infine l'uscita secondaria (stato futuro) sara' A quando $z_j=1$ e B quando $z_j=0$. Si ottiene in definitiva la seguente tavola di stato.

x_j		0	1
A		A/1	B/0
B		B/0	A/1

e codificando B con $y_j = 0$ e A con $y_j = 1$ si ottiene la seguente semplicissima cella elementare.



Si consideri infine il seguente esempio, lievemente piu' complesso.

ESEMPIO 3

Si abbiano n richieste di interruzione x_1, \dots, x_n inviate ad un microcalcolatore da un certo numero di unita' periferiche, che richiedono un servizio. Si supponga che in un determinato istante tale calcolatore non possa comunicare con piu' di due di queste periferiche e che la prioritaa delle interruzioni sia decrescente da 1 a n (x_1 e' cioe' la periferica con la piu' alta prioritaa). Si vuole sintetizzare una rete in cui le uscite z_1, z_2, \dots, z_n siano tali che non piu' di 2 di esse siano 1 allo stesso istante e corrispondano alle due piu' alte prioritaa degli ingressi attivi in quell'istante. Se solamente una richiesta di interruzione e' attiva, solo la corrispondente uscita dovra' venir posta a 1, mentre tutte le altre uscite dovranno essere nulle.

Il problema puo' essere risolto definendo tre ingressi secondari (stati) per la cella j . Il primo stato A indichera' che non vi sono richieste di prioritaa maggiore di quella corrente j , lo stato B che ve ne e' una sola, lo stato C che sono attive due o piu' richieste di interruzione a prioritaa piu' elevata di j .

Di conseguenza si avra' $z_j = 1$ solo se $x_j = 1$ e lo stato e' A o B. Se $x_j = 0$ l'uscita secondaria (stato futuro) sara' uguale allo stato di ingresso, mentre se $x_j = 1$ si passera' dallo stato A allo stato B, dallo stato B allo stato C e dallo stato C si permarra' nello stato C. Si ottiene pertanto la seguente tavola di stato.

		Ingresso	
		$x_j = 0$	$x_j = 1$
Stato	A	A/0	B/1
	B	B/0	C/1
	C	C/0	C/0

Stato/ z_j

Una buona codifica puo' essere A = 00, B = 01, C = 11, da cui si ricava la seguente tavola di flusso.

$y_{2,j}y_{1,j}$		x_j	
		0	1
00	00/0	01/1	
01	01/0	11/1	
11	11/0	11/0	
10	--/-	--/-	

$y_{2,j+1}y_{1,j+1} / z_j$

Da questa tavola di flusso si ricavano le equazioni:

$$y_{2,j+1} = y_{2,j} + x_j \cdot y_{1,j}$$

$$y_{1,j+1} = y_{1,j} + x_j$$

$$z_j = x_j \cdot \overline{y_{2,j}}$$

e la cella elementare che ne risulta e' riportata in fig. 6.7.4

E' opportuno far notare che, sebbene i circuiti iterativi siano nati con l'introduzione dei circuiti di commutazione a rele', essi hanno assunto un'importanza notevolmente maggiore con l'avvento dei dispositivi LSI. La struttura ripetitiva offre infatti notevoli vantaggi in relazione all'ottimizzazione del layout dell'integrato. Reti iterative mono e bidimensionali permettono infatti di organizzare in modo sistematico funzioni complesse su un singolo chip.

E' possibile inoltre, e risulta evidente da quanto detto, interpretare un circuito sequenziale come una rete iterativa. Queste ultime pertanto possono essere considerate come una tecnica di modellizzazione nella generazione delle sequenze di test dei circuiti integrati sequenziali LSI.

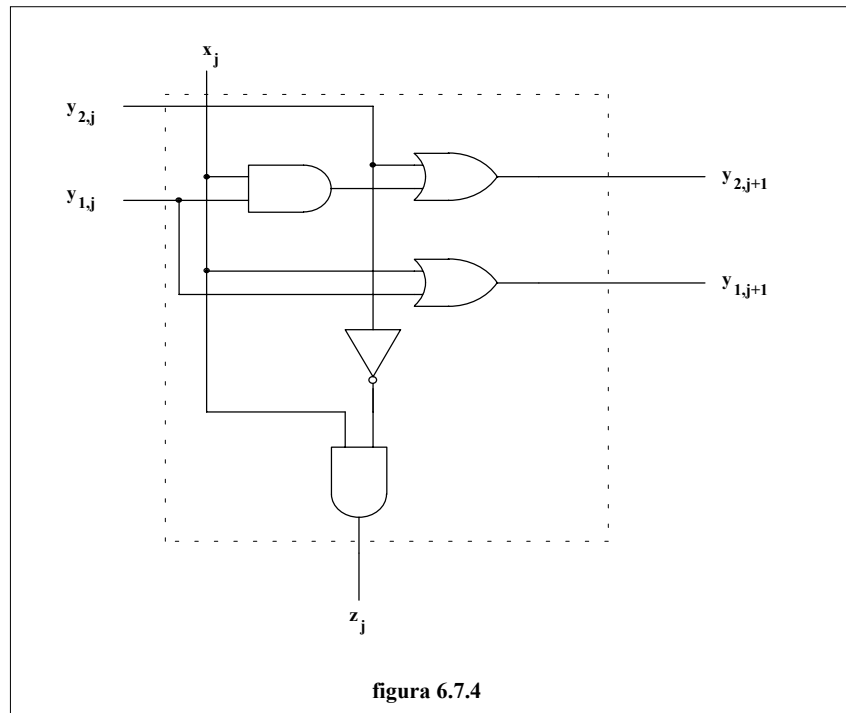


figura 6.7.4