

CAPITOLO VIII

CIRCUITI SEQUENZIALI AD IMPULSI

8.1) Introduzione.

In alcune unita' di sistemi digitali possono venir generati impulsi non periodici in risposta a ciascuna variazione di livello di uno specifico segnale. Vi puo' quindi essere la necessita' di progettare circuiti sequenziali i cui ingressi siano impulsi non periodici anziche' livelli logici usati in unione con opportuni impulsi di clock.

Sebbene vi siano importanti differenze, che verranno chiarite in seguito, tra la tavola degli stati di un circuito sequenziale ad impulsi e quella di un circuito sequenziale sincrono, non vi e' tuttavia alcun ostacolo concettuale nel progettare un circuito privo di un segnale periodico di sincronizzazione. Al capitolo V infatti sono stati introdotti importanti vincoli alla durata e all'intervallo temporale di due successivi impulsi di ingresso a un flip-flop, ma non si e' affatto imposto che tali impulsi fossero periodici.

Pertanto non vi e' alcuna particolare difficolta' nel progettare circuiti soggetti a impulsi su una o piu' linee, purché siano soddisfatti i seguenti criteri.

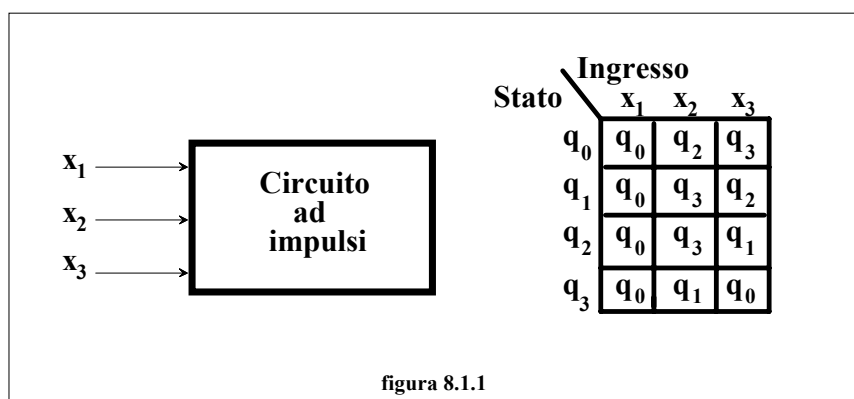
- 1) Tutti gli impulsi di ingresso devono avere una durata sufficiente a far commutare i flip-flop. Inoltre essi devono anche soddisfare il vincolo di massima durata, a meno che tutti i flip-flop utilizzati non siano del tipo master-slave.
- 2) Due impulsi (indipendentemente dalla linea su cui si presentano) devono essere separati almeno del periodo che corrisponde alla massima frequenza di ripetizione per i flip-flop usati.

Il secondo criterio usato significa in sostanza che gli impulsi di ingresso devono comparire uno alla volta; e' per questo motivo che molto spesso si parla di **circuiti ad impulsi non contemporanei**. La sua giustificazione risiede nel fatto che in pratica e' impossibile che due impulsi siano esattamente contemporanei. Ritardi non prevedibili faranno si' che i due impulsi siano sempre non coincidenti, sia pure di poco, determinando pertanto funzionamenti non desiderati per il circuito (in sostanza, nei casi reali, il secondo impulso perviene quando e' ancora in atto il transitorio di commutazione determinato dal primo impulso).

Cio' stabilito, l'arrivo di un impulso su una qualsiasi linea di ingresso determina la transizione del circuito da uno stato all'altro; poiche' si esclude il caso in cui siano contemporaneamente presenti due impulsi, il numero di ingressi distinti, cioe' il numero di colonne della tabella di stato, e' pertanto uguale al numero delle linee di ingresso.

Di conseguenza la tipica tavola di stato di un circuito ad impulsi avra' l'aspetto di quella riportata in fig. 8.1.1.

Tra un impulso di ingresso e l'altro il circuito rimane in uno degli stati; quando arriva il successivo impulso si genera la transizione verso il prossimo stato, secondo quanto stabilito sulla tabella.



Alcuni circuiti possono avere sia ingressi impulsivi che ingressi a livelli. Se il numero di ingressi ad impulsi è n e quello degli ingressi a livelli è m , il numero delle distinte combinazioni di ingresso è:

$$N = n \cdot 2^m$$

e quindi tale è il numero delle colonne nella tavola di stato.

8.2) Circuiti ad impulsi secondo Moore e secondo Mealy.

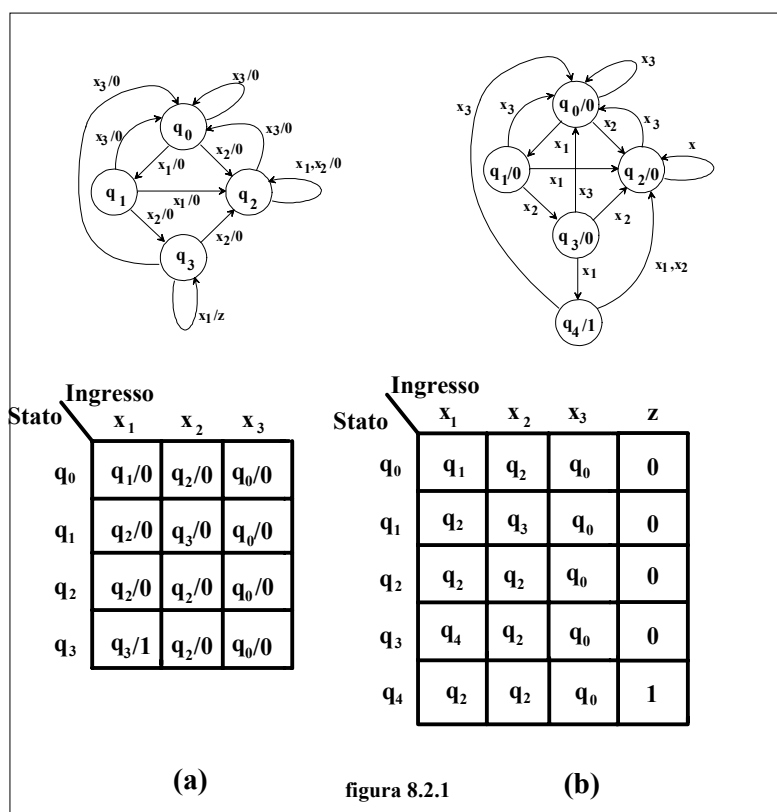
Nei circuiti sequenziali sincroni le uscite, funzioni degli ingressi e delle variabili di stato, sono segnali a livelli in quanto sia gli ingressi che le variabili di stato sono segnali a livelli. Se poi queste uscite sono a loro volta segnali di ingresso di altri circuiti sincronizzati dallo stesso clock, allora è appropriato considerare significative tali uscite solo in corrispondenza al clock.

La situazione è notevolmente più complessa nel caso di circuiti ad impulsi. Se le uscite sono funzione dell'ingresso oltre che delle variabili di stato, allora esse saranno impulsive e verranno ottenute come prodotto logico di un'opportuna funzione delle variabili di stato e degli impulsi di ingresso. Si possono pertanto definire tante diverse uscite quante sono le diverse possibili combinazioni di stato e di ingresso. Se invece le uscite sono funzione delle sole variabili di stato allora esse sono segnali a livelli e rimangono definite nell'intervallo compreso tra due successivi impulsi di ingresso piuttosto che in corrispondenza a tali impulsi. Di conseguenza il numero di uscite diverse non potrà essere superiore al numero degli stati. In fig. 8.2.1 sono riportati i diagrammi e le tabelle di stato di ambedue i tipi di circuito.

Si noti tuttavia che vi è una marcata somiglianza tra i due circuiti. In effetti essi rappresentano in pratica la soluzione dello stesso problema. Esso consiste nel riconoscere la sequenza $x_1x_2x_1$ che segue immediatamente un ingresso x_3 .

Quest'ultimo può in pratica essere considerato un impulso di reset e pertanto, per ragioni di semplicità, non è riportato sui diagrammi di stato.

Nel circuito con uscita ad impulsi di fig. 8.2.1 (a) lo stato q_3 viene raggiunto in conseguenza alla sequenza di ingresso x_1x_2 . Se il successivo impulso è x_1 si passa allo stato q_3 facendo comparire in uscita un impulso, mentre in caso contrario si evolve verso q_0 o q_2 , senza però che venga generata un'uscita.



Il circuito di fig. 8.2.1 (b) opera in modo molto simile, eccetto per il fatto che una volta giunto in q_3 per un successivo impulso x_1 il circuito evolve verso lo stato q_4 , che produce un'uscita a livelli finché non sopraggiunge un ulteriore impulso di ingresso.

In sostanza quindi, il primo circuito produce un impulso nel momento in cui la sequenza viene riconosciuta, mentre il secondo produce un livello dopo il riconoscimento della medesima sequenza.

E' opportuno mettere in luce che tra i diagrammi di stato di fig. 8.2.1 e quelli che si sono esaminati fino a questo punto esistono delle notevoli differenze. Poiché ad ogni istante può essere presente un unico impulso, è inutile mettere in evidenza il valore di tutti gli ingressi in corrispondenza ad ogni transizione; è più opportuno identificare quest'ultima con l'impulso che la causa. Le uscite impulsive, funzione dell'ingresso oltre che dello stato, vanno associate alle transizioni tra stati; le uscite a livelli, funzione del solo stato, vanno evidentemente associate allo stato.

Si vede immediatamente che il diagramma di fig. 8.2.1 (a) è una rappresentazione secondo il modello di Mealy, mentre quello di fig. 8.2.1 (b) è una rappresentazione secondo il modello di Moore. D'altra parte al capitolo IV si era già visto che l'uscita nella rappresentazione di Moore dipende solo dallo stato, mentre in quella di Mealy dipende da stato e ingresso.

Si può passare dall'una all'altra rappresentazione secondo le regole illustrate in precedenza. In generale tuttavia il modello di Moore richiede un numero di stati superiore a quello di Mealy.

D'altra parte il modello di Moore si rende necessario se l'uscita, anziché essere un impulso, dev'essere disponibile per tutto il tempo che intercorre tra una transizione di stato e l'altra.

8.3) Procedura di progetto.

La procedura di progetto e' in pratica la stessa usata per i circuiti sincroni. Infatti, se si considera il clock come un ingresso e lo si usa per sincronizzare le uscite, si vede che il circuito sequenziale sincrono puo' essere considerato un caso particolare di circuito di Mealy.

ESEMPIO 1

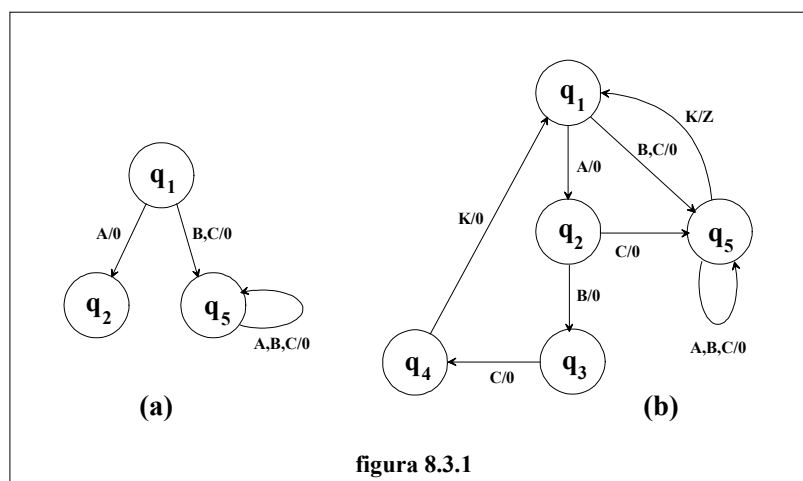
Il ciclo maggiore di un certo circuito digitale contenga tre sottocicli che debbano essere completati in una determinata sequenza. Per avere segnalazione che l'operazione e' stata completata, un circuito che esegue il test di sequenza riceve un impulso di completamento da ciascun sottociclo e un ulteriore impulso K quando e' stato completato il ciclo maggiore. Quando giunge l'impulso K il circuito di test deve riazzersarsi e fornire un impulso di errore se i tre impulsi A,B,C di segnalazione di sottociclo completato non sono stati ricevuti in questa esatta sequenza.

Il circuito debba venir realizzato usando flip-flop di tipo SR ed usando una logica AND-OR-NOT. Gli impulsi in gioco non siano mai contemporanei.

Soluzione: Vi sono sei possibili sequenze:

ABC ACB BAC BCA CBA CAB

delle quali solo la prima e' corretta. E' evidente che quando viene identificata una sequenza non corretta il circuito deve portarsi in uno stato di attesa finche' non arriva l'impulso K. Ad esempio se il primo impulso e' B o C l'ordine in cui arrivano i due impulsi seguenti non ha alcuna importanza. Questa considerazione porta a definire il diagramma di stato parziale di fig. 8.3.1 (a).



Lo stato q_5 e' quindi quello in cui la macchina staziona dopo aver messo in evidenza un errore finche' non arriva l'impulso K.

A partire dallo stato q_2 gli unici ingressi possibili sono B e C. L'ingresso B rappresenta la continuazione della sequenza corretta e conduce allo stato q_3 ; a partire da questo stato l'unico ingresso possibile e' C e conduce allo stato q_4 .

Poiche' l'impulso K segue sempre la sequenza dei tre impulsi da verificare, esso potra' arrivare solo quando il circuito si trova nello stato q_4 o q_5 .

Si ottiene quindi, sulla base di queste considerazioni, il diagramma completo di fig. 8.3.1 (b). Da tale diagramma si ottiene la tabella di fig. 8.3.2 (a), dalla quale, minimizzando gli stati, si ottiene la tabella di fig. 8.3.2 (b).

<table border="1" style="border-collapse: collapse; width: 100%;"> <thead> <tr> <th rowspan="2" style="text-align: left;">Stato</th> <th colspan="4" style="text-align: center;">Ingresso</th> </tr> <tr> <th style="text-align: center;">A</th> <th style="text-align: center;">B</th> <th style="text-align: center;">C</th> <th style="text-align: center;">K</th> </tr> </thead> <tbody> <tr> <td style="text-align: left;">q₁</td> <td style="text-align: center;">2/0</td> <td style="text-align: center;">5/0</td> <td style="text-align: center;">5/0</td> <td style="text-align: center;">--/--</td> </tr> <tr> <td style="text-align: left;">q₂</td> <td style="text-align: center;">--/--</td> <td style="text-align: center;">3/0</td> <td style="text-align: center;">5/0</td> <td style="text-align: center;">--/--</td> </tr> <tr> <td style="text-align: left;">q₃</td> <td style="text-align: center;">--/--</td> <td style="text-align: center;">--/--</td> <td style="text-align: center;">4/0</td> <td style="text-align: center;">--/--</td> </tr> <tr> <td style="text-align: left;">q₄</td> <td style="text-align: center;">--/--</td> <td style="text-align: center;">--/--</td> <td style="text-align: center;">--/--</td> <td style="text-align: center;">1/0</td> </tr> <tr> <td style="text-align: left;">q₅</td> <td style="text-align: center;">5/0</td> <td style="text-align: center;">5/0</td> <td style="text-align: center;">5/0</td> <td style="text-align: center;">1/1</td> </tr> </tbody> </table> <p style="text-align: center;">(a)</p>	Stato	Ingresso				A	B	C	K	q ₁	2/0	5/0	5/0	--/--	q ₂	--/--	3/0	5/0	--/--	q ₃	--/--	--/--	4/0	--/--	q ₄	--/--	--/--	--/--	1/0	q ₅	5/0	5/0	5/0	1/1	<table border="1" style="border-collapse: collapse; width: 100%;"> <thead> <tr> <th rowspan="2" style="text-align: left;">Stato</th> <th colspan="4" style="text-align: center;">Ingresso</th> </tr> <tr> <th style="text-align: center;">A</th> <th style="text-align: center;">B</th> <th style="text-align: center;">C</th> <th style="text-align: center;">K</th> </tr> </thead> <tbody> <tr> <td style="text-align: left;">q₁</td> <td style="text-align: center;">2/0</td> <td style="text-align: center;">5/0</td> <td style="text-align: center;">5/0</td> <td style="text-align: center;">--/--</td> </tr> <tr> <td style="text-align: left;">q₂</td> <td style="text-align: center;">--/--</td> <td style="text-align: center;">3/0</td> <td style="text-align: center;">5/0</td> <td style="text-align: center;">--/--</td> </tr> <tr> <td style="text-align: left;">q₃</td> <td style="text-align: center;">--/--</td> <td style="text-align: center;">--/--</td> <td style="text-align: center;">3/0</td> <td style="text-align: center;">1/0</td> </tr> <tr> <td style="text-align: left;">q₅</td> <td style="text-align: center;">5/0</td> <td style="text-align: center;">5/0</td> <td style="text-align: center;">5/0</td> <td style="text-align: center;">1/1</td> </tr> </tbody> </table> <p style="text-align: center;">(b)</p>	Stato	Ingresso				A	B	C	K	q ₁	2/0	5/0	5/0	--/--	q ₂	--/--	3/0	5/0	--/--	q ₃	--/--	--/--	3/0	1/0	q ₅	5/0	5/0	5/0	1/1
Stato		Ingresso																																																														
	A	B	C	K																																																												
q ₁	2/0	5/0	5/0	--/--																																																												
q ₂	--/--	3/0	5/0	--/--																																																												
q ₃	--/--	--/--	4/0	--/--																																																												
q ₄	--/--	--/--	--/--	1/0																																																												
q ₅	5/0	5/0	5/0	1/1																																																												
Stato	Ingresso																																																															
	A	B	C	K																																																												
q ₁	2/0	5/0	5/0	--/--																																																												
q ₂	--/--	3/0	5/0	--/--																																																												
q ₃	--/--	--/--	3/0	1/0																																																												
q ₅	5/0	5/0	5/0	1/1																																																												

figura 8.3.2

Per la codifica dello stato di un circuito sequenziale ad impulsi si possono usare le stesse tecniche usate per i circuiti sincroni. La regola 1(3z) suggerisce che gli stati q₁ e q₂ e gli stati q₁ e q₅ siano resi adiacenti. Si ottiene pertanto la tavola di flusso di fig. 8.3.3.

Si noti che tale tavola di flusso non e' una convenzionale mappa di Karnaugh. Poiche' vi sono quattro variabili di ingresso vi dovrebbero infatti essere 16 colonne. Tuttavia, poiche' gli impulsi di ingresso si escludono mutuamente, tutte le colonne, eccetto quelle rappresentate e quella ABCK = 0000, contengono condizioni non specificate.

Le equazioni di eccitazione possono quindi essere ricavate direttamente da questa tavola senza tracciare le quattro mappe di dimensione 4 x 16, assumendo che la colonna A rappresenti le colonne in cui A = 1 e gli altri ingressi B, C, K valgano 0 e cosi' via.

Stato	Ingresso			
	A	B	C	K
00	01/0	10/0	10/0	--/-
01	--/-	11/0	10/0	--/-
11	--/-	--/-	11/0	00/0
10	10/0	10/0	10/0	00/1

figura 8.3.3

Si noti tuttavia, a maggior chiarimento, che le semplificazioni vanno fatte solo colonna per colonna.

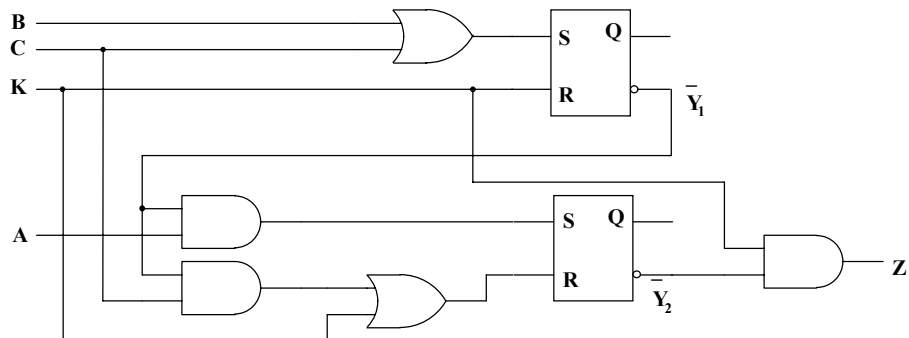
Si ottiene:

$$S_1 = B + C \quad R_1 = K \quad S_2 = A \cdot \overline{y_1} \quad R_2 = K + C \cdot \overline{y_1}$$

E' importante notare che le equazioni realizzate si riferiscono a flip-flop RS asincroni. Gli impulsi corrispondenti vanno applicati direttamente agli ingressi S e R. L'equazione di uscita e':

$$z = K \cdot \overline{y_2}$$

Il circuito che realizza quanto voluto e' quindi:

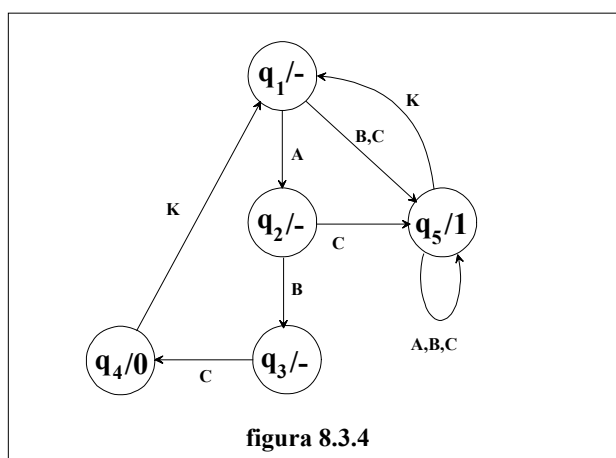


Dall'esempio appena svolto si vede che sostanzialmente non vi sono nuovi problemi nel progettare un circuito ad impulsi. Il vincolo che non vi siano impulsi contemporanei riduce il numero delle colonne nelle tavole di flusso, ma in pratica non vi e' alcuna differenza con il progetto dei circuiti sequenziali sincroni.

E' opportuno tuttavia ricordare che in ogni prodotto logico delle equazioni di eccitazione e di uscita deve comparire uno degli impulsi di ingresso in modo da generare il desiderato impulso di eccitazione e di uscita.

ESEMPIO 2

Si consideri lo stesso esempio precedente, ma lo si formuli ora in termini di modello di Moore. Dopo che il terzo impulso e' stato ricevuto, il circuito deve fornire ancora un'uscita con le stesse modalita' precedenti, ma questa volta il segnale sia del tipo a livelli e permanga finche' non viene ricevuto l'impulso di azzeramento K. L'uscita inoltre non venga esaminata prima dell'arrivo del terzo impulso, in modo che in tutte le situazioni precedenti il valore assegnato all'uscita non ha importanza. Il diagramma di stato che si ottiene e' riportato in fig. 8.3.4.



La tavola di stato e quella di flusso sono invece riportate in fig. 8.3.5.

Stato	Ingresso				
	A	B	C	K	z
1	2	5	5	--	--
2	--	3	5	--	--
3	--	--	4	--	--
4	--	--	--	1	0
5	5	5	5	1	1

Stato	Ingresso				
	A	B	C	K	z
00	01	10	10	--	--
01	--	11	10	--	--
11	--	--	11	00	0
10	10	10	10	00	1

figura 8.3.5

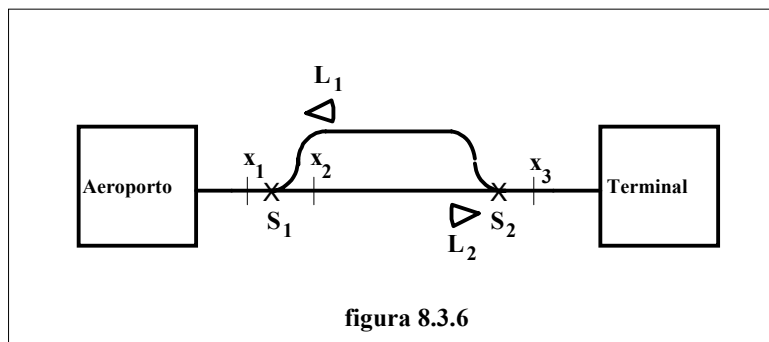
Le equazioni di eccitazione e di uscita sono pertanto:

$$S_{y_1} = B + C \quad R_{y_1} = K \quad S_{y_2} = A \cdot \overline{y_1} \quad R_{y_2} = C \cdot \overline{y_1} + K \quad z = \overline{y_2}$$

e il relativo circuito e' uguale a quello ricavato in precedenza, con esclusione del gate di uscita, non piu' necessario.

ESEMPIO 3

Una monorotaia sia adibita ad un servizio di trasporto rapido tra un aeroporto e un centro urbano. Il sistema preveda due convogli, ma un'unica sede, eccetto per l'esistenza di un binario di attesa a meta' percorso, come illustrato in fig. 8.3.6. I due convogli partano dalle due stazioni al medesimo istante. quello diretto all'aeroporto sia obbligato a fermarsi sul binario di attesa finche' l'altro convoglio non e' passato sul binario principale. Semafori e scambi siano controllati dai sensori x_1 , x_2 e x_3 che emettono un impulso quando una vettura transita su di essi.



Quando i convogli sono in stazione, ambedue i semafori L_1 e L_2 sono rossi, lo scambio S_1 e' posizionato sul binario principale e lo scambio S_2 e' posizionato sul binario di sosta. Il convoglio diretto all'aeroporto, per quanto detto in precedenza, si portera' su quest'ultimo e si fermera' al semaforo L_1 . Tale semaforo rimarra' rosso finche' l'altro convoglio non sara'

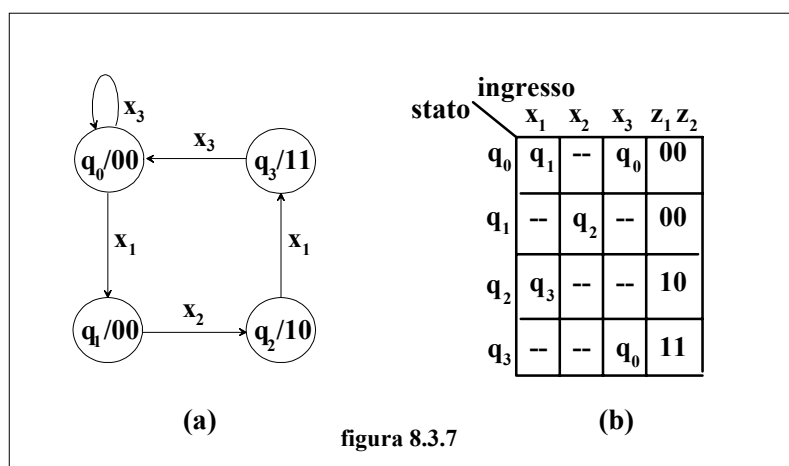
transitato su x_1 e x_2 . In questo momento S_1 si posizionera' sul binario di sosta. Il convoglio diretto in citta' si fermara' a L_2 finche' l'altro non sara' transitato su x_1 , facendo passare L_2 al verde e posizionando lo scambio S_2 sul binario principale.

Finalmente, quando il convoglio diretto in citta' sara' transitato su x_3 , il sistema ritornera' nelle condizioni iniziali.

Si vuole progettare un circuito dotato di due uscite a livello z_1 e z_2 tali che:

$z_1 = 0$	$L_1 =$ rosso	S_1 posizionato sul binario principale
$z_1 = 1$	$L_1 =$ verde	S_1 posizionato sul binario di sosta
$z_2 = 0$	$L_2 =$ rosso	S_2 posizionato sul binario di sosta
$z_2 = 1$	$L_2 =$ verde	S_2 posizionato sul binario principale

La disposizione dei sensori e la sequenza delle operazioni sono evidentemente tali da impedire che vi possano essere due impulsi contemporanei. Il diagramma di stato per il sistema e' quindi quello di fig. 8.3.7 (a), mentre la relativa tavola di stato e' riportata in fig. 8.3.7 (b).



E' ovvio che l'unica possibile semplificazione e' quella di combinare q_0 e q_1 in un unico stato. Per quanto riguarda la codifica, poiche' sono necessarie due variabili di stato e vi sono due uscite, l'assegnazione piu' naturale e' quella che fa coincidere le variabili di stato con l'uscita. La tavola di stato e' pertanto:

$y_1 y_2$ \ ingresso					
		x_1	x_2	x_3	$z_1 z_2$
00	00	10	00	00	
01	---	---	---	---	
11	---	---	00	11	
10	11	---	---	10	

mentre le matrici di eccitazione per i flip-flop sono:

	x_1	x_2	x_3
00	0	1	0
01	--	--	--
11	--	--	0
10	--	--	--

S_1

	x_1	x_2	x_3
00	--	0	--
01	--	--	--
11	--	--	1
10	0	--	--

R_1

	x_1	x_2	x_3
00	0	0	0
01	--	--	--
11	--	--	0
10	1	--	--

S_2

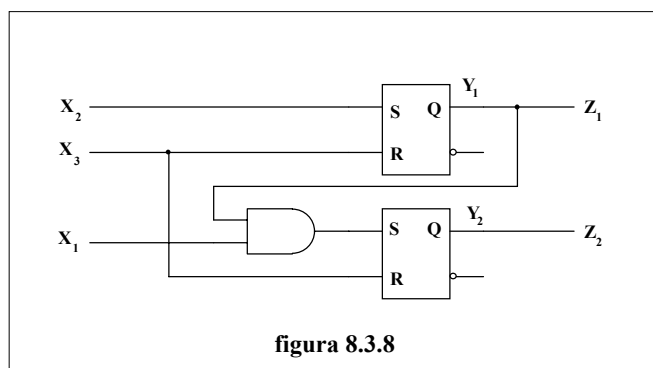
	x_1	x_2	x_3
00	--	--	--
01	--	--	--
11	--	--	1
10	0	--	--

R_2

Si ricavano quindi le seguenti equazioni:

$$S_1 = x_2 \quad R_1 = x_3 \quad S_2 = x_1 \cdot y_1 \quad R_2 = x_3$$

e il relativo circuito e' riportato in fig. 8.3.8.



8.4) I contatori.

Nell'esempio 2 del paragrafo 7.8 e' stato progettato un contatore avanti-indietro da tre bit, in cui le uscite coincidevano con lo stato futuro. Piu' comunemente i contatori vengono progettati in modo che lo stato presente coincida con l'uscita, prelevandola dall'uscita dei flip-flop. Sulla base di queste considerazioni i contatori diventano, in modo pressocche' naturale, dei circuiti di Moore.

La tavola di stato di una decade, cioe' di un contatore modulo 10, e' riportata a titolo di esempio in fig. 8.4.1 (a). Si noti che vi e' un unico ingresso impulsivo T e che nella relativa colonna sono contenuti gli stati futuri. In effetti il circuito conteggia (modulo 10) il numero di impulsi che si presentano sulla linea di ingresso T, che puo' quindi essere considerata la linea di clock del sistema. Se tuttavia il circuito venisse interpretato come un circuito sequenziale sincrono, esso dovrebbe venir trattato come un circuito senza segnali di ingresso, cosa certamente possibile, ma altrettanto certamente non molto naturale.

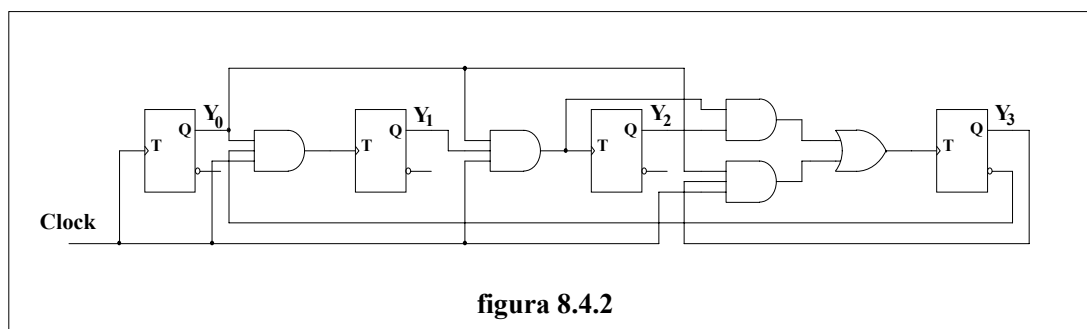
Assegnando lo stato in codice BCD si ottiene la tavola di flusso di fig. 8.4.1 (b). Questa assegnazione da' luogo ad una partizione molto simile a quella del contatore di fig. 7.8.9.

stato	z		$y_3y_2y_1y_0$	T		$z_1z_2z_3z_4$
	T	z		T	z	
0	1	0	0000	0001	0000	
1	2	1	0001	0010	0001	
2	3	2	0010	0011	0010	
3	4	3	0011	0100	0011	
4	5	4	0100	0101	0100	
5	6	5	0101	0110	0101	
6	7	6	0110	0111	0110	
7	8	7	0111	1000	0111	
8	9	8	1000	1001	1000	
9	0	9	1001	0000	1001	

(a)
(b)

figura 8.4.1

La realizzazione con flip-flop T, riportata in fig 8.4.2, si puo' ottenere molto semplicemente osservando in che istante i flip-flop cambiano stato.



Il flip-flop y_0 cambia stato con ogni impulso di ingresso e quindi (indicando con T_{y_i} l'ingresso del generico flip-flop i) si ha:

$$T_{y_0} = T$$

Il flip-flop y_1 cambia invece stato se e solamente se $y_0 = 1$, eccetto per lo stato 9, quando $y_3 = 1$. Si ottiene pertanto:

$$T_{y_1} = T \cdot y_0 \cdot \overline{y_3}$$

Analogamente y_2 cambia stato solo se y_0 e y_1 valgono 1. Si ha:

$$T_{y_2} = T \cdot y_1 \cdot y_0$$

Infine y_3 passa da 0 a 1 quando $y_0 = y_1 = y_2 = 1$ mentre esegue la transizione inversa quando $y_3 = y_0 = 1$. Si ottiene pertanto:

$$T_{y3} = (y_2 \cdot y_1 \cdot y_0 \cdot T) + (y_3 \cdot y_0 \cdot T)$$

Parecchi tipi di contatore contano secondo moduli diversi a seconda di uno o più segnali di ingresso a livelli. Si concluderà pertanto questo capitolo con un esempio di tale tipo di contatore.

ESEMPIO 1

Si progetti un contatore che conti modulo 5 quando un segnale di ingresso L è al livello 1, mentre conti modulo 8 se lo stesso segnale di ingresso è a livello 0. Inoltre il conteggio debba essere in avanti se l'impulso di ingresso si presenta sulla linea P₁, in indietro se si presenta sulla linea P₂. La tavola degli stati è riportata in fig. 8.4.3.

Stato	L=0		L=1		z
	P ₁	P ₂	P ₁	P ₂	
0	1	7	1	4*	0
1	2	0	2	0	1
2	3	1	3	1	2
3	4	2	4	2	3
4	5	3	0*	3	4
5	6	4	--	--	5
6	7	5	--	--	6
7	0	6	--	--	7

figura 8.4.3

A causa del funzionamento modulo 5 le partizioni chiuse introdotte negli esempi precedenti non sono più applicabili. Tuttavia la proprietà di chiusura della partizione {0,2,4,6} e {1,3,5,7} e di quella {0,4}, {1,5}, {2,6} e {3,7} sono violate solo per i due stati futuri contrassegnati con l'asterisco. Pertanto l'assegnazione in numerazione binaria BCD produce ancora delle equazioni di ingresso dei flip-flop relativamente semplici e permette nel contempo di fare a meno di una logica combinatoria di uscita.

Usando flip-flop di tipo T si ottengono le seguenti equazioni:

$$T_{y0} = P_1 \cdot (\overline{y_2 \cdot L}) + P_2 \cdot (\overline{\overline{y_2 \cdot y_1 \cdot y_0 \cdot L}})$$

$$T_{y1} = P_1 \cdot y_0 + P_2 \cdot (\overline{\overline{L \cdot y_2 \cdot y_1}})$$

$$T_{y3} = P_1 \cdot (y_0 \cdot y_1 + y_2) + P_2 \cdot (\overline{y_0 \cdot y_1})$$