# Analisi di circuiti asincroni

Premesse:

* I circuiti asincroni mantengono memoria del loro stato grazie ai loop di feedback.
* Il circuito si pone in uno stato stabile quando la logica che pilota le linee di feedback utilizza quali ingressi i medesimi valori presenti anche in uscita
* Per un’analisi più semplice di tali circuiti si assume l’ipotesi semplificativa che tutti i ritardi del circuito possano essere concentrati sull’anello di reazione (feedback) e che tutti questi ritardi siano uguali tra di essi.

Analisi di un Flip Flop Set/Reset:

Si voglia analizzare il funzionamento del seguente circuito:



Per semplificarne l’analisi ed individuare correttamente i loop di reazione lo si ri-disegni in una forma più lineare:



Da questa rappresentazione si evince che sia presente un solo loop di reazione. Per semplificare l’analisi del circuito si pensi di concentrare tutti i ritardi presenti nella logica in un unico ritardo presente esclusivamente sul loop di reazione e di considerare il resto della logica come se fosse ideale e privo di ritardi:



Si denomini ora come *“y”* la variabile di stato in ingresso alla logica stessa e con ‘ *y’* ’ la variabile di stato da questa generata. Si possono quindi evidenziare le funzioni logiche che forniscono le relazioni tra ingressi ed uscite (e tra le uscite annoveriamo pure y’ ).

$$y^{'}=\overbar{\overbar{R+y}+S}=\left(R+y\right)\overbar{S} $$

$$z1=\overbar{R+y}$$

$$z2=y'$$

Queste funzioni possono venir evidenziate in opportune tabelle (simili a mappe di Karnaugh) che però per comodità posizionano le variabili di ingresso sull’asse orizzontale e le variabili di stato sull’asse verticale



Tali tabelle, raccolte congiuntamente in una sola tabella forniscono la una tavola di flusso del dispositivo, ove si si trova, per ogni stato del circuito e per ogni combinazione di ingressi quale sarà lo stato futuro e le uscite corrispondenti.



Nella Tavola di Flusso sono evidenziate le condizioni stabili. La stabilità si può evincere anche circuitalmente:

Supponiamo di avere ad esempio gli ingressi S ed R posti entrambi a 0: dalla tavola di flusso si nota che in questa condizione vi siano due stati stabili possibili: lo stato 0 e lo stato 1:

Infatti, supponendo che y = 0 (con S = R = 0 ), Il valore assunto da y’ sarà 0. Tale segnale sarà prelevato dal loop di reazione per ritornare ad alimentare y che continuerà quindi a mantenere inalterato il suo stato.



Ma è anche altrettanto plausibile la situazione che vede S = R = 0 ed y = 1. In questo caso i segnali presenti verrebbero a generare sul ramo y’ il segnale logico 1, che prelevato da loop di reazione continuerà a mantenere il sistema nel medesimo stato stabile.



E’ questo infatti il funzionamento corretto di una cella di memoria che funziona appunto come un circuito “bistabile” il quale possiede due condizioni di stabilità, ovvero (con le medesime condizioni in ingresso) può memorizzare un singolo bit che potrà essere letto analizzando in quale condizione di stabilità si trova il circuito stesso (sulle uscite z1 e z2).

Supponiamo a questo punto di trovarci in questa seconda condizione di stabilità testé analizzata: S=R=0 ed y=1 e supponiamo di portare il segnale S al livello alto: Sia dalla tavola di flusso che dal circuito si evince che in questa condizione il segnale y’ viene ad assumere il valore 0, ma trascorso il tempo di ritardo questo segnale si ripresenta in ingresso al circuito sotto forma di y, facendo quindi commutare l’uscita z1 e rimettendo il dispositivo in un’altra condizione di stabilità, questa volta con l’uscita z1 alta e l’uscita z2 a livello basso. Una volta chiusosi il percorso il segnale su S può ritornare ad abbassarsi senza alterare più il valore di y’. Analogo ragionamento se successivamente si dovesse decidere di alzare il valore sul segnale R: questa azione porterebbe, dopo un opportuno tempo di assestamento, il circuito nella condizione di stabilità che vede y’=1 e z1,z2 rispettivamente ai valori 0 e 1.



Figura 1. Segnale di Set attivo



Figura 2. Stato stabile = 0



Figura 3. Segnale di Reset Attivo



Figura 4. Stato stabile 1

Analisi di un Flip Flop T sensibile al fronte:

Si voglia analizzare il funzionamento del seguente circuito:



Dallo schematico vi si evidenziano due loop di reazione che pertanto agiscono quali variabili di stato. Si assuma inoltre l’ipotesi semplificativa che tutti i ritardi siano concentrati in tale punto e che siano identici tra di loro. Si denominino quindi Y1 e Y2 le variabili di ingresso alla logica e Y1’ ed Y2’ quelle da questa generate.



Si può ora evidenziare quali siano le funzioni logiche che generano le variabili di stato Y1’ ed Y2’ oltre che l’uscita.

$$Y\_{1}^{'}=XY\_{1}+\overbar{X}Y\_{2}$$

$$Y\_{2}^{'}=X\overbar{Y\_{1}}+\overbar{X}Y\_{2}$$

$$Z=Y\_{2}'$$

Queste funzioni possono venir tabellate opportunamente posizionano le variabili di ingresso sull’asse orizzontale e le variabili di stato sull’asse verticale:

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Y1'** |  |  |  | **Y2'** |  |  |  | **Z** |  |  |
| Y1Y2\X | 0 | 1 |  | Y1Y2\X | 0 | 1 |  | Y1Y2\X | 0 | 1 |
| 00 | 0 | 0 |  | 00 | 0 | 1 |  | 00 | 0 | 1 |
| 01 | 1 | 0 |  | 01 | 1 | 1 |  | 01 | 1 | 1 |
| 11 | 1 | 1 |  | 11 | 1 | 0 |  | 11 | 1 | 0 |
| 10 | 0 | 1 |  | 10 | 0 | 0 |  | 10 | 0 | 0 |

Che possono venir riassunte congiuntamente nella tavola di flusso del circuito dove sono state evidenziate le condizioni di stabilità

|  |  |  |
| --- | --- | --- |
| Y1Y2\X | 0 | 1 |
| 00 | 00/0 | 01/1 |
| 01 | 11/1 | 01/1 |
| 11 | 11/1 | 10/0 |
| 10 | 00/0 | 10/0 |

Che eventualmente può essere rappresentata anche attraverso una tavola di Huffman

|  |  |  |
| --- | --- | --- |
| Y1Y2\X | 0 | 1 |
| A | A/0 | B/1 |
| B | C/1 | B/1 |
| C | C/1 | D/0 |
| D | A/0 | D/0 |

Il funzionamento e la stabilità di alcune condizioni possono essere desunti anche in forma euristica da un’analisi puntuale del circuito:

Supponiamo di essere nella posizione evidenziata nella tavola di flusso sottostante:

|  |  |  |
| --- | --- | --- |
| Y1Y2\X | 0 | 1 |
| 00 | 00/0 | 01/1 |
| 01 | 11/1 | 01/1 |
| 11 | 11/1 | 10/0 |
| 10 | 00/0 | 10/0 |

Questa ci sta ad indicare che se le variabili di stato sono nella condizione Y1=1 ed Y2=0 e l’ingresso X=1; allora le variabili di stato future assumeranno il valore Y1,Y2 = 1,0. Infatti, dal circuito sottostante si nota come le variabili sulle linee di feedback, prima e dopo l’elemento (fittizio) di ritardo coincidano, il che garantisce la stabilità del circuito in quella condizione.



Supponendo adesso di modificare la variabile di ingresso ponendola a 0:

|  |  |  |
| --- | --- | --- |
| Y1Y2\X | 0 | 1 |
| 00 | 00/0 | 01/1 |
| 01 | 11/1 | 01/1 |
| 11 | 11/1 | 10/0 |
| 10 | 00/0 | 10/0 |

Dalla tavola di flusso si vede che le variabili d’uscita in quelle condizioni non potranno mantenere il valore attuale, ma dovranno assumere il valore 0,0.



Infatti i livelli sulle varie linee si vengono a modificare. Ora le variabili presenti in ingresso ed in uscita agli elementi di ritardo differiscono, ma poiché i ritardi, passato un opportuno lasso di tempo dovranno per forza di cose stabilizzarsi portando ad essere uguali i valori di uscita con quelli in ingresso, ecco che il circuito andrà ad assumere una nuova condizione che si vede essere stabile: infatti nella tabella qui di seguito riportata si vede nuovamente le variabili in ingresso ed in uscita agli elementi di ritardo coincidere.

|  |  |  |
| --- | --- | --- |
| Y1Y2\X | 0 | 1 |
| 00 | 00/0 | 01/1 |
| 01 | 11/1 | 01/1 |
| 11 | 11/1 | 10/0 |
| 10 | 00/0 | 10/0 |



Proseguendo su questa strada si possono verificare tutte le condizioni evidenziate nella tavola di flusso, ma questo compito può essere eseguito in maniera automatica e completa attraverso un opportuno simulatore:

Di seguito il sorgente che definisce il funzionamento del circuito in Verilog HDL



Ed una sua simulazione adottando un opportuno segnale x di stimolo



Si noti che in verità il circuito parte in una condizione incognita (X) evidenziata dai tratti rossi. Non vi è modo infatti per il simulatore di riconoscere se quando il segnale è alto (=1) il circuito si trovi nello stato 01 oppure nello stato 10, essendo entrambi stabili ed entrambi possibili, ed anche quando X commuta portandosi a 0 non si sa se il circuito sta passando dallo stato 01 a 11 oppure da 10 a 00. Per evitare tale “indecisione” si possono seguire due strade:

1. A livello di simulazione si può “forzare” una o più linee (in questo caso y1 ed Y2) ad assumere un valore noto (ad esempio 0,0) si fa proseguire la simulazione per un certo periodo e successivamente si rimuove la forzatura.
2. A Livello circuitale si può introdurre un opportuno segnale di reset asincrono che forzi il circuito in una condizione prefissata (ad esempio lo stato 00 (ma evidentemente questo sarebbe un circuito diverso da quello proposto all’inizio dell’esercizio)