# Si analizzi il funzionamento del seguente circuito:



**Premessa**: Il circuito presenta un ingresso e due uscite (oltre all’ingresso di sincronismo). Inoltre al suo interno vi sono due FF che possono memorizzare un bit ciascuno, pertanto il circuito potrà porsi in non più di quattro STATI diversi.

1. **Variabili di stato**

Si nominino rispettivamente Y1 ed Y2 le variabili di stato (ovvero le uscite) di ciascuno dei FF.

1. **Equazioni di eccitazione**

Si descrivano le funzioni che regolano le eccitazioni dei due Flip Flop:

$$J\_{1}=XOR(X,Y\_{2})$$

$$K\_{1}=XOR(X,Y\_{2},Y\_{1})$$

$$T\_{2}=\overbar{Y\_{1}}$$

1. **Tavole di eccitazione**

Si evidenzi la dipendenza delle variabili di eccitazione dalle variabili di stato e dagli ingressi



1. **Tavola di Flusso**

In base alle combinazioni delle variabili di eccitazione afferenti ai vari FF ed alle equazioni dei FF stessi si può desumere la transizione attuata dal singolo FF e quindi il suo stato futuro.

$$Y\_{1}^{'}=\overbar{Y\_{1}} J+Y\_{1}\overbar{K}$$

$$Y\_{2}^{'}=XOR\left(Y\_{2},T\_{2}\right)$$



Quindi riunendo le due tabelle in una sola e notando che le uscite del sistema (A e B) sono definite dalle seguenti equazioni:

$$A=Y\_{1} , B=\overbar{Y\_{2}}$$

Si può pervenire alla tavola di flusso completa:



1. **Tavola di Huffman**

Tavola di Flusso che potrebbe essere resa più “leggibile” se espressa come tavola di Huffman:



1. **Descrizione secondo la macchina di Moore**

Oppure ancora come Macchina di Moore



1. **Descrizione Verbale**

Esprimendo verbalmente il funzionamento della macchina possiamo notare che:

* fintanto il suo ingresso è posto ad 0 la macchina va in ciclo su tre stati A,B,D fornendo sulle uscite la sequenza “01 – 00 – 11 …”,
* mentre se l’ingresso viene posto ad 1 la macchina va in ciclo sugli stati A,C,B, fornendo sulle uscite la sequenza “01 – 10 – 00 …”,

Vi è inoltre la possibilità di mantenere ferma la macchina sugli stati stabili C e con uscita pari a 01 (con l’ingresso posto a 0) o sullo stato D con uscita pari a 11 (con l’ingresso posto a 1). Per raggiungere queste condizioni di stabilità bisognerà però alterare gli ingressi esattamente nell’istante in cui la macchina abbia raggiunto rispettivamente gli stati C oppure D.

1. **Verifica attraverso simulazione**

Attraverso un opportuno simulatore si può verificare se l’interpretazione fornita del circuito sia corretta:

Si descriva il circuito attraverso Verilog HDL:

**module circuito\_sinc**(X,clk,res,Z);

input wire X,clk,res;

output wire [1:0] Z;

wire J1,K1,T2;

wire Y1,Y2;

 assign J1 = Y2 ^ X;

 assign K1 = J1 ^ Y1;

 assign T2 = ~Y1;

 assign Z[1]= Y1;

 assign Z[0]= ~Y2;

 ff\_jk FF1(J1,K1,clk,res,Y1);

 ff\_t FF2(T2,clk,res,Y2);

endmodule

**module ff\_jk** (input j, input k, input clk, input res, output reg q);

 always @ (posedge clk or posedge res)

 begin

 if (res)

 q <=0;

 else

 case ({j,k})

 2'b00 : q <= q;

 2'b01 : q <= 0;

 2'b10 : q <= 1;

 2'b11 : q <= ~q;

 endcase

 end

endmodule

**module ff\_t** (input t, input clk, input res, output reg q);

 always @ (posedge clk or posedge res)

 begin

 if (res)

 q <=0;

 else

 case ({t})

 1'b0 : q <= q;

 1'b1 : q <= ~q;

 endcase

 end

endmodule

In particolare si noti la presenza di tre “moduli” il primo per descrivere il circuito completo ed altri due per descrivere il funzionamento dei FF rispettivamente JK e T. Di questi infatti si fornisce esclusivamente una descrizione COMPORTAMENTALE che non entra nel dettaglio della loro eventuale realizzazione interna, ma ne esplicita esclusivamente il funzionamento senza fornire alcun dettaglio su come questi potrebbero essere oppure siano stati realizzati.

Si noti ancora che, sebbene NON presente nel circuito originale, è stato introdotto per entrambi i FF un segnale di reset asincrono, fondamentale per porre il circuito in uno stato noto. Tale segnale anche se non prettamente indispensabile per il funzionamento reale del circuito è comunque fortemente raccomandabile per renderne prevedibile il funzionamento e ripetibili le prove su di esso.

Una volta stabiliti i segnali di stimoli si può procedere alla simulazione del dispositivo:



Si può notare come il suo comportamento sia conforme con l’analisi sopra svolta:

* Prima del segnale di reset il sistema è in uno sta incognito (StX)
* Quando il reset si disattiva inizia il suo funzionamento normale fornendo la sequenza 01-00-11-01-…, quando il segnale di controllo X è basso e modificando la sequenza in 01 – 10 – 00 – 01, … quando il segnale di controllo diventa alto.
* Se il segnale di controllo X dovesse passare al valore basso quando la macchina si trova nello stato C (ovvero mentre le uscite sono 10) il sistema interrompe la sequenza per riprenderla solo quando il segnale di controllo torna ad alzarsi.