**Esercizio Propedeutico**

*Marzo 2023*

1. La seguente macchina, dotata di due ingressi e di un’uscita presenta un funzionamento che la rende suscettibile di alee ESSENZIALI.



Si progetti un circuito che ne metta in luce tale peculiarità. Ovvero si verifichi come alterando qualche (quale?) parametro del circuito la macchina possa essere soggetta oppure NO ad un’alea essenziale.

Si svolgano le simulazioni che evidenzino entrambe le situazioni (presenza ed assenza di alea ESSENZIALE) oltre naturalmente a verificare il corretto funzionamento della macchina IN TUTTE LE SITUAZIONI PREVISTE, qualora le alee siano assenti.

NOTA: Le soluzioni del presente elaborato siano complete di svolgimento, codice VerilogHDL e diagrammi di simulazione.

Svolgimento:

**Esercizio 1 :**

Iniziamo col definire una codifica che NON introduca corse: si può ad esempio codificare

A: 00

B : 01

C: 11
D: 10

Con suddetta codifica la tavola di flusso risulta essere pertanto

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **st\ec** | **00** | **01** | **11** | **10** |
| **00** | 00 | 00 | 00 | 01 |
| **01** | 00 | -- | 11 | 01 |
| **11** | 00 | 11 | 11 | 10 |
| **10** | 00 | 10 | 10 | 10 |

Ovvero, evidenziando le funzioni di trasferimento per ciascuna delle due variabili di stato

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **y1** |  |  |  |  |
| **st\ec** | **00** | **01** | **11** | **10** |
| **00** | 0 | 0 | 0 | 0 |
| **01** | 0 | - | 1 | 0 |
| **11** | 0 | 1 | 1 | 1 |
| **10** | 0 | 1 | 1 | 1 |
|  |  |  |  |  |
| **y2** |  |  |  |  |
| **st\ec** | **00** | **01** | **11** | **10** |
| **00** | 0 | 0 | 0 | 1 |
| **01** | 0 | - | 1 | 1 |
| **11** | 0 | 1 | 1 | 0 |
| **10** | 0 | 0 | 0 | 0 |

Si trova

$$y\_{1}= y\_{2}c+ y\_{1}c+y\_{1}e $$

$$y\_{2}= y\_{2}c+ \overbar{y\_{1}}e\overbar{c} $$

Equazioni che descrivono completamente il funzionamento della macchina. Si può quindi descriverne il funzionamento in Verilog HDL e verificare se il dispositivo così descritto funziona correttamente.

Il sistema può essere descritto in Verilog HDL attraverso le seguenti assegnazioni (ove la variabile State è utilizzata solo per comodità onde avere una visione globale dello stato in cui si pone il sistema.



I ritardi di #15 sono stati introdotti per tener conto di quelli che potrebbero essere i tempi di ritardo legati alla logica.

Supponendo di voler effettuare il percorso descritto in figura, pensato in modo da realizzare un *test-bench* che simuli un discreto numero di possibili transizioni: partendo dallo stato A con ingresso 00



La sequenza degli ingressi “e,c” dovrà essere 00 - 01 – 11- 10 – 11- 01 – 11 – 10 – 11 – 01 – 00

Impostando tale sequenza come segnali di ingresso ed analizzando l’evoluzione delle variabili di stato si nota come l’evoluzione è quella desiderata, senza alcuna alea.



Vi è però la possibilità (vedasi dispense al capitolo 6) che a seguito di ritardi interni, la logica responsabile della generazione della prima variabile di stato avverta la variazione di stato PRIMA di rilevare la variazione dell’ingresso che l’ha generata (In particolare questo accade nel passaggio dagli stati A 🡪 B) . Ovvero la logica responsabile della variabile Y1 potrebbe vedere la modifica della variabile Y2 mentre C non si è ancora propagato e ritenendo pertanto di essere ancora nella situazione precedente con ingressi 11. In tale situazione detta logica modificherebbe la sua uscita al valore 1 e portando quindi di fatto il circuito nello stato C. Quando finalmente il ritardo sugli ingressi si fosse esaurito entrambe le logiche vedrebbero correttamente gli ingressi presenti, e questo spingerebbe in ultima analisi il dispositivo nello stato D.

Una prova di tale funzionamento la si ha introducendo un ritardo sulla linea d’ingresso di C che va alla logica Y1 e verificando che fintanto che questo ritardo non c’è oppure risulta minore del tempo di propagazione della logica Y2 (#15) il circuito funziona ancora correttamente, ma se questo ritardo dovesse superare un certo valore si innescherebbe l’alea essenziale sopra descritta ed il circuito invece di andare dallo stato A allo stato B come previsto finirebbe direttamente nello stato D

Introduzione del ritardo nel segnale di ingresso della logica responsabile della generazione di Y1



All’immediata destra del cursore giallo si vede il fenomeno dell’alea essenziale.



Domanda supplementare ?

Qual è il tempo limite sopra il quale si manifesta l’alea ? Come questo è legato ai tempi di propagazione delle logiche Y1 ed Y2? Provate a comprenderlo attraverso la simulazione !