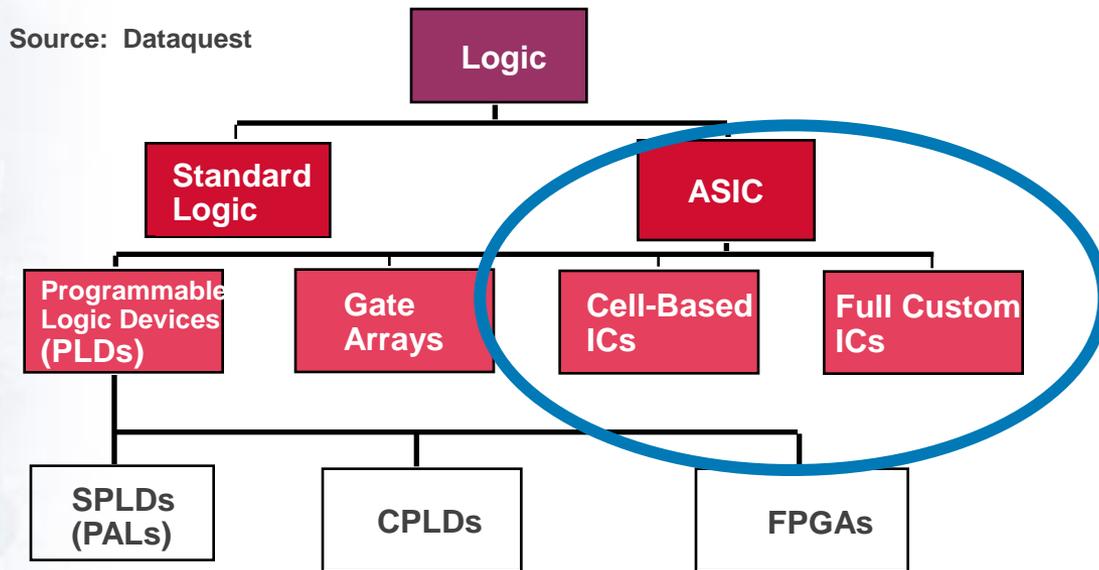


# Circuiti Logici Dedicati

*Soluzioni tecnologiche*

# Electronic Components



## Acronyms

ASIC = Application Specific IC

SPLD = Simple Prog. Logic Device

PAL = Prog. Array of Logic

CPLD = Complex PLD

FPGA = Field Prog. Gate Array

## Common Resources

Configurable Logic Blocks (CLB)

- Memory Look-Up Table
- AND-OR planes
- Simple gates

Input / Output Blocks (IOB)

- Bidirectional, latches, inverters, pullup/pulldowns

Interconnect or Routing

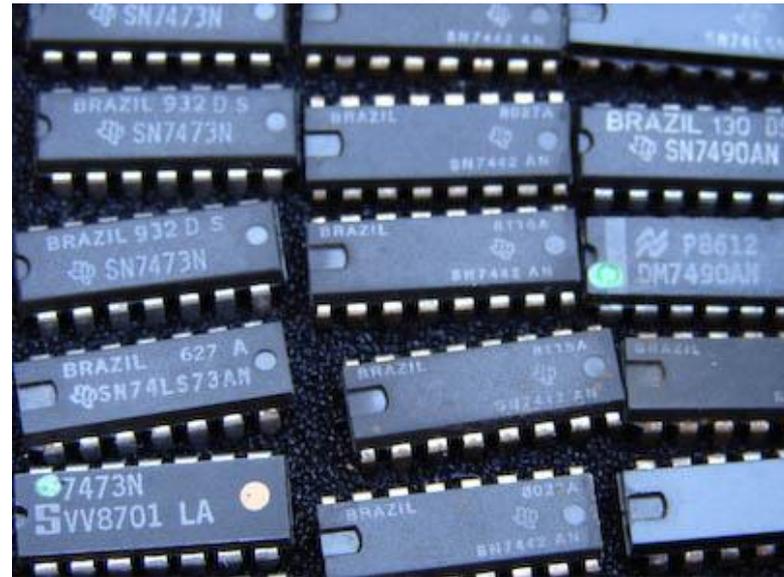
- Local, internal feedback, and global

# Parametri fondamentali

- Numero di pezzi da produrre
  - Costo del prototipo
  - Costo del chip in produzione
- Prestazioni
  - Area occupata
  - Frequenza di lavoro
  - Potenza dissipata
- Time to Market

# Logica sparsa

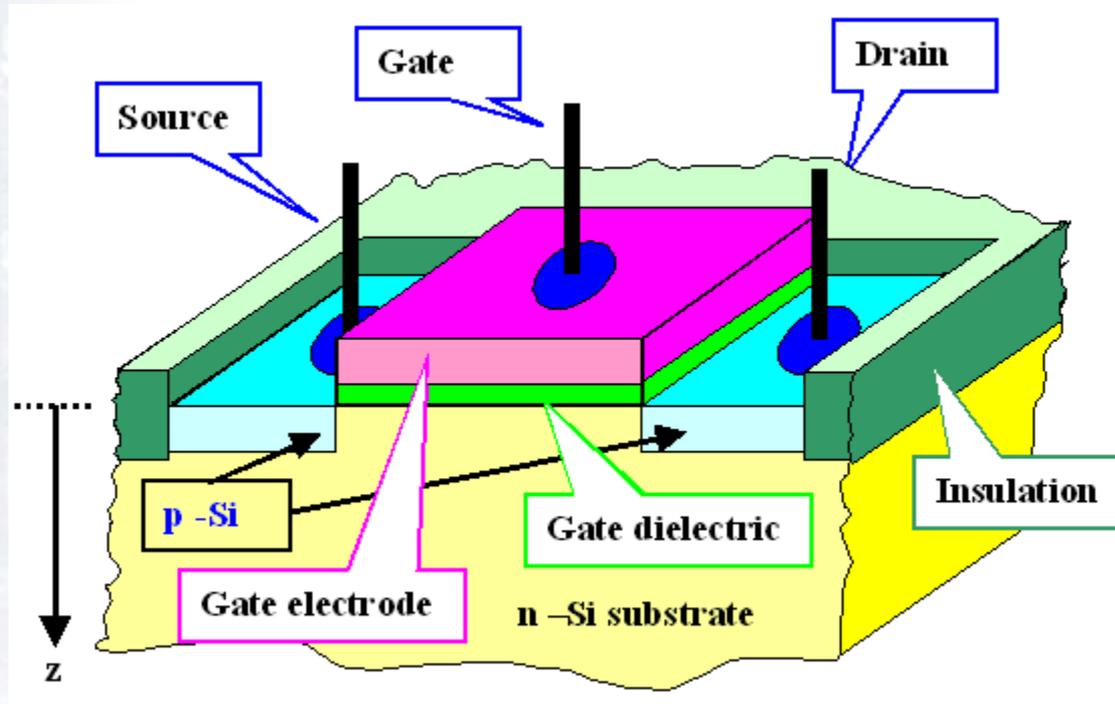
- Oramai improponibile per qualunque circuito che non sia puramente didattico o estremamente semplice
  - Costo elevato
  - Prestazioni scadenti
  - Area elevatissima
  - Potenza dissipata elevatissima



# Full Custom

- Ottime prestazioni
- Altissimo costo prototipale
- Basso costo per la produzione in serie
- Progetto molto complesso e laborioso (richiede un gruppo di specialisti occupati per diverso tempo)
- Tempi lunghi prima di avere il prodotto finito
  - Progetto
  - Passaggio per la fonderia
  - Testing

# MOS transistor



# Layout layers representation

## Strato (Layer)

Well (p,n)  
Active Area (n<sup>+</sup>,p<sup>+</sup>)  
Polysilicon  
Metal 1  
Metal 2  
Contat to Poly  
Contact to Diffusior  
Via

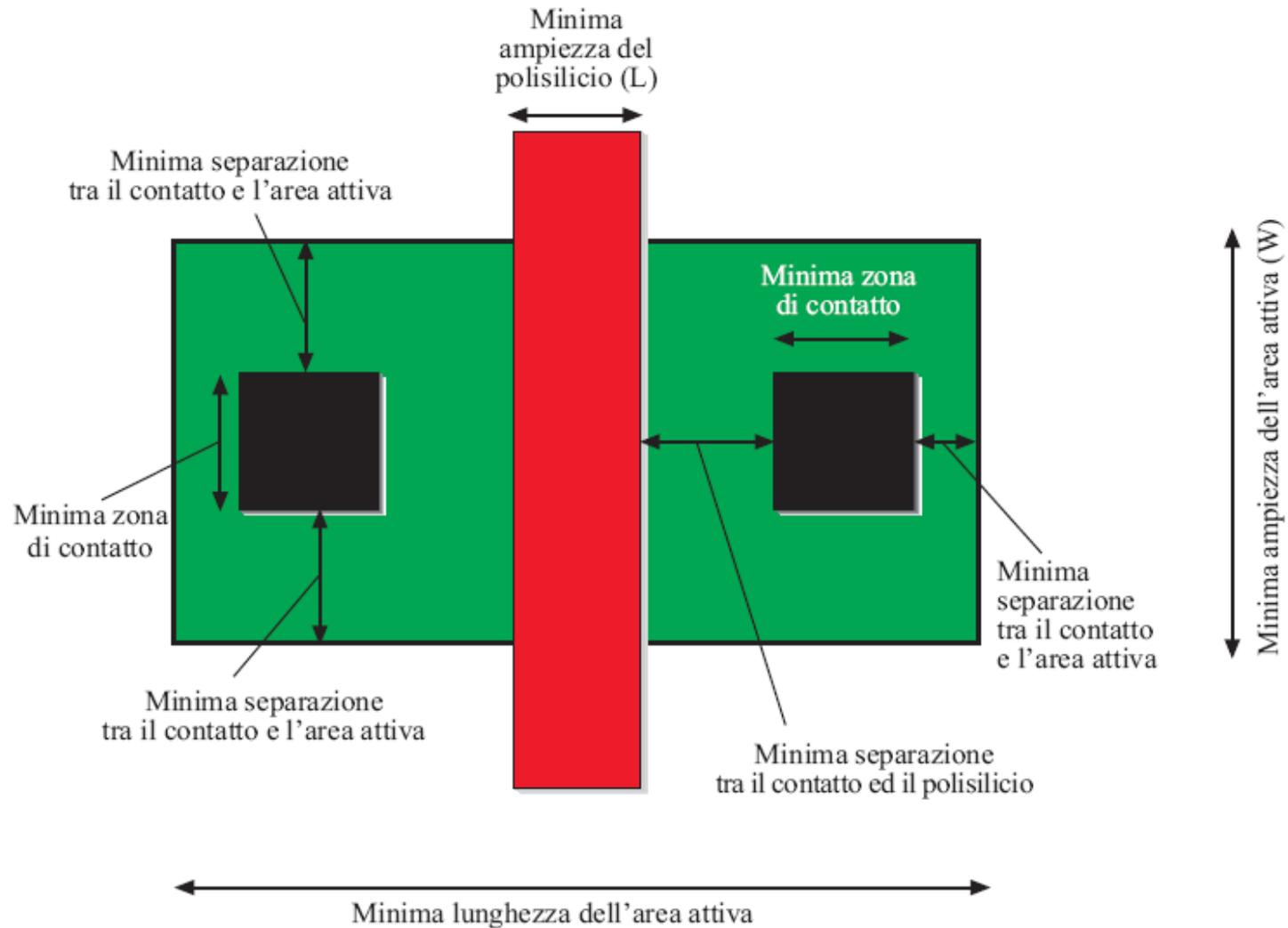
## Nome colore

Yellow  
Green  
Red  
Blue  
Magenta  
Black  
Black  
Black

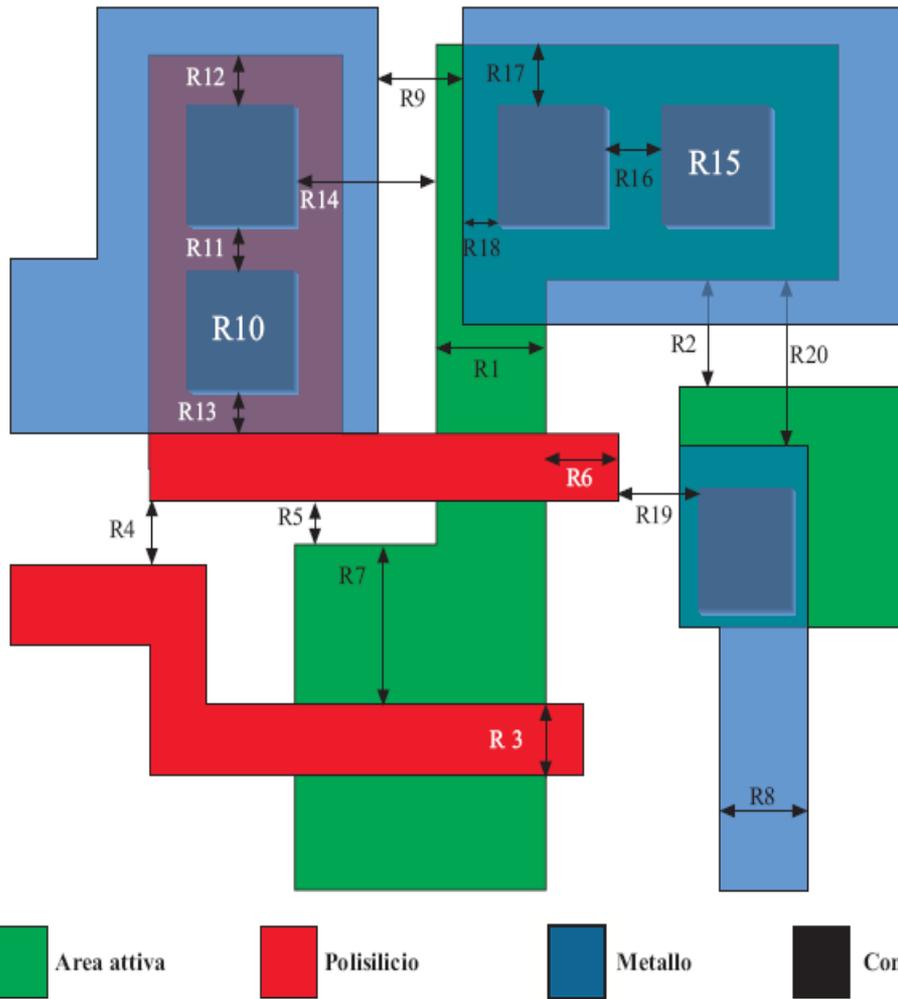
## Rappr. grafica



# MOS transistor representation

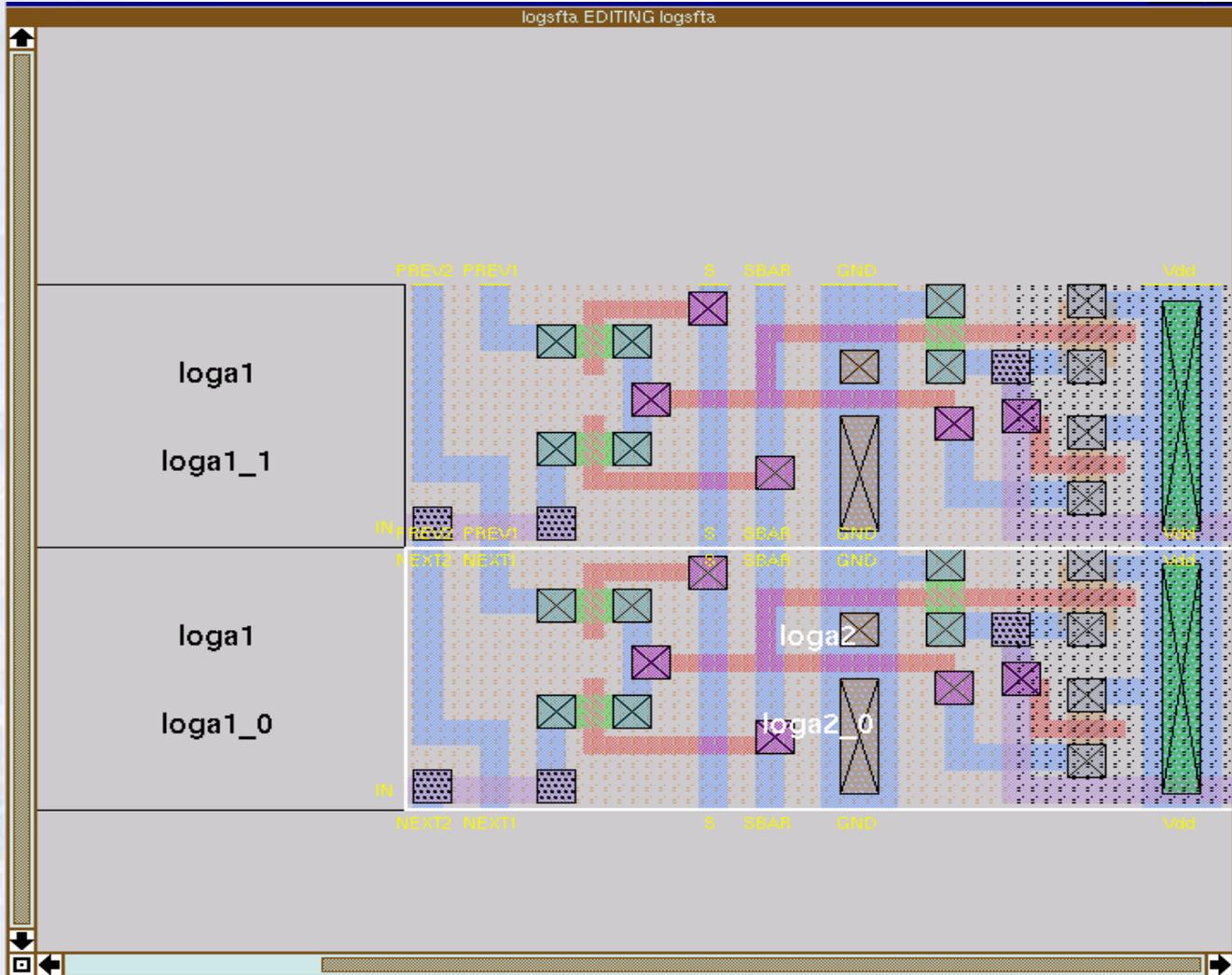


# Design rules (layout rules)

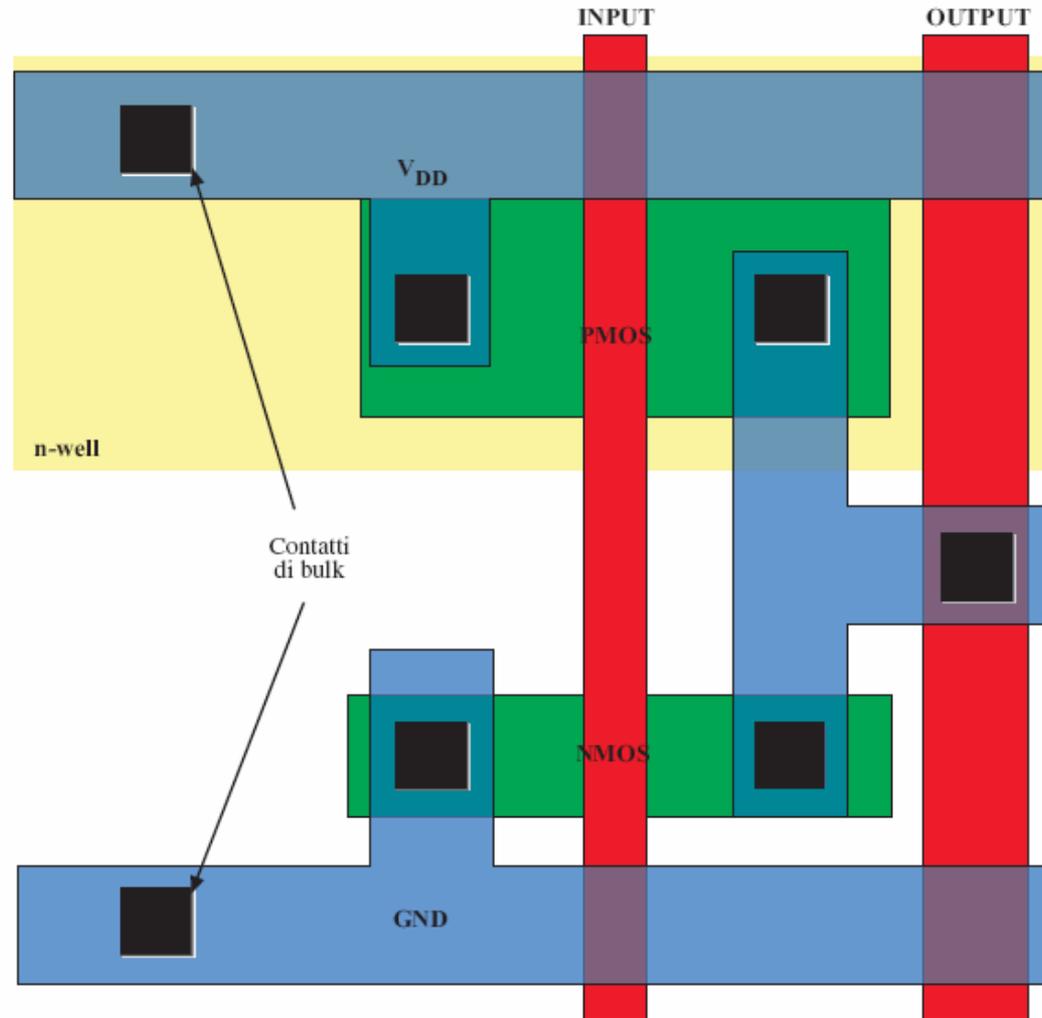


- R1 *Minimum active area width*
- R2 *Minimum active area spacing*
- R3 *Minimum poly width*
- R4 *Minimum poly spacing*
- R5 *Minimum poly-active edge spacing (poly outside active area)*
- R6 *Minimum gate extension of poly over active area*
- R7 *Minimum poly-active edge spacing (poly inside active area)*
- R8 *Minimum metal width*
- R9 *Minimum metal spacing*
- R10 *Poly contact size*
- R11 *Minimum poly contact spacing*
- R12 *Minimum poly contact to poly edge spacing*
- R13 *Minimum poly contact to metal edge spacing*
- R14 *Minimum poly contact to active edge spacing*
- R15 *Active contact size*
- R16 *Minimum active contact spacing (on the same active region)*
- R17 *Minimum active contact to active edge spacing*
- R18 *Minimum active contact to metal edge spacing*
- R19 *Minimum active contact to poly edge spacing*
- R20 *Minimum active contact spacing (on different active regions)*

# Full custom



# CMOS inverter layout

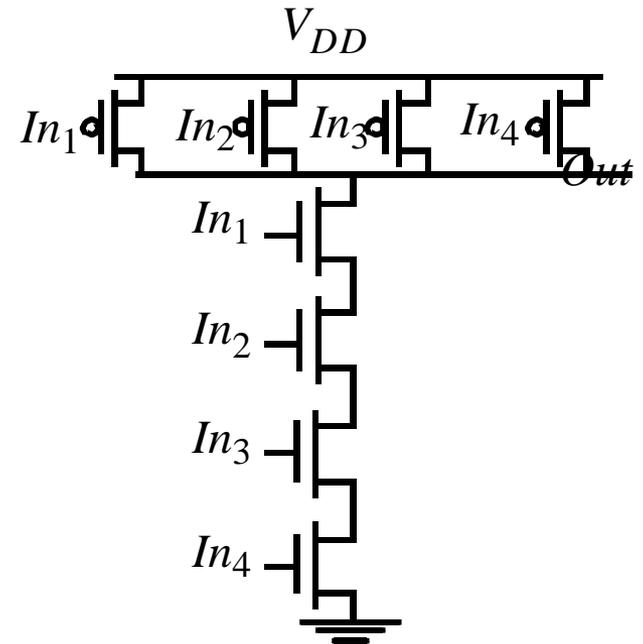
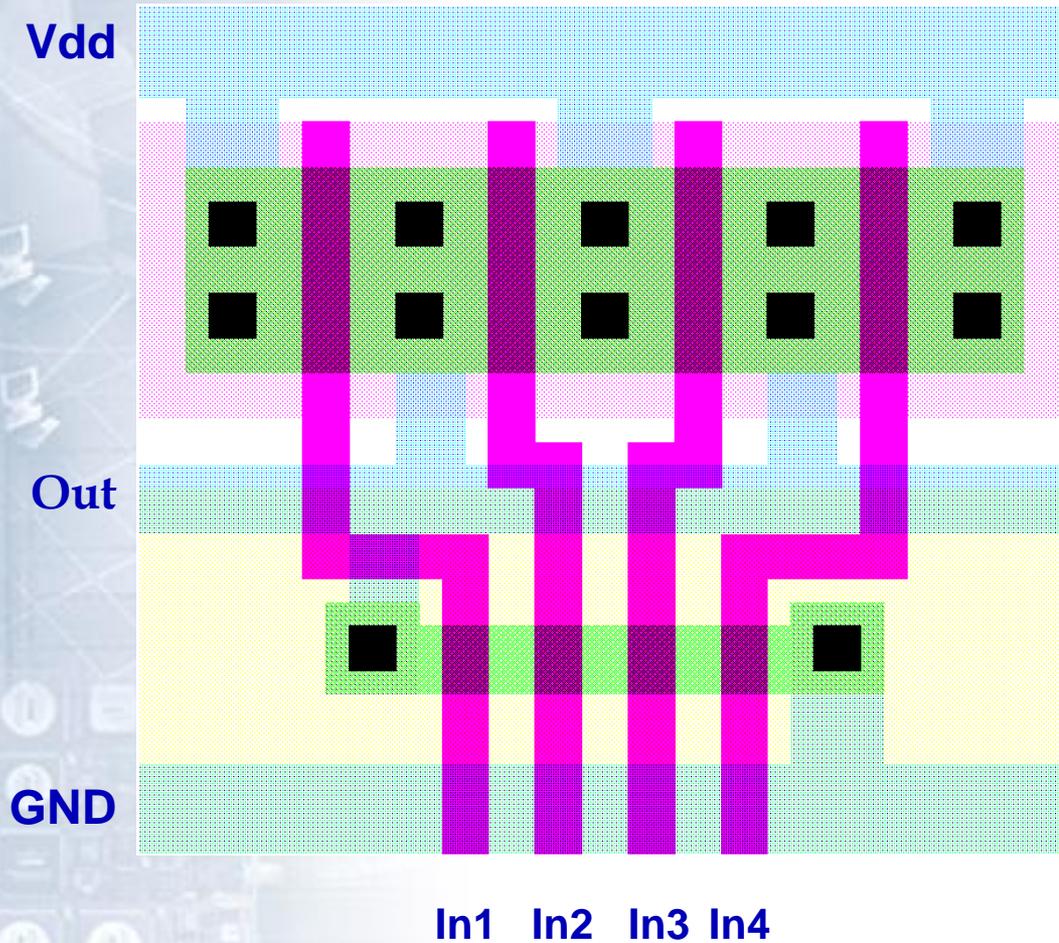


Tipico layout  
a cella standard  
(standard cell)

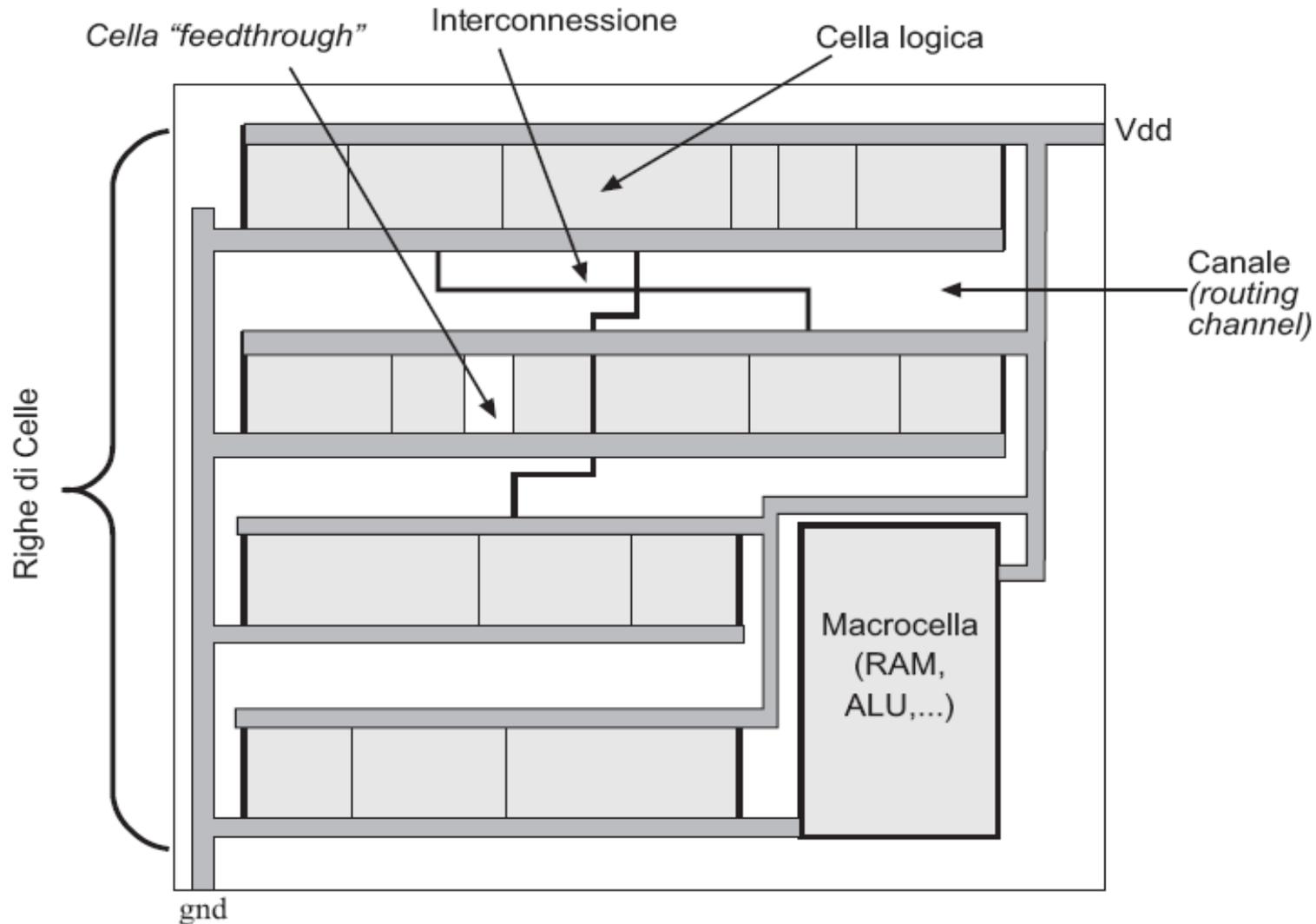
# Semi Custom - CELLS based

- Prestazioni elevate
- Alto costo prototipale
- Basso costo per la produzione in serie
- Progetto abbastanza complesso (richiede pochi specialisti occupati per un certo tempo)
- Tempi lunghi prima di avere il prodotto finito
  - Progetto
  - Passaggio per la fonderia
  - Testing

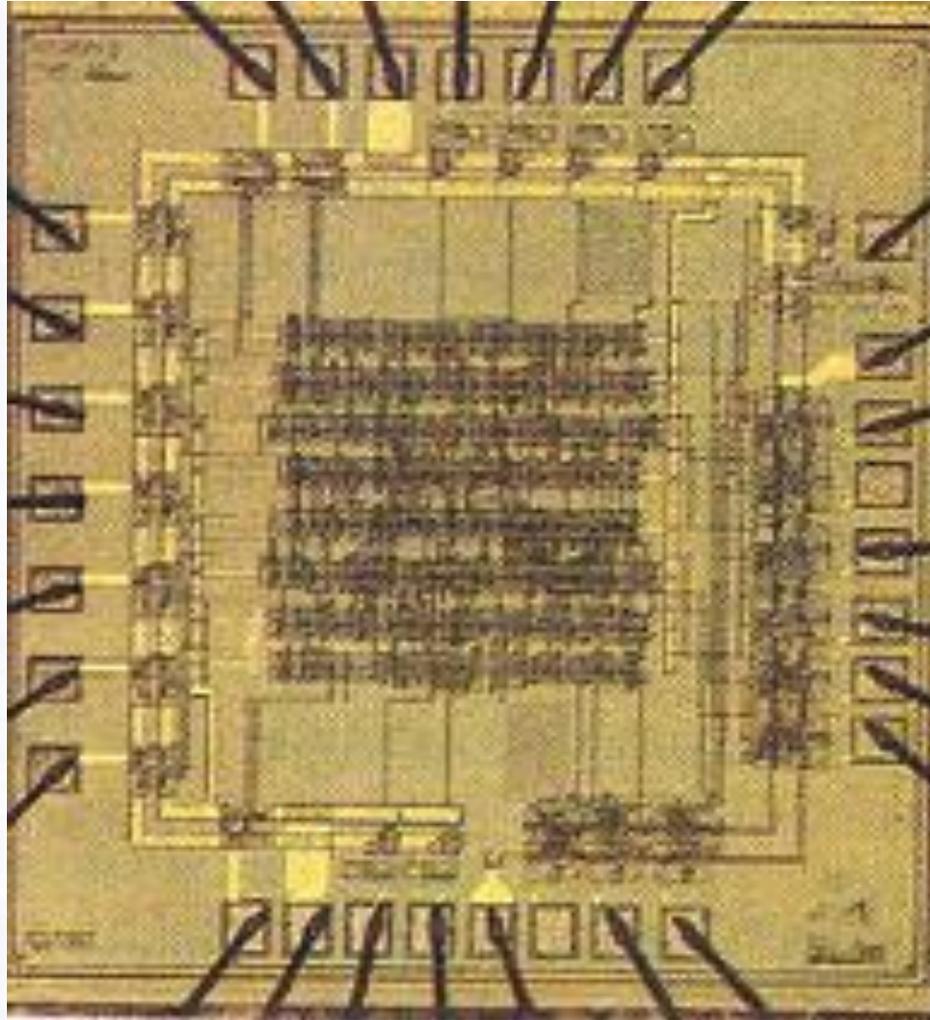
# 4-input NAND Gate Layout



# Standard Cell Layout



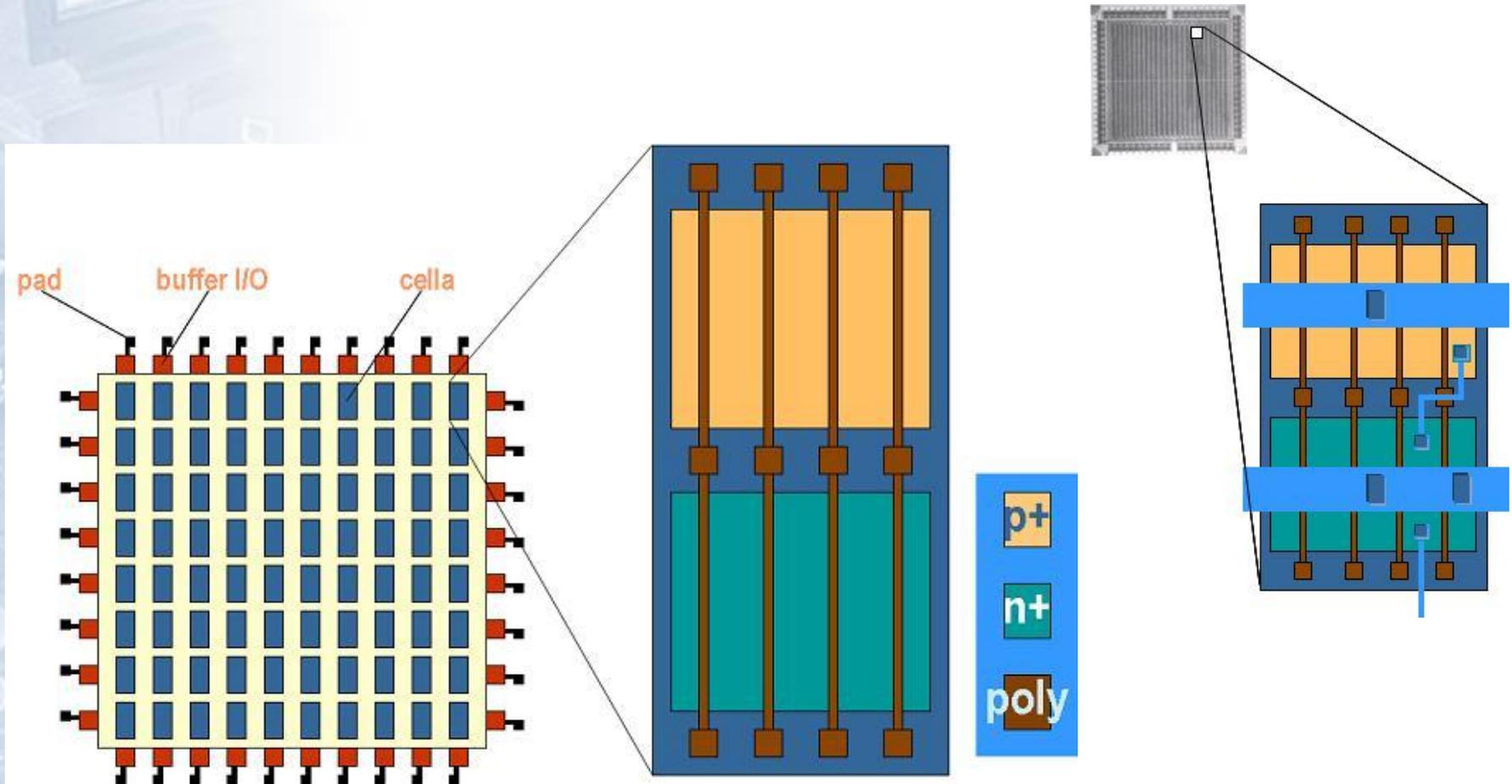
# Standard Cell — Example



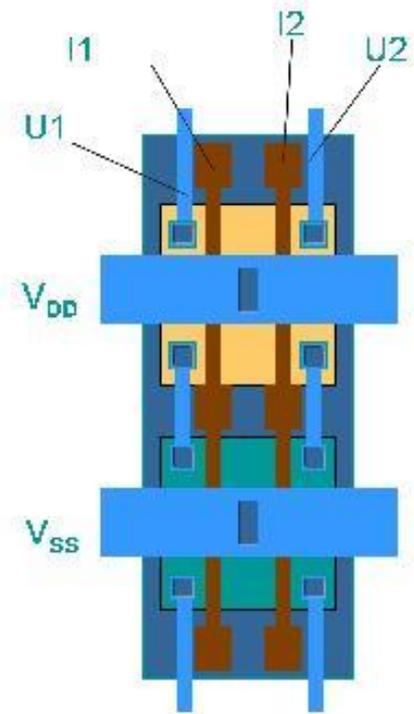
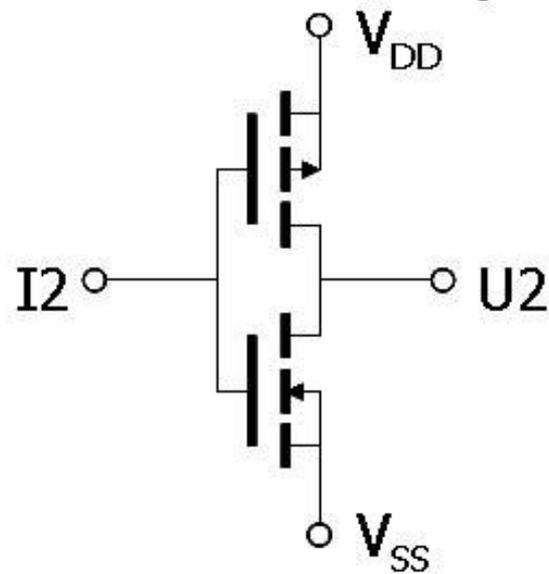
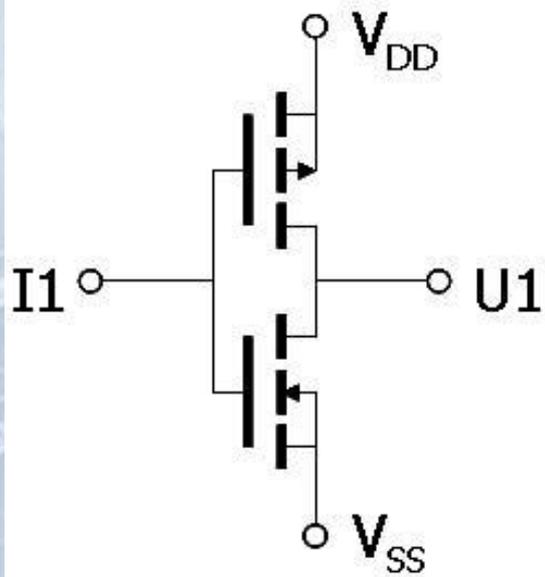
# Gate Array

- Prestazioni discrete
- Medio costo prototipale
- Medio costo per la produzione in serie
- Progetto mediamente complesso
- Tempi medi prima di avere il prodotto finito
  - Progetto
  - Passaggio per la fonderia
  - Testing

# Gate Array



# Gate Array



# Circuiti programmabili

- Prestazioni buone-discrete
- Basso costo prototipale
- Costo medio-alto per la produzione in serie
- Progetto poco complesso
- Tempi rapidissimi per avere il prodotto finito
  - Progetto
  - Programmazione
  - Testing



# Conclusioni

- Il Gap tra dispositivi programmabili e ASIC si sta chiudendo grazie a
  - Introduzione di FPGA very low cost.
  - Introduzione di FPGA dalle prestazioni molto spinte.
  - Eventuale possibilità di rendere una FPGA configurabile tramite maschere in fonderia
- Il mercato e la produzione di FPGA è in continua crescita.