



ALTERA®

QUARTUS

*Un software per la progettazione
di circuiti dedicati su FPGA*

Flusso di Sviluppo

- Descrizione comportamentale
- Simulazione comportamentale
- Sintesi
- Descrizione strutturale (Netlist)
- Simulazione con ritardi approssimativi (1 unità)
- Implementazione
- Simulazione dettagliata
- Download
- Simulazione sul campo



Descrizione Comportamentale

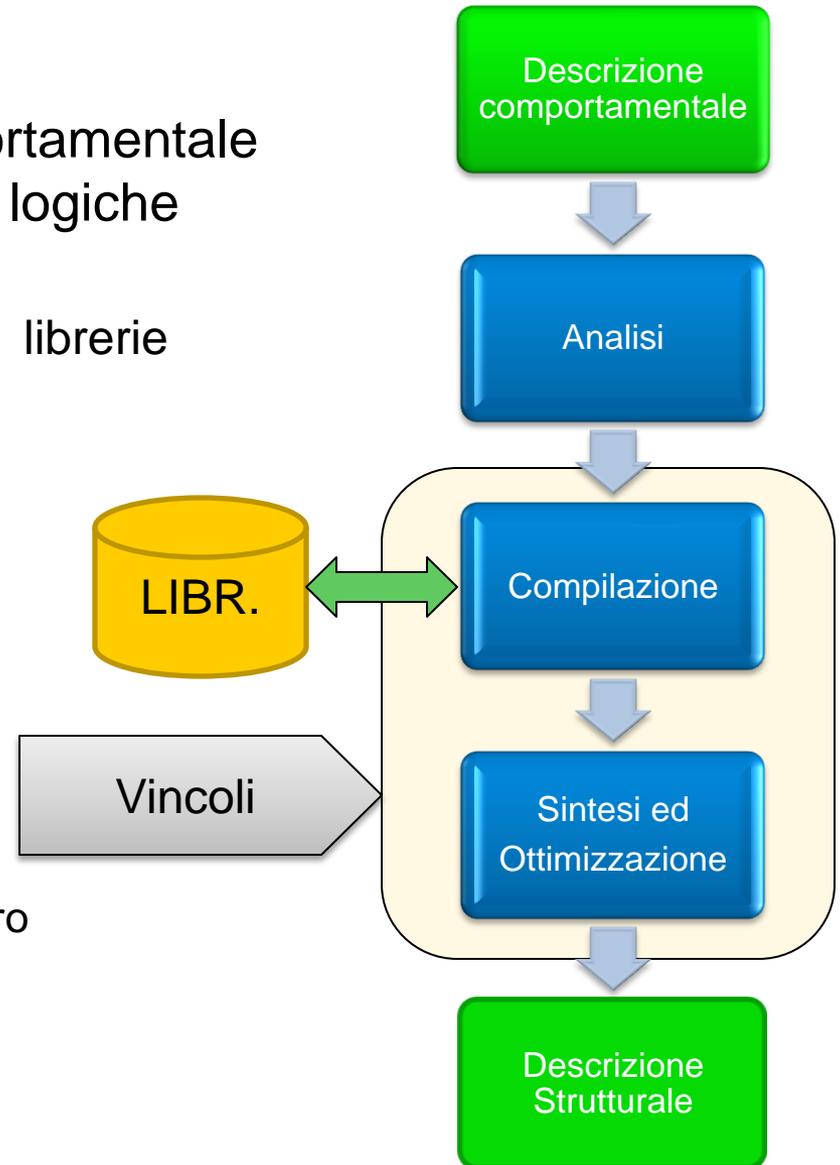
- Descrizione del tutto ideale del funzionamento del dispositivo ad alto livello di astrazione
 - non prevede ritardi di alcun tipo
 - Potrebbe non prevedere quantizzazioni dei dati
- Vi sono vari modi per descrivere a livello comportamentale un sistema oppure una sequenza di segnali
 - Schematico
 - Linguaggio HDL (Verilog, VHDL, Abel)
 - Tabelle di Verità
 - Macchine a Stati finiti (diagrammi di Moore o di Mealey)
 - Sequenza di forme d'onda
 - Matlab e Simulink
 - SOPC Builder

Es:

$$C \leq (A + B) * C$$

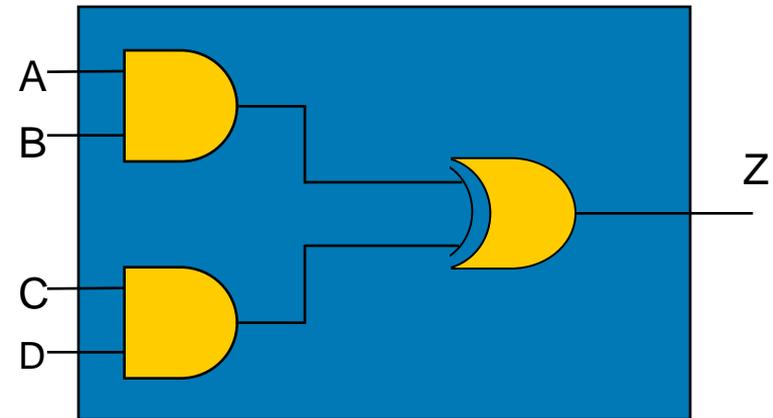
Analisi & Sintesi

- Traduzione dalla descrizione comportamentale all strutturale, ossia a livello di porte logiche (Netlist)
 - Si basa sulla presenza di opportune librerie
- E' suddivisa nelle seguenti fasi
 - Analisi:
 - analisi sintattica del sorgente
 - Compilazione
 - traduzione a livello RTL
 - Estrazione delle macro
 - Sintesi ed Ottimizzazione
 - Sviluppo e miglioramento della logica, espansione delle macro
- E' un procedimento "guidato"
 - abbisogna di opportuni **vincoli**



Descrizione Strutturale

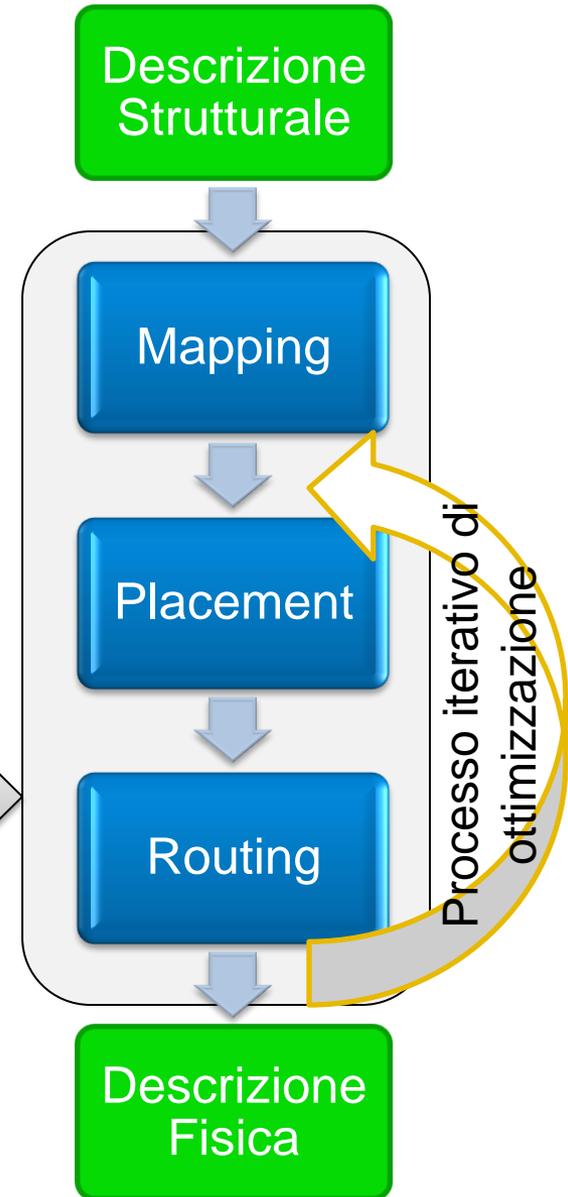
- Descrizione del circuito in termini di blocchi logici (porte, flip-flop, registri, memorie, ...) presenti in libreria opportunamente collegati ossia in termini di **NETLIST**
- Le informazioni portate da questa descrizione sono:
 - Ritardi della logica (ma non dei collegamenti)
 - Area occupata dalla logica (ma non dai collegamenti)



Fitting

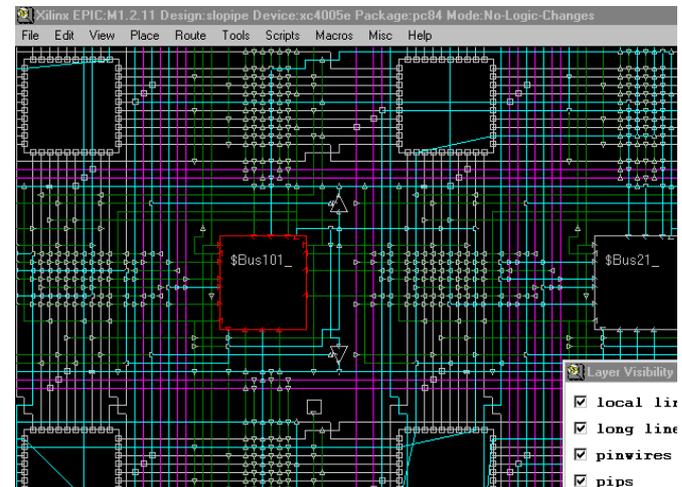
- Traduce la descrizione a celle logiche in una opportuna descrizione fisica
 - maschere per il layout (ASIC)
 - file di download (FPGA - CPLD)
- Si divide in tre fasi
 - Mapping (mappatura della logica nei CLB) solo per FPGA
 - Placement (Posizionamento dei blocchi logici)
 - Routing (Collegamento tra CLB)
- Il procedimento si basa su **vincoli implementativi**

Vincoli



Descrizione Dettagliata

- La descrizione del circuito è molto vicina a quelle che saranno le reali prestazioni. Vi sono infatti informazioni su
 - Ritardi della logica
 - Ritardi nei collegamenti
 - Area occupata dalla logica
 - Area occupata dai canali di collegamento
 - Dettaglio sull'ubicazione di ogni singola porta logica e/o dei piedini di I/O



Ulteriori Passi

- **Assembler**
 - Generazione della bitstream per il download
- **Timing Analysis**
 - Caratterizzazione dinamica del circuito
 - Verifica del rispetto dei vincoli
- **Device Programmer**
 - Download della bitstream sul dispositivo
- **Design Assistant**
 - Per aiutare l'analisi del circuito e la ricerca di eventuali errori (es. logica sul clock)
- **Power analysis**
 - Per stimare il consumo

Back Annotation

- Alcuni dei risultati ottenuti ai vari passi del procedimento spesso vengono utilizzati in un procedimento di “**back-annotation**” ossia vengono riportati ai passi superiori quali vincoli o per avere descrizioni piu’ dettagliate del funzionamento del circuito anche ad alti livelli di astrazione
 - **Vincoli**
 - **Ritardi**