

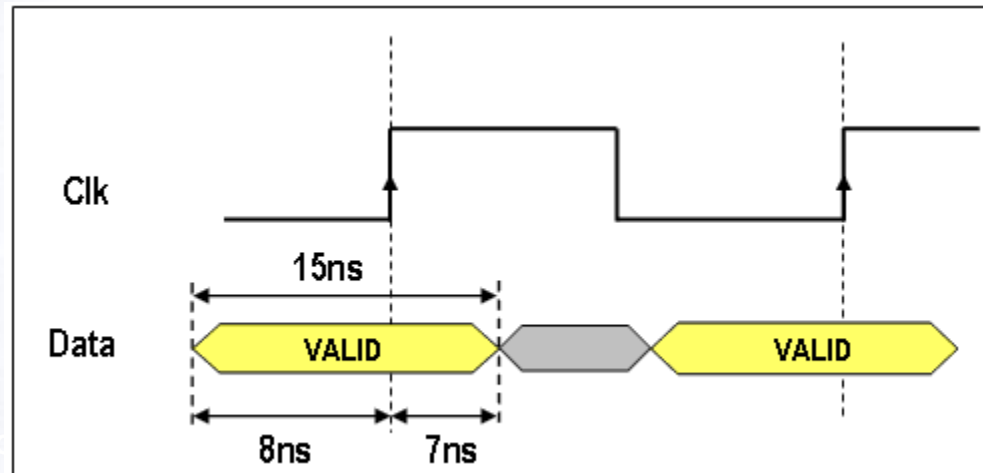


# Timing Analysis

*Analisi delle temporizzazioni di un circuito logico*

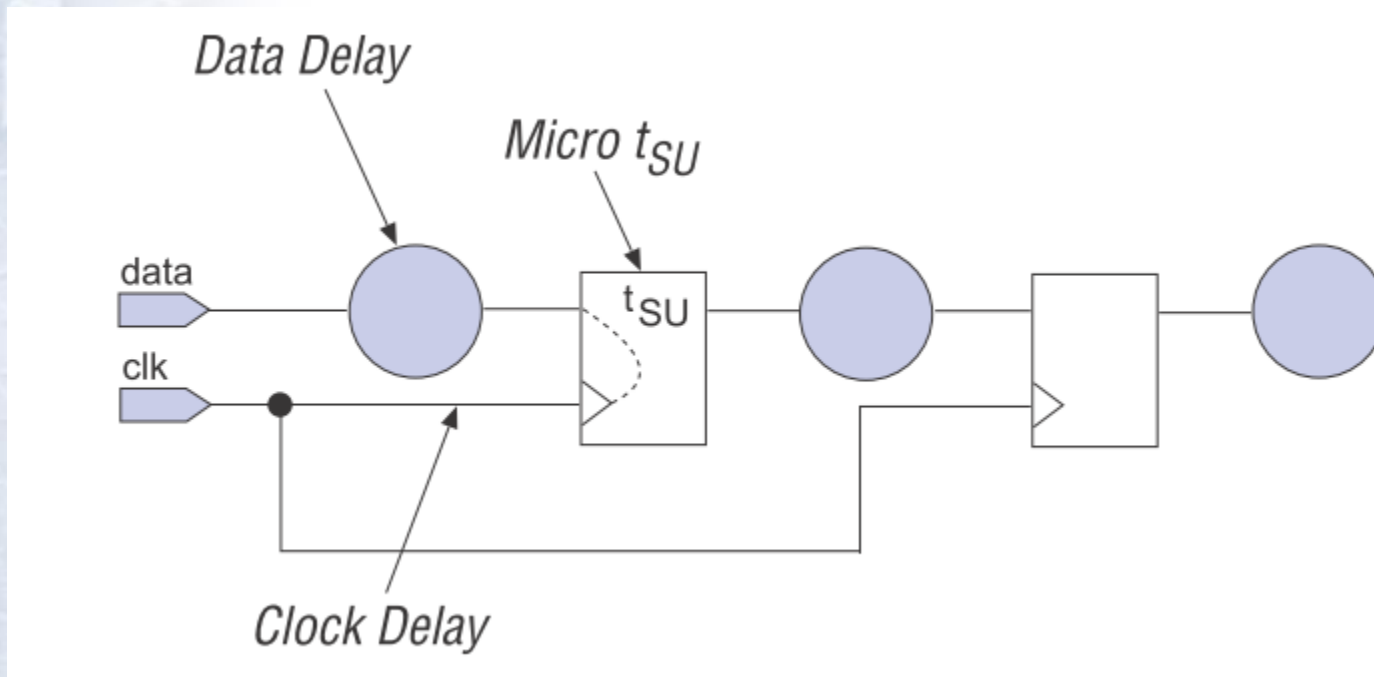
# Definizioni

- Per questioni fisiche legate al corretto funzionamento del dispositivo sincrono (FF) il dato deve essere stabile almeno da un certo tempo prima dell'arrivo del fronte del clock ed essere mantenuto almeno per un certo tempo dopo il fronte
  - $T_{su}$ : Set-Up time (nell'esempio =8ns)
  - $T_h$ : Hold Time (nell'esempio =7ns)



# Set-Up Time ( $t_{SU}$ )

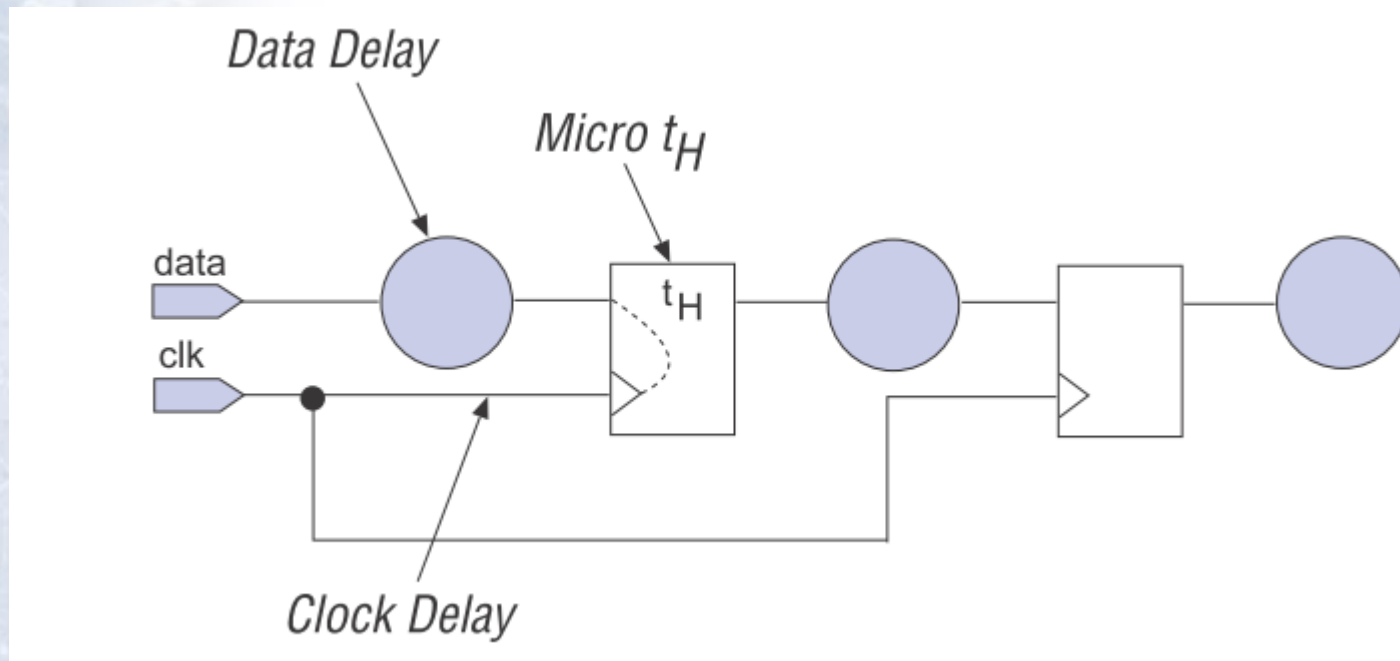
- Globalmente deve tener conto dei ritardi inerenti alla propagazione dei dati e del segnale di clock



$$t_{SU} = \text{Data Delay} - \text{Clock Delay} + \text{Micro } t_{SU}$$

# Hold Time (Th)

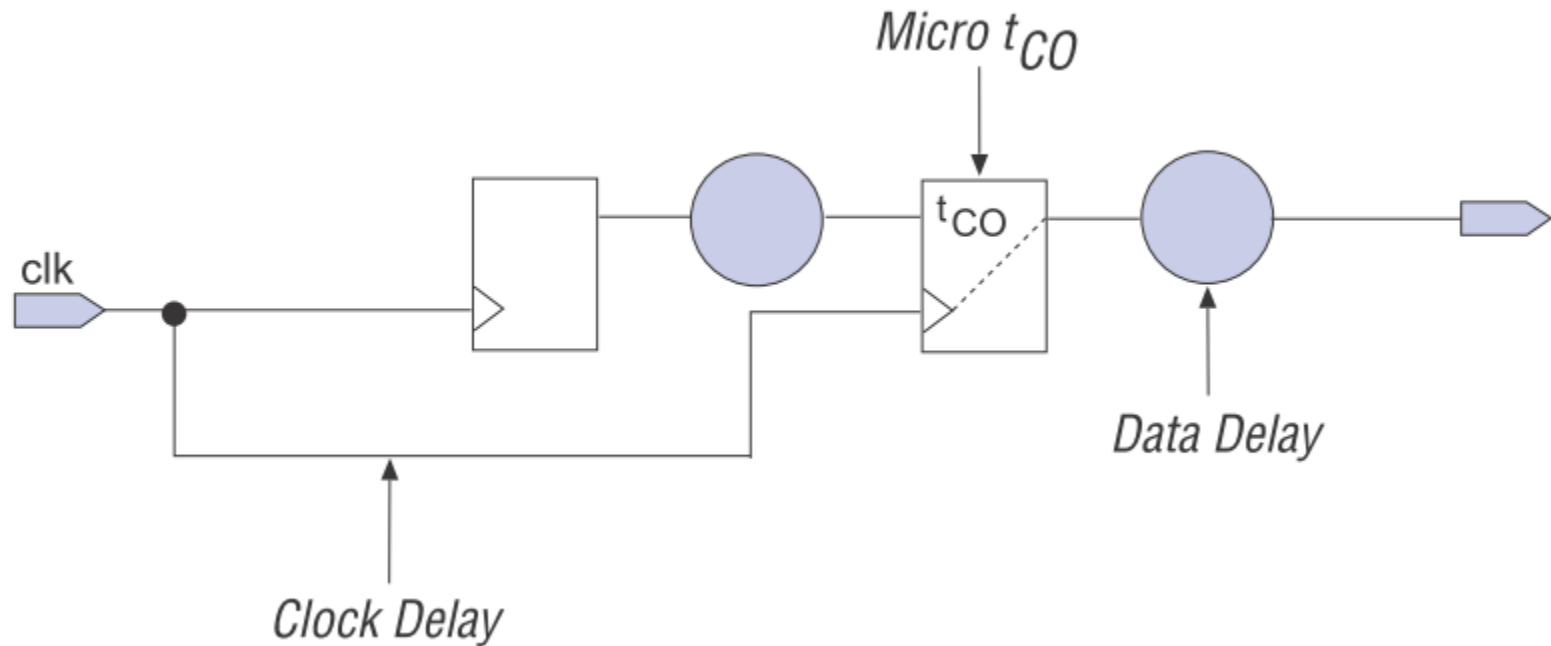
- Globalmente deve tener conto dei ritardi inerenti alla propagazione dei dati e del segnale di clock



$$t_H = \text{Clock Delay} - \text{Data Delay} + \text{Micro } t_H$$

# Clock to output delay (Tco)

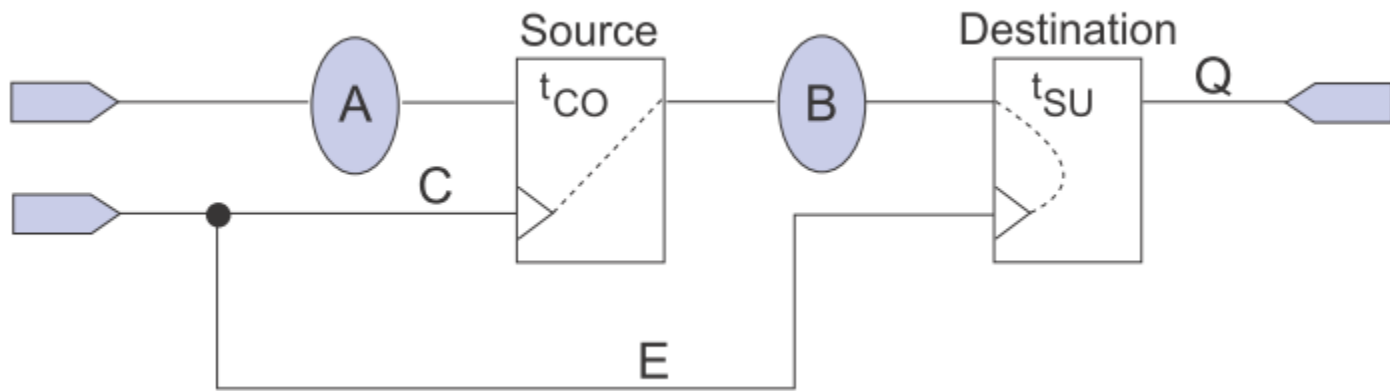
- Quanto tempo dopo il fronte del clock (di riferimento) il dato d'ingresso del FF viene trasferito all' uscita



$$t_{CO} = \text{Clock Delay} + \text{Micro } t_{CO} + \text{Data Delay}$$

# Massima freq. $f_{MAX}$ (interna)

- Clock Skew: differenza temporale tra il segnale di clock che arriva a due registri
- $T_{RD}$ : Register to register delay (B)



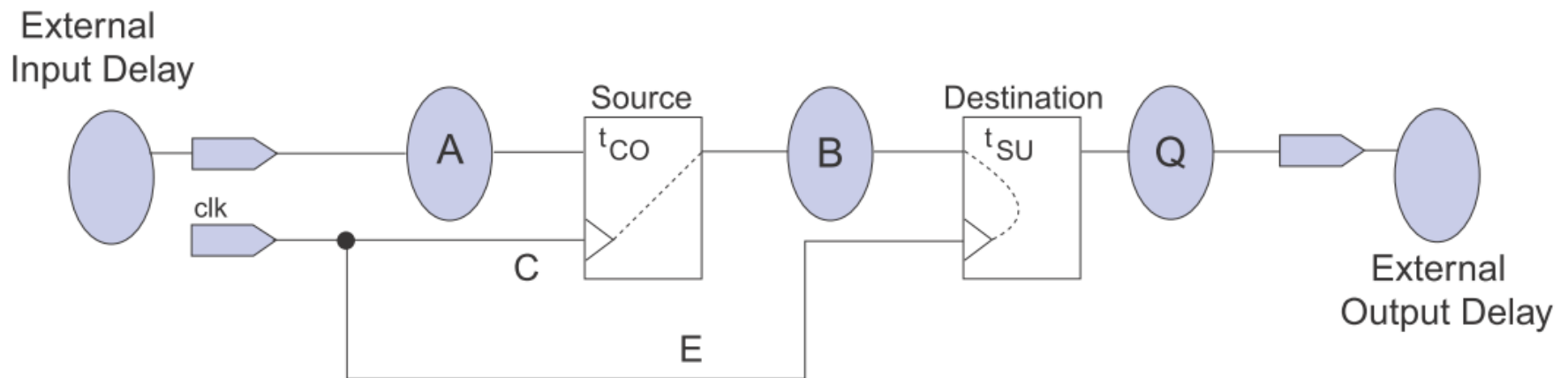
$\text{Clock period} = t_{RD} - \text{Clock Skew} + \text{Micro } t_{CO} + \text{Micro } t_{SU}$

$\text{Internal } f_{MAX} = 1 / \text{Clock Period}$

$$f_{MAX} = 1 / [B - (E - C) + \text{Source Micro } t_{CO} + \text{Destination Micro } t_{SU}]$$

# Massima freq. $f_{MAX}$ (esterna)

- Per correttezza bisognerebbe considerare anche i ritardi esterni con cui i dati vengono forniti ai FF



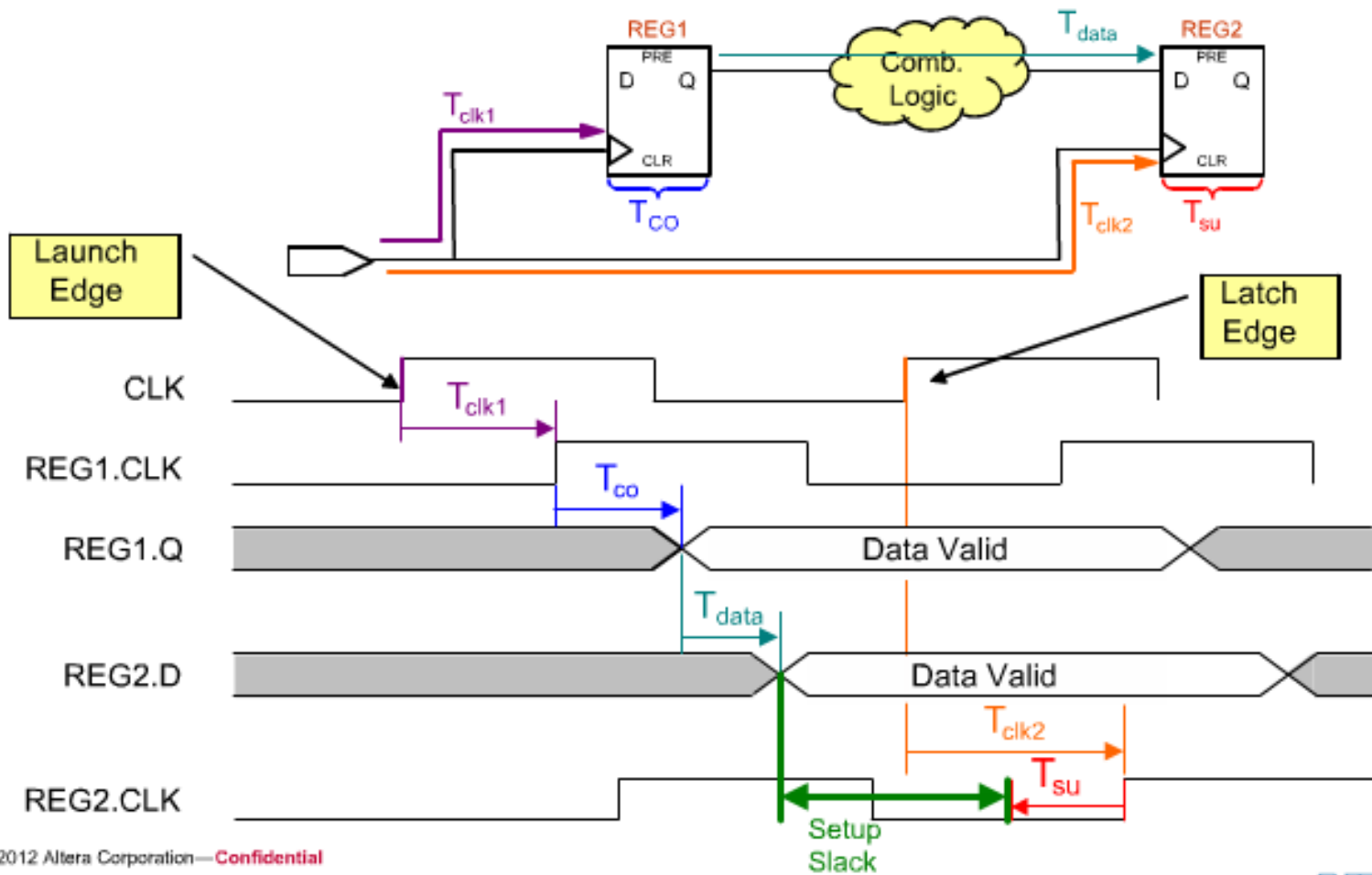
$$t_{SU} \text{ (source)} = \text{Input Clock Period} = \text{External Input Delay} + A - C + \text{Micro } t_{SU}$$

$$t_{CO} \text{ (destination)} = \text{Output Clock Period} = E + \text{Micro } t_{CO} + Q + \text{External Output Delay}$$

$$\text{System } f_{MAX} = 1 / [\text{MAX (Input Clock Period, Clock Period, Output Clock Period)}]$$

# Set-Up Slack

Rappresenta il margine con cui il vincolo è stato rispettato





# Hold Slack

