

Tutorial 1

Realizzazione di un semplice circuito logico su DE1

Descrizione: Si realizzi un semplice circuito logico su DE1 con ingressi pilotati dagli switches ed uscita su LED.

Scopo: familiarizzare col tool di sviluppo, con la scheda di sviluppo DE1, apprendimento dei passi fondamentali da seguire per portare a termine un progetto completo.

Apprendimento previsto:

- Primi rudimenti per navigare all'interno del tool quartus
- Compilazione di un progetto descritto in forma schematica
- Compilazione di un progetto descritto tramite HDL (Verilog o VHDL)
- Imposizione di alcuni vincoli realizzativi (Pin position)
- Simulazione e debugging del circuito (a diversi livelli di astrazione)
- Visualizzazione e verifica delle caratteristiche temporali (ritardi di propagazione)
- Visualizzazione del layout del circuito
- Download e running del circuito su scheda DE1

Procedimento

1. Fase introduttiva

Si apra il tool quartus o tramite icona sul desktop o dall'elenco dei programmi installati

Si crei un nuovo progetto o cliccando sull'apposito tasto oppure tramite

File > New Project Wizard

Si definisca

- il direttorio nel quale salvare i files di sistema (non si usino spazi – per cui evitare ad esempio direttori quali “My Documents”)
- il nome del progetto, e definire (provvisoriamente)
- il nome del blocco più alto in graduatoria del progetto (top level devign entity) – tipicamente questo prende il nome stesso del progetto e comunque può essere modificato in seguito.
- Next

Ove si volessero importate files già scritti si può agire su questa pagina (in questo caso si può passare alla pagina successiva (Next)

Si definisca il dispositivo (FPGA) per il quale sviluppare l'intero progetto. Ovviamente il progetto stesso, le risorse disponibili e la struttura stessa dipendono dal dispositivo utilizzato – esistono centinaia di FPGA diverse per famiglia, caratteristiche, prestazioni, piedinatura ecc. E FONDAMENTALE scegliere l'FPGA corretta. Nel nostro caso sulla DE1 è montata una

Altera – Ciclone II – EP2C20F484C7N

La tabella consente di paragonare le prestazioni dei vari dispositivi (celle logiche, memoria a disposizione, moltiplicatori integrati, PLL, risorse di I/O, linee di clock dedicato) ... questo può essere utile laddove non sia stata definita ancora il dispositivo sul quale realizzare il sistema. (Next)

In questa pagina si possono fissare programmi di terze parti da usare per la sintesi, la simulazione e l'analisi temporale. In questo caso si lasci il default. (Next)

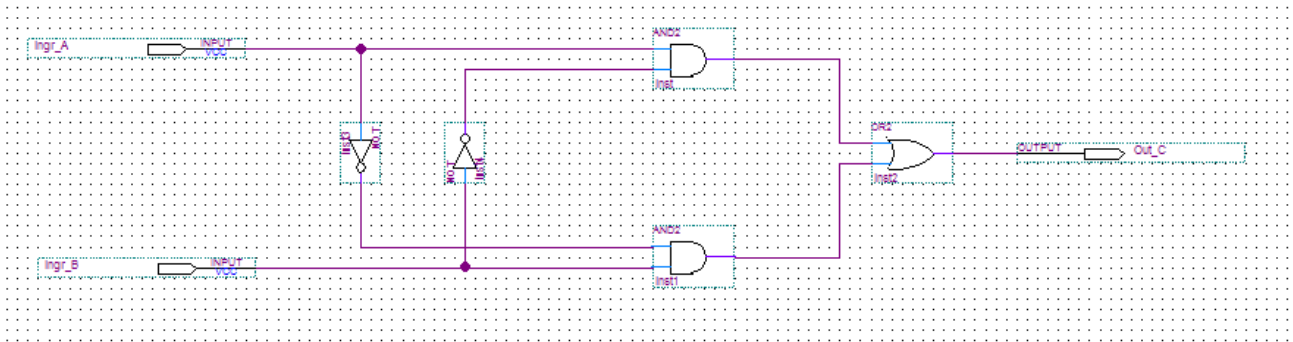
Una pagina riassuntiva elenca le scelte fatte, verificarne la coerenza (Finish)

2. Definizione dell'architettura sistema (Tramite schematico)

File > New

Block Diagram / Schematic file (OK)

Nella nuova pagina grafica che compare, tracciare lo schematico del sistema da realizzare simile a quanto riportato in figura



In particolare:

- prendere visione delle diverse porte logiche e strutture hardware disponibili suddivise tra
 - Megafunctions: funzioni complesse ad alto livello di astrazione (verranno utilizzate in seguito)
 - Others: funzioni particolari legate ad una particolare famiglia di FPGA
 - Primitives: funzioni generiche
- analizzare le varie opzioni grafiche disponibili (ad esempio quella di poter modificare la posizione dei gate mantenendo inalterati i collegamenti)
- dare un nome mnemonico alle varie porte logiche e soprattutto ai pin di ingresso ed uscita.
NOTA BENE: utilizzare dei nomi abbastanza specifici ed evitare possibili parole "riservate" quali ad esempio: "in", "out", "inout", "and", "inv", ..., così come parole magari più improbabili come "for", "while", "goto" ecc. ecc.

Si verifichi la correttezza del circuito attraverso un processo di analisi.

Processing > Start > Analysis and Elaboration

Si correggano eventuali errori (un doppio click sul messaggio d'errore aiuta ad evidenziare la parte interessata)

3. Simulazione funzionale

Creare un file di stimoli :

File > New
Vector waveform file (OK)

(si apre la finestra ove definire gli stimoli)

Definire quali segnali debbano essere monitorati:

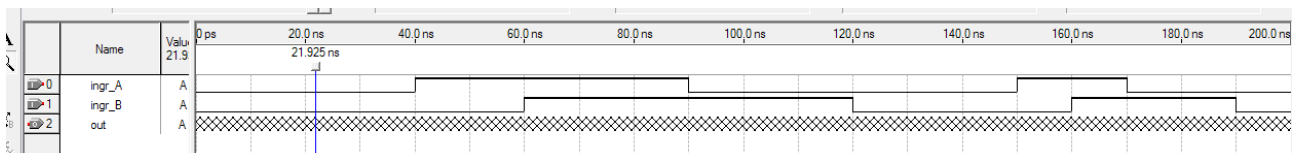
Edit > Insert > Insert Node or Bus
Clk on Node Finder
Filters: Pin:all
Clk on List
Clk on >>
OK
OK

Definire la scala dei tempi

Edit > End Time
Configurare a 200 ns

OK

Utilizzando il tool grafico definire le f.d.o. degli stimoli



Salvare il file di stimoli

File > Save
Dare un nome opportuno o lasciare il nome di default)

OK

Definire la tipologia di simulazione

Assignments > Settings (ctrl-shift-E)
Sel: Simulator Settings
Simulation mode: Functional
Simulation input: (il file salvato al passo precedente)
OK

Simulazione

Processing > Generate Functional Simulation Netlist
Processing > Start Simulation (ctrl - I)
Verificare le f.d.o in uscita e la loro congruenza.

4. Definizione dei vincoli

Al momento ci si limiterà a fissare dei semplici vincoli di posizionamento per i pin di ingresso e di uscita, onde fare in modo che gli ingressi siano associati rispettivamente agli switches 0 e 1 e che l'uscita sia collegata al led rosso numero 0.

Dal manuale utente della DE1 si evince che SW[0] è collegato al piedino PIN_L22, mentre SW[1] è collegato al piedino PIN_L21. Inoltre il LEDR0 è collegato a PINR20. Si tratta pertanto di associare queste posizioni ai piedini di ingresso e di uscita del nostro circuito (provare eventualmente altre associazioni, ma sempre col vincolo che **gli swithes possono essere impiegati esclusivamente come ingressi**).

Assignments > Assignments Editor (ctrl-shift-A)
Editare opportunamente la tabella come da figura:

	To	Location	I/O Bank	I/O Standard	General Function	Special Function	Reserved	Enabled
1	Ingr_A	PIN_L22	5	3.3-V LVTTL	Dedicated Clock	CLK4, LVDSCLK2p, In...		Yes
2	Ingr_B	PIN_L21	5	3.3-V LVTTL	Dedicated Clock	CLK5, LVDSCLK2n, In...		Yes
3	out_C	PIN_R20	6	3.3-V LVTTL	Row I/O	VREFB6N0		Yes
4	<<new>>	<<new>>						

Salvare il file di vincoli

File > Save

Nota1: analogo risultato è ottenibile anche adottando il tool "pin planner" che presenta una veste più grafica.

Assignments > Pin Planner (ctrl-Shift-N)

Nota2: Un altro modo più comodo per l'assegnazione dei vincoli di piedinatura (utile quando il numero di piedini da assegnare è elevato) è quello di realizzare in un text editor un file testuale con estensione .csv (comma values spaced) ove i singoli valori sono separati da una virgola;

per esempio

```
To, Location  
SW[0], PIN_L22  
SW[1], PIN_L21  
LEDR[0], PIN_R20
```

Ed importarlo nel progetto mediante

```
Assignments > Import Assignments
```

5. Compilazione completa del progetto

A questo punto si può procedere con la compilazione completa del progetto. Questa prevede diversi passi “analisi”, “sintesi”, “Place & Route”, “Generate programming file”, “timing analysis”, ecc. ecc. che però vengono automaticamente svolti in sequenza:

```
Processing > Start Compilation (ctrl-L).
```

6. Simulazione temporale:

A questo punto il circuito è completamente realizzato e perfettamente definito in tutte le sue funzionalità ed in tutti i suoi ritardi strutturali, si può pertanto effettuare una simulazione a più basso livello di astrazione che tenga conto anche di queste peculiarità.

Si modifichino la tipologia di simulazione

```
Assignments > Settings (ctrl-shift-E)  
Sel: Simulator Settings  
Simulation mode: Temporal  
Simulation input: (utilizzare lo stesso file di vincoli impiegato  
precedentemente)  
OK
```

Simulazione

```
Processing > Start Simulation (ctrl - I)
```

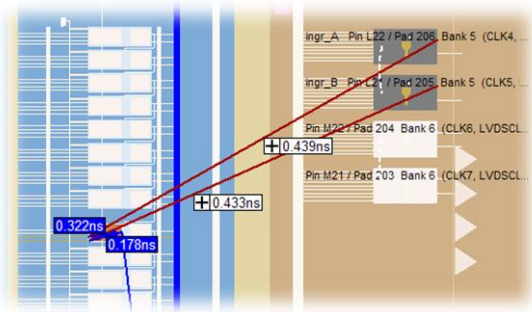
Verificare le f.d.o in uscita, la loro congruenza e soprattutto i ritardi rispetto gli stimoli di ingresso.

7. Visualizzazione del layout del circuito:

```
Tools > Chip Planners
```

Utilizzare lo zoom per evidenziare piccole parti del circuito e tramite doppio click sulla sincola cella evidenziarne la configurazione specifica.

Evidenziare in particolare le LE coinvolte dal progetto, i loro collegamenti, Le porte di I/O interessate, i ritardi di propagazione.



8. Visualizzazione ed analisi dei vari report di processo:

Molto probabilmente la finestra contenente tutti i reports di processo dovrebbe essere già aperta, altrimenti si può richiamare con

Processing > Compilation Reports (ctrl-R)

I vari reports sono organizzati per sezioni così come lo sono le varie fasi del processo di compilazione. Analizzarli nel dettaglio, in particolare soffermarsi sulle risorse impiegate all'interno dell'FPGA

Analysis & Settings > Resources Usage Summary

sulla congruenza della piedinatura

Fitter > Pin-out File

e sui ritardi previsti

Timing Analyzer > tpd

Timing Analyzer > Summary

9. Test su Scheda

Giunti a questo punto non rimane che scaricare il bitstream (che contiene tutte le informazioni sulla configurazione dell'FPGA) sulla FPGA medesima

- Verificare che il microswitch SW12 sia nella posizione RUN
- Collegare il cavo di download USB
- Alimentare la DE1

Dopo un istante la scheda si configurerà in base al file di configurazione residente nella flash.

Tool > Programmer

Eventualmente - Click on "Hardware setup" e scegliere USB-Blaster
Eventualmente - evidenziare con un click il file ".sof" da utilizzare
Click on Start

Verificare il corretto funzionamento del sistema

10. Descrizione mediante HDL

Un altro metodo molto più utilizzato per descrivere sistemi digitali è quello di utilizzare linguaggi di descrizione hardware (HDL). Fra questi i più comuni sono Verilog HDL e VHDL.

Per descrivere un sistema in HDL:

File > New
Verilog HDL File -oppure- VHDL File

A questo punto si apre una finestra di testo per descrivere il sistema in oggetto. Molto utile può essere in questo caso l'utilizzo dei "template"

Edit > Insert Template

Una descrizione del progetto più sopra riportato utilizzando il Verilog HDL potrebbe essere la seguente:

```
module tutorial1_verilog(ingr_A,ingr_B,out_C);  
  
    input ingr_A,ingr_B;  
    output out_C;  
    wire notA,notB,t1,t2,out_C;  
  
    assign notA = ! ingr_A;  
    assign notB = ! ingr_B;  
    assign t1 = ingr_A & notB;  
    assign t2 = ingr_B & notA;  
    assign out_C = t1 | t2;  
  
endmodule
```

Salvare il file con un nome appropriato (ad esempio lo stesso del "module")

A questo punto nel progetto vi sono due descrizioni dello stesso oggetto, si deve evidenziare a quale si vuole fare riferimento per procedere. Per selezionare la descrizione adatta

- Andare nella finestra Project navigator

Ove questa non fosse già aperta aprirla tramite

View > Utility Windows > project Navigator (Alt-0)

- Selezionare il tab "Files"
- Right-click sul file appena salvato
- Selezionare "Set as Top Level Entity"

Se si sono mantenuti I medesimi nomi per le porte di ingresso e di uscita si possono utilizzare le medesime procedure descritte sopra (senza dover re-impostare il file di stimoli ed il file di vincoli) per:

- Effettuare una simulazione funzionale
- Compilare il nuovo sistema
- Effettuare una simulazione temporale
- Visualizzare il floorplanning
- Visualizzare i vincoli
- Effettuare il download su scheda

Altrimenti bisogna creare nuovi files che rispecchino i nuovi nomi assunti dalle porte.