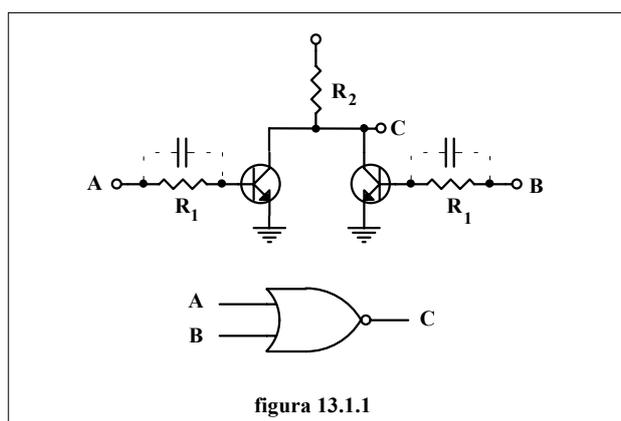


CAPITOLO XIII LE FAMIGLIE LOGICHE

13.1) La famiglia RTL.

I circuiti logici RTL sono stati storicamente i primi ad esser stati fabbricati ed usano solo transistori e resistenze per realizzare il circuito base della famiglia. Un tipico circuito RTL e' riportato in fig. 13.1.1 e realizza in logica positiva la funzione NOR.



Nelle prime realizzazioni la tensione di alimentazione era compresa tra 3.0 e 3.6 volt e i valori circuitali erano:

$$R_1 = 450 \text{ ohm} \quad R_2 = 640 \text{ ohm}$$

I tempi di propagazione erano abbastanza buoni, aggirandosi sui 12 nsec; la dissipazione non eccessiva, essendo di circa 10 mW per gate.

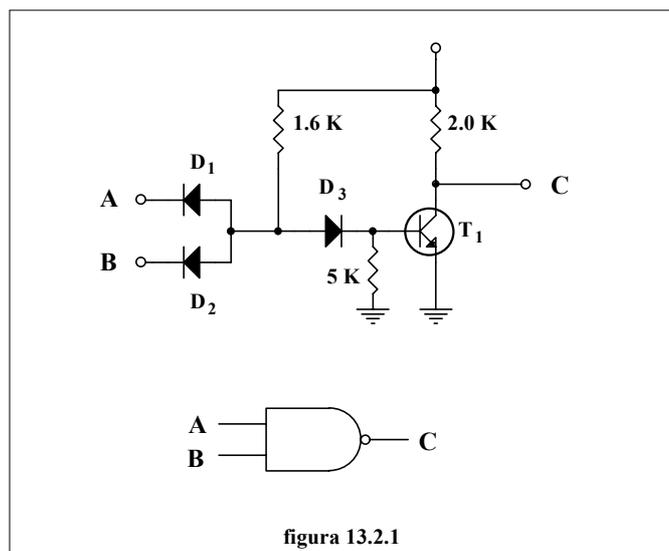
Quali aspetti negativi possono essere citati la bassa escursione del segnale, la non eccezionale immunita' al rumore, il basso fan-out (max. 5) e il basso fan-in (max. 4).

In verita' da questo circuito base sono state sviluppate molte versioni modificate, di cui le piu' importanti sono la DCTL (direct coupled transistor logic), logica ad accoppiamento diretto, senza resistenza di base, e la RCTL, in cui l'accoppiamento e' di tipo RC, tale da accelerare la commutazione, come illustrato a tratteggio in fig. 13.1.1.

I ritardi di propagazione sono comunque sempre rimasti compresi tra i 10 e i 30 nsec per i gate e tra 20 e 50 nsec per i flip - flop, le dissipazioni tra i 10 e i 25 mW.

13.2) La famiglia DTL.

La logica a diodi e transistori e' una delle piu' anziane, ma a differenza di quanto e' accaduto con altre famiglie, quali ad esempio la RTL, l'introduzione di componenti piu' moderni non l'ha fatta scomparire del tutto. Parecchie generazioni DTL si sono succedute e per un certo periodo questa e' stata la famiglia piu' popolare. Da essa e' derivata tuttavia la famiglia TTL e, alla luce delle migliori prestazioni di quest'ultima, la logica DTL non e' piu' stata usata nei nuovi progetti. D'altra parte, a causa della compatibilita' dei livelli logici e della tensione di alimentazione, si trovano ancora circuiti in cui coesistono le due famiglie. Il circuito base e' illustrato in fig. 13.2.1 e realizza in logica positiva la funzione logica NAND.



Se ambedue gli ingressi A e B sono al livello alto, i diodi D_1 e D_2 sono interdetti. Il diodo D_3 e' invece polarizzato direttamente e fa si' che T_1 si porti in saturazione. Se invece almeno uno dei due ingressi si porta a livello basso, il corrispondente diodo passa in conduzione e drena verso massa la corrente che circola sul resistore da 1.6 Kohm, facendo interdire T_1 . Il diodo D_3 ha lo scopo di compensare le cadute su D_1 e D_2 quando sono in conduzione, in modo da assicurare buone condizioni di funzionamento all'interdizione.

La tensione di alimentazione nominale per la logica DTL e' 5 V e i livelli logici sono:

$$\begin{array}{ll} V_{OL} = 0.6 \text{ V} & V_{OH} = 2.6 \text{ V} \\ V_{IL} = 1.3 \text{ V} & V_{IH} = 1.8 \text{ V} \end{array}$$

Pertanto i margini di rumore apparente sono:

$$N_H = 0.8 \text{ V} \qquad N_L = 0.7 \text{ V}$$

e possono essere considerati discreti. Il fan-out medio della famiglia e' 8, anche se di essa fanno parte particolari gate ad alto fan-out (30).

La dissipazione si aggira sui 5 mW per gate nel caso normale, e sui 20 mW nel caso di gate ad alto fan-out. Il ritardo di propagazione e' mediamente 15 - 20 nsec. Infine, data la struttura degli stadi di uscita, e' ammesso il wired-or.

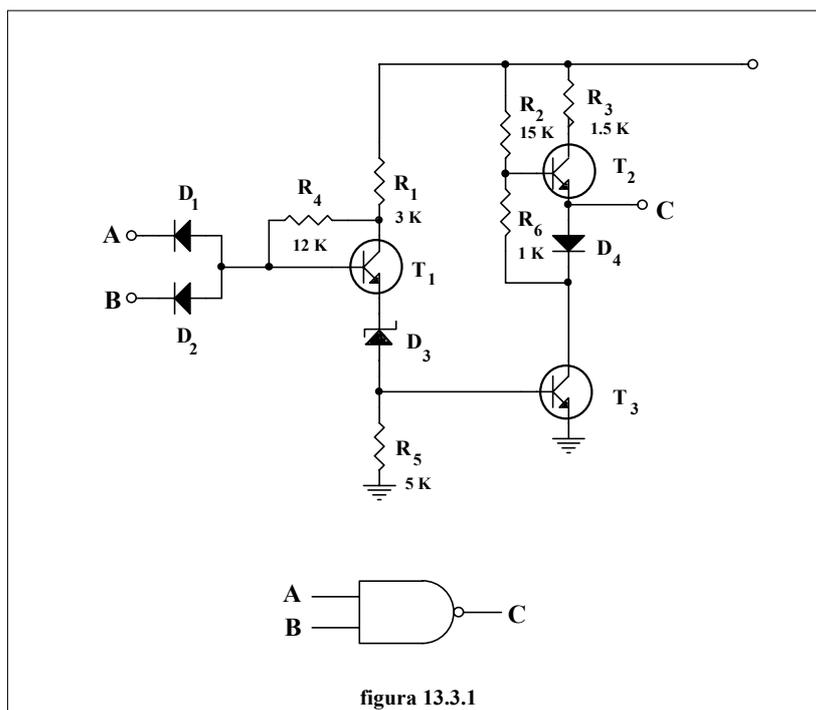
13.3) La famiglia HTL.

La famiglia logica ad alta immunita'(high threshold logic) e' una famiglia sviluppata per impieghi particolari. La sua principale caratteristica e' un'elevata immunita' al rumore e per tale motivo viene impiegata in ambienti industriali dove dispositivi elettromeccanici possono dar luogo a transienti di tensione di ampiezza elevata. Il circuito fondamentale di un elemento HTL e' illustrato in fig. 13.3.1 e ricorda molto da vicino la struttura degli elementi DTL. Ci sono tuttavia da notare i valori relativamente elevati di R_1 , R_2 , R_3 e il valore nominale della tensione di alimentazione che e' di 15 V.

Il diodo zener fa salire la soglia di commutazione a circa 7 volt. Più esattamente i livelli garantiti di ingresso e di uscita sono:

$$\begin{aligned} V_{OL} &= 1.5 \text{ V} & V_{OH} &= 12.5 \text{ V} \\ V_{IL} &= 6 \text{ V} & V_{IH} &= 8 \text{ V} \end{aligned}$$

Il margine di rumore, sia allo stato alto che allo stato basso, è quindi di 4.5 volt. Il fan-out tipico della famiglia è 10, la dissipazione si aggira sui 30 mW per gate.



I tempi di propagazione non sono ovviamente dei migliori; sono anzi in assoluto i maggiori tra tutti quelli delle famiglie logiche, potendo giungere fino a 150 nsec. Tale fatto d'altra parte non può essere considerato un dato del tutto negativo in quanto migliora le caratteristiche di immunità al rumore in corrente alternata.

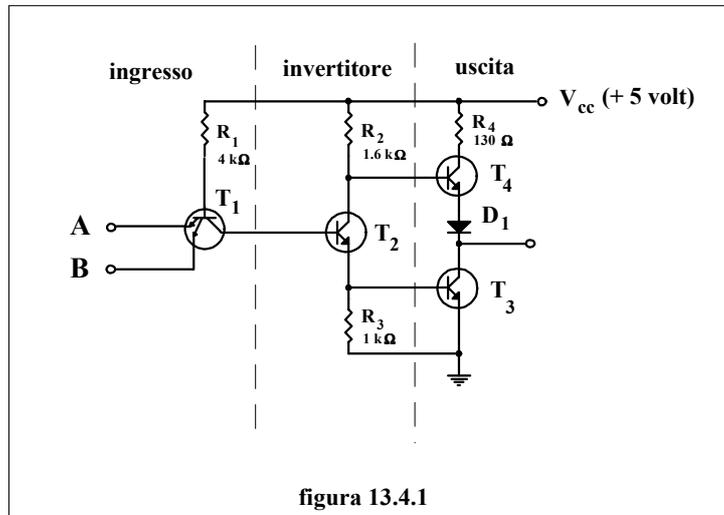
13.4) La famiglia TTL.

La famiglia TTL è, assieme alla CMOS, quella più largamente usata al giorno d'oggi. Tutti i principali fabbricanti hanno oggi una linea di produzione TTL, che comprende, oltre alla famiglia TTL standard, tutta una serie di sottofamiglie, ciascuna delle quali ottimizza una particolare caratteristica.

13.4.1) La sottofamiglia TTL standard.

In fig. 13.4.1 è riportato il circuito dell'elemento fondamentale TTL, che in logica positiva realizza la funzione logica NAND. Esso opera con una singola alimentazione di 5 volt.

L'elemento standard è compatibile con qualsiasi altro elemento appartenente alle sottofamiglie e con gli elementi della logica DTL.



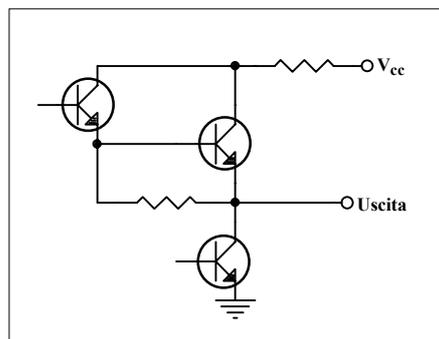
Il ritardo di propagazione e' compreso tra 5 e 10 nanosecondi, la dissipazione e' di 10 mW per gate, mentre la massima frequenza operativa si aggira sui 35 MHz.

Il circuito puo' essere funzionalmente suddiviso in tre parti: uno stadio di ingresso associato ad un transistor multiemettitore, un invertitore di fase e uno stadio di uscita atto ad ottenere i livelli di tensione e di impedenza stabiliti in sede di progetto. Spesso tra gli ingressi e la massa sono connessi dei diodi di protezione con la funzione di tosare eventuali segnali negativi applicati all'ingresso.

Quando l'uno o l'altro dei due ingressi e' al livello basso il transistor T_1 diviene conduttore e di conseguenza nessuna corrente circola nella base di T_2 . T_2 pertanto e' interdetto; la sua tensione di collettore coincide in pratica con la tensione di alimentazione, mentre la sua tensione di emettitore e' in pratica nulla. In tale situazione T_4 passa in conduzione, T_3 si interdice e l'uscita si porta a livello alto.

Nella pratica lo stadio di uscita puo' assumere diverse configurazioni, ciascuna delle quali offre vantaggi e svantaggi. Le principali tra queste configurazioni sono:

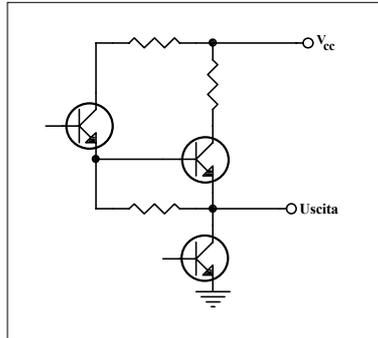
1) USCITA DARLINGTON



Quali vantaggi si possono citare l'attitudine a pilotare carichi capacitivi, le piccole dimensioni e l'alto valore di $V_{OH} = V_{CC} - V_{BE}$.

Un grosso svantaggio risiede nel fatto che in uscita non possono essere applicate tensioni superiori a V_{CC} pena gravi danni al circuito.

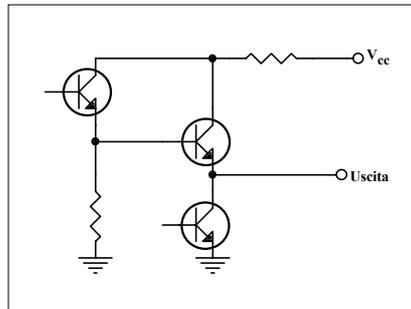
2) USCITA A EMITTER FOLLOWER A 2 STADI



Vantaggi: Alti pilotaggi in a.c., $V_{OH} = V_{CC} - V_{BE}$ a $I_{uscita} = 0$.

Svantaggi: Dimensioni maggiori che non nel caso precedente. Impossibilita' di applicare in uscita tensioni superiori a V_{cc} .

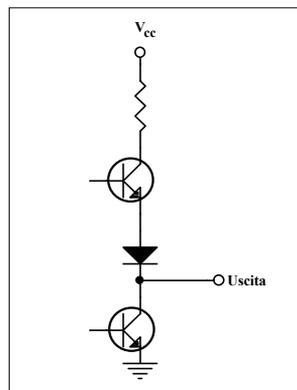
3) DARLINGTON CON RESISTORE RIFERITO A MASSA



Vantaggi: Possibilita' di alti pilotaggi in a.c. Maggior velocita' che non nei casi precedenti. Possibilita' di spingere l'uscita piu' in alto di V_{CC} .

Svantaggi: V_{OH} minore. Dissipazione piu' elevata. Minore immunita' al rumore allo stato alto.

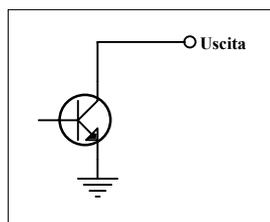
4) USCITA A TRANSISTORE - DIODO



Vantaggi: Minore dissipazione. Piccole dimensioni. L'uscita puo' essere spinta piu' in alto di V_{CC} .

Svantaggi: Scarsa possibilita' di pilotaggio in corrente alternata.

5) COLLETTORE APERTO



Vantaggi: Possibilità di eseguire il wired-or e il collegamento a bus.

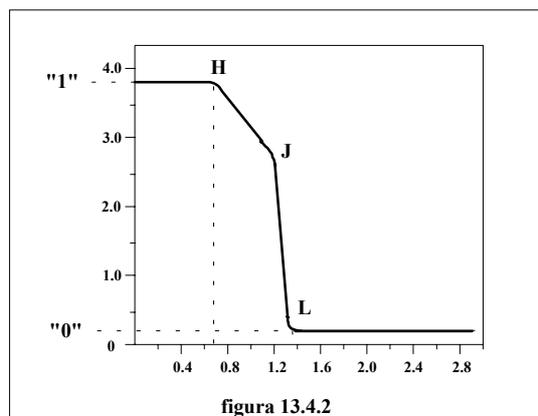
Svantaggi: Impedenza di uscita allo stato alto elevata. Bassa velocità, in particolare con carichi capacitivi. Necessità di una resistenza esterna.

A qualsiasi tipo di uscita può essere aggiunta una resistenza esterna di "pull-up", connessa tra uscita e V_{CC} in modo da far avvicinare la tensione di uscita allo stato alto a quella di alimentazione. Tuttavia solo i circuiti 3,4,5 possono essere spinti più in alto della tensione di alimentazione. Le configurazioni 1 e 2 infatti portano il segnale ad una tensione appena superiore a V_{CC} , in quanto, come detto in precedenza, alla resistenza connessa all'uscita è sempre associato un diodo parassita verso il substrato. Questo fatto diviene notevolmente importante nei sistemi di grandi dimensioni, in cui varie sezioni sono alimentate separatamente, con la possibilità che mentre certe parti del circuito si trovano ad una tensione $V_{CC} = 0$ altre siano alimentate normalmente. In queste condizioni le uscite dei circuiti 1 e 2 costituiscono una via ad impedenza molto bassa anche per tensioni inferiori al volt, mentre quelle dei circuiti 3,4,5 sono ad alta impedenza, consentendo l'isolamento dal resto del sistema.

Nei dispositivi più moderni esistono strutture di uscita più sofisticate che permettono di migliorare le caratteristiche di trasferimento aumentando nel contempo l'immunità al rumore e la velocità operativa.

13.4.2) Caratteristica di trasferimento.

In fig. 13.4.2 è riportato il grafico della tensione di uscita in funzione della tensione di ingresso, cioè la caratteristica di trasferimento, in condizioni statiche.



È importante notare che la curva di trasferimento varia in modo non trascurabile con la temperatura, la tensione di alimentazione e il carico. La curva illustrata si riferisce ad una temperatura di 35 gradi, ad una tensione d'alimentazione di 5 volt e ad un fan-out pari a 10.

Con riferimento alla fig. 13.4.1, l'analisi puo' essere condotta pensando di riunire i due ingressi A e B. Man mano che la tensione applicata cresce, a partire da 0 volt, la corrente di base di T_1 viene gradualmente deviata dagli emettitori al collettore; di conseguenza T_2 inizia a condurre. La tensione di ingresso alla quale T_2 esce dall'interdizione e' compresa tra 0.7 e 0.8 volt (punto H della caratteristica).

Dal punto H al punto J il transistor T_2 opera in regime lineare, con un guadagno di tensione determinato dal rapporto tra il resistore di collettore e quello di emettitore. La tensione di base di T_4 gradualmente diminuisce portando il transistor verso l'interdizione. In definitiva nel tratto H-J l'uscita ripete l'andamento della tensione di collettore di T_2 , in quanto T_4 funziona da inseguitore.

Arrivati al punto J comincia a condurre il transistor T_3 , aprendo una via a bassa impedenza verso massa per la corrente di emettitore di T_2 ; come risultato aumentano il guadagno di tensione di T_4 e la pendenza della caratteristica.

Tra i punti J e L i transistori T_2 , T_3 e T_4 conducono contemporaneamente; solo al punto L T_4 si interdice. A tale istante la tensione di uscita e' approssimativamente pari a 0.2 volt e la transizione dallo stato alto a quello basso e' completata.

Da quanto esposto si possono trarre due importanti considerazioni. La prima e' che nel tratto J-L vi e' un percorso a bassa impedenza tra V_{CC} e massa, formato da R_4 , T_4 , D_1 , T_3 , sede di una corrente non trascurabile. E' questo uno degli svantaggi della famiglia TTL, in quanto durante il funzionamento si hanno degli impulsi di corrente, che, oltre ad aumentare la potenza dissipata al crescere della frequenza, sono una sorgente di rumore che puo' interferire con il normale funzionamento del circuito. La seconda considerazione e' che durante il funzionamento tutti i transistori, con l'eccezione di T_4 , passano dall'interdizione alla saturazione e viceversa, limitando pertanto, come avviene in ogni logica saturata, la velocita' operativa.

13.4.3) Tensioni e correnti di ingresso e di uscita.

La caratteristica di trasferimento esaminata al paragrafo precedente fornisce alcune interessanti informazioni sul valore delle tensioni di ingresso e di uscita nei due stati.

Dalla curva di fig. 13.4.2 si puo' vedere che se gli ingressi sono pilotati ad una tensione superiore a 0.8 volt il circuito inizia a commutare verso l'uscita logica 0. In modo del tutto simile, se uno qualsiasi degli ingressi scende ad una tensione inferiore a 1.4 volt l'uscita inizia a commutare verso il valore logico 1. In prima approssimazione si potrebbe quindi affermare che se l'ingresso e' mantenuto al di fuori della zona compresa tra 0.8 e 1.4 volt, l'uscita del gate definisce senza ambiguita' i valori logici 1 e 0. La precisa definizione dei valori limite e' tuttavia complicata dal fatto che la curva varia con la temperatura, la tensione di alimentazione e il fan - out.

Per tale ragione e' prassi comune che i costruttori di circuiti integrati garantiscano i valori massimi e minimi delle tensioni di ingresso e di uscita nelle peggiori condizioni di funzionamento. E' stato gia' chiarito in precedenza il significato di tali tensioni, che per la famiglia TTL standard valgono:

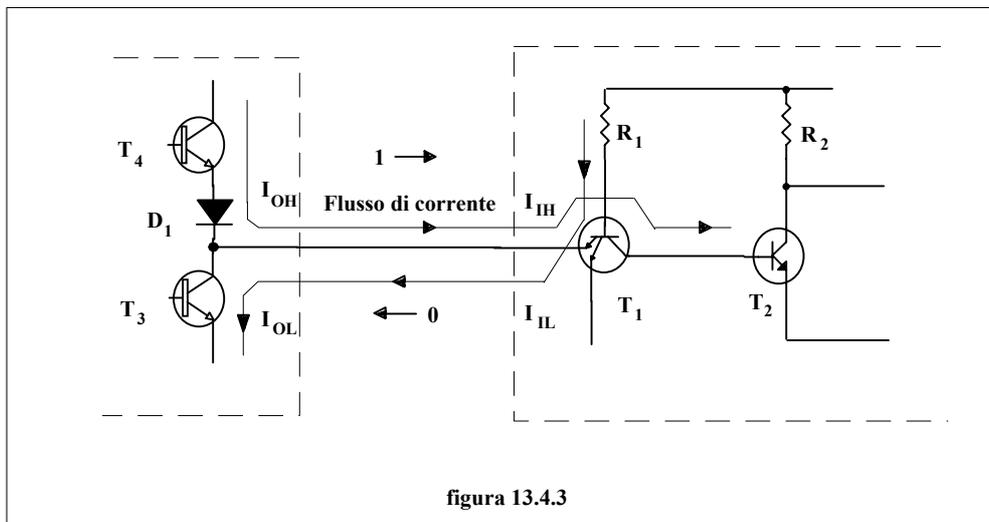
$$\begin{array}{ll} V_{IH} = 2 \text{ volt} & V_{IL} = 0.8 \text{ volt} \\ V_{OH} = 2.4 \text{ volt} & V_{OL} = 0.4 \text{ volt} \end{array}$$

Ugualmente importanti sono le correnti che entrano o escono da un elemento logico nei due stati.

La fig. 13.4.3 mostra il flusso di corrente attraverso gli ingressi e l'uscita di due porte NAND nelle due possibili condizioni di lavoro. Quando l'uscita della porta 1 e' allo stato alto la corrente circola dal transistor T_4 della porta 1 verso l'emettitore di T_1 della porta 2. Quando la porta 1 e' nello stato basso la corrente circola dall'emettitore di T_1 della porta 2 all'emettitore di T_3 della porta 1.

La corrente di ingresso allo stato alto e' garantita inferiore a 40 microampere, valore trascurabile nel determinare il fan-out, mentre la corrente erogata dall'ingresso allo stato basso e' garantita inferiore a 1.6 milliampere e deve richiudersi a massa attraverso T_3 .

Pertanto, affinche' sia assicurato un fan-out pari a 10, T_3 deve poter assorbire una corrente di 16 milliampere senza che la sua tensione di saturazione V_{CES} salga a valori al di sopra di $V_{OL} = 0.4$ volt.



In definitiva si ha:

$$I_{IH} < 40 \text{ mA}$$

intendendo con I_{IH} la corrente che fluisce in un ingresso quando ad esso e' applicata una tensione $V_i \geq 2$ volt.

$$I_{IL} < 1.6 \text{ mA}$$

I_{IL} e' la corrente che esce da un ingresso quando ad esso e' applicato un livello logico 0, cioe' una tensione di ingresso inferiore a 0.8 volt.

$$I_{OH} \geq 0.4 \text{ mA}$$

dove I_{OH} e' la corrente che puo' essere fornita dall'uscita a livello logico alto senza che la sua tensione scenda al di sotto di $V_{OH} = 2.4$ volt. Il valore relativo all'uguaglianza e' il minimo necessario a garantire un fan-out pari a 10.

Sempre per garantire un fan-out pari a 10 e' necessario che :

$$I_{OL} \geq 16 \text{ mA}$$

intendendo ovviamente, come già è stato detto, che I_{OL} sia la corrente che può essere iniettata nell'uscita allo stato basso senza che la tensione di uscita salga al di sopra di 0.4 volt.

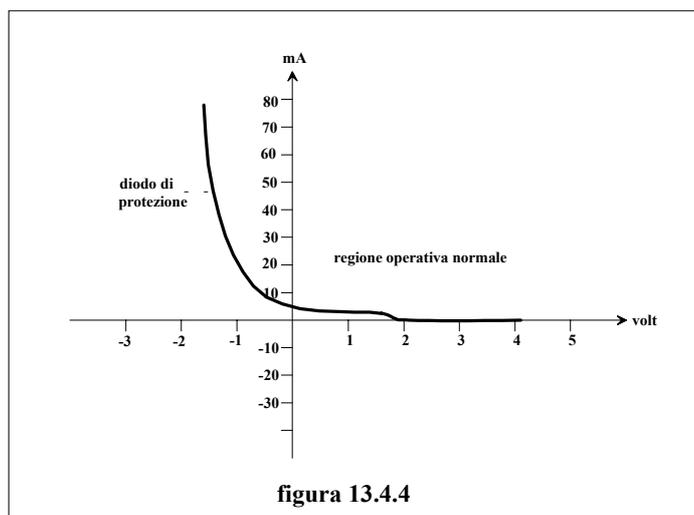


figura 13.4.4

Per quanto riguarda l'impedenza di ingresso di una porta TTL si possono fare le seguenti considerazioni. Per tensioni di ingresso superiori a 2 volt essa è molto alta; vale circa 4 kohm tra +1 e -0.5 volt, mentre per tensioni inferiori è molto bassa a causa del diodo di protezione connesso tra ingresso e massa. La caratteristica di ingresso è riportata in fig. 13.4.4.

La caratteristica di uscita è riportata invece in fig. 13.4.5. Si può vedere che l'impedenza d'uscita è di basso valore in ambedue gli stati. Nello stato basso l'impedenza è determinata dalla resistenza offerta dal transistor T_3 in condizioni di saturazione, pari a circa 8 ohm. A correnti elevate, iniettate dall'esterno nel terminale di uscita, in particolare se si opera a basse temperature, il transistor può uscire di saturazione facendo salire l'impedenza di uscita. Allo stato alto viceversa l'impedenza d'uscita è determinata in pratica dal valore di R_4 .

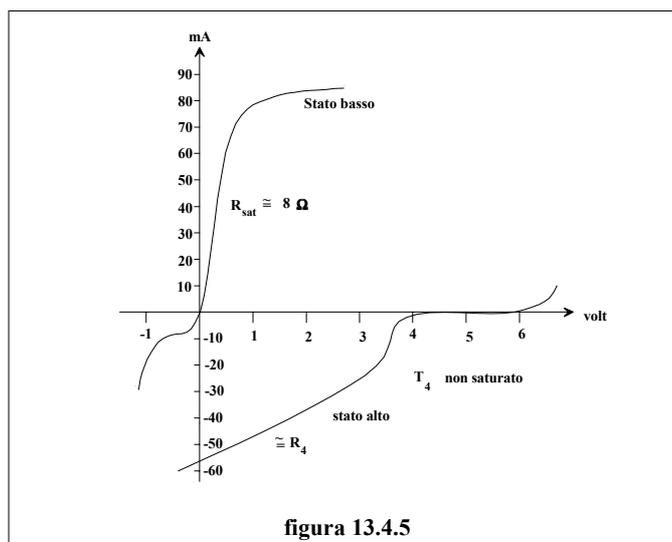


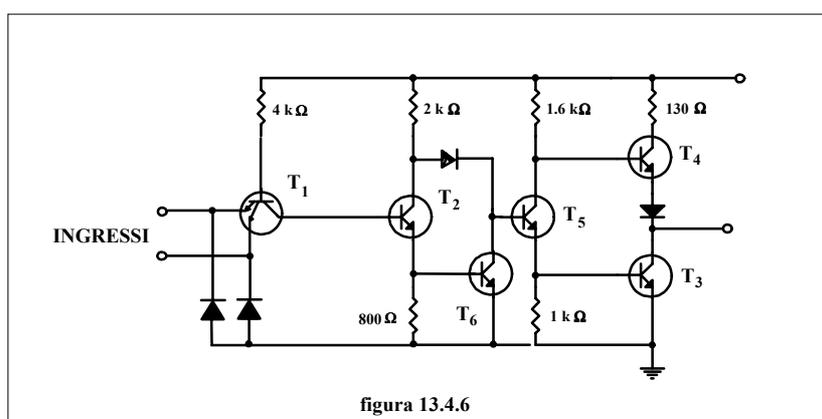
figura 13.4.5

È interessante notare che, commutando dallo stato basso a quello alto, la struttura a totem-pole dello stadio di uscita consente, a causa della sua bassa impedenza d'uscita, un ra-

rido raggiungimento delle condizioni di regime anche in presenza di carichi capacitivi. In questo caso tuttavia, le correnti, relativamente rilevanti, circolano anche sulla rete di distribuzione dell'alimentazione, che deve quindi essere corta ed adeguatamente disaccoppiata. Inoltre, se durante la transizione dallo stato basso allo stato alto T_4 passa in conduzione prima che T_3 sia interdetto, come normalmente avviene, si ha un assorbimento di corrente impulsivo di breve durata, i cui effetti si propagano comunque attraverso la rete di alimentazione.

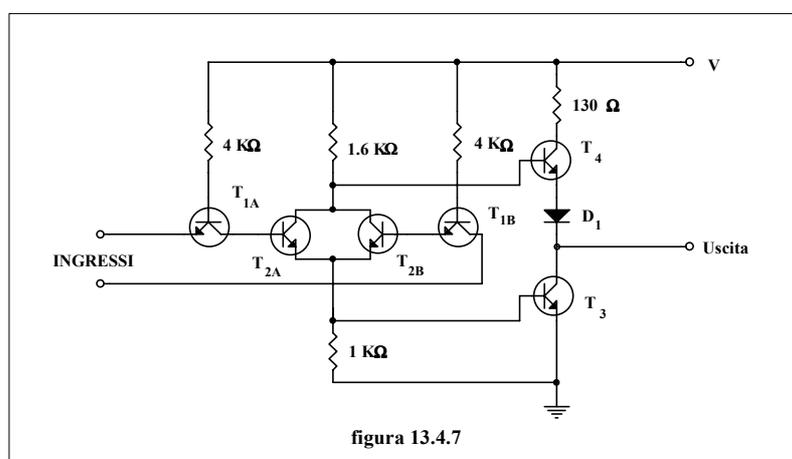
13.4.4) Altri elementi logici TTL.

Oltre alla porta fondamentale NAND la famiglia TTL offre altri elementi, quali AND, OR, NOR, XOR, realizzati modificando lo schema fondamentale della famiglia e mantenendo le medesime caratteristiche elettriche. In fig. 13.4.6 e' riportata la porta AND, ottenuta a partire dalla porta NAND con l'aggiunta di un ulteriore stadio invertitore.



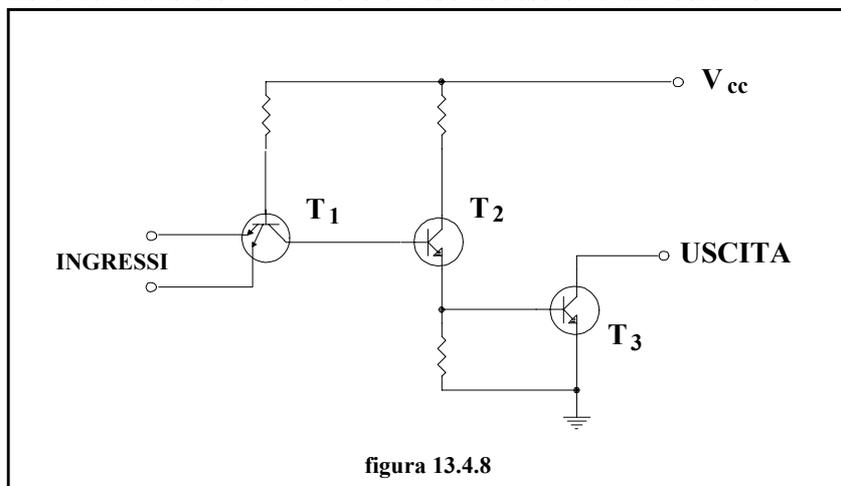
Il transistore T_6 viene utilizzato per creare una via a bassa impedenza per la rimozione della carica accumulata nello spazio di base di T_5 .

In fig. 13.4.7 e' invece riportata la porta NOR, che utilizza lo stesso stadio di uscita a totem-pole della porta NAND, mentre profondamente modificato e' lo stadio di ingresso, che utilizza due transistori separati al posto del transistore multiemettitore, e l'invertitore di fase realizzato con una coppia differenziale. La porta OR e' molto simile a quella NOR con l'aggiunta di due transistori che esplicano le stesse funzioni di T_5 e T_6 della porta AND.

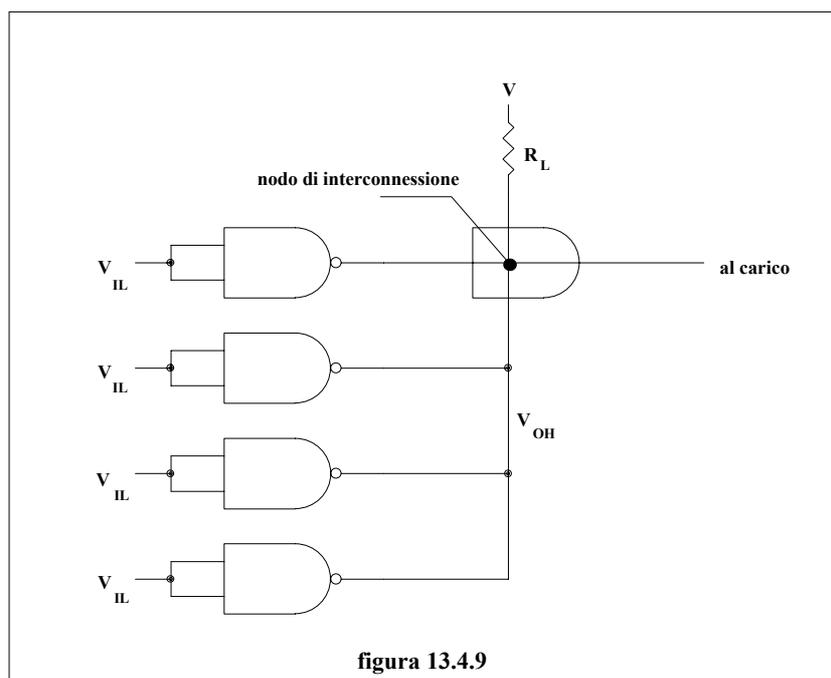


Esistono infine le cosiddette porte a collettore aperto, illustrate in fig. 13.4.8.

Manca in questa configurazione circuitale il transistor superiore del totem-pole, mentre il collettore del transistor inferiore e' reso accessibile dall'esterno.



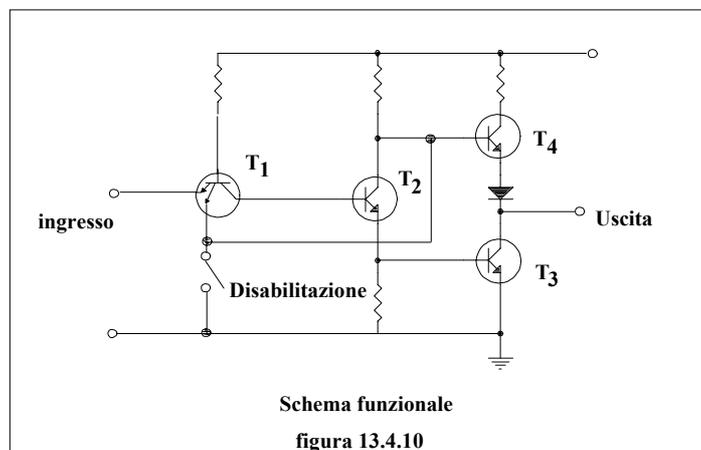
Il loro principale utilizzo si ritrova nel collegamento a "bus", in connessione "wired-or", come illustrato in fig. 13.4.9.



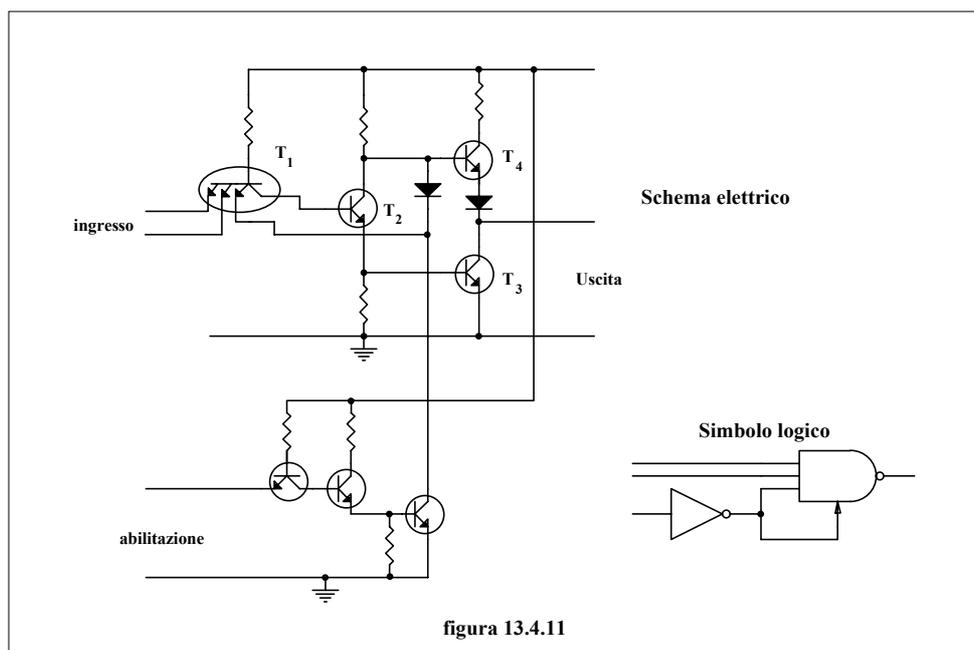
Tale collegamento non risulta evidentemente possibile quando lo stadio di uscita sia a totem-pole, in quanto durante il funzionamento potrebbe stabilirsi una via a bassa impedenza tra l'alimentazione e la massa con possibile danneggiamento dei dispositivi interessati.

E' infine il caso di citare le porte con uscite "3-state", usate per i medesimi scopi delle porte a collettore aperto, cioe' quando le uscite di piu' porte accedono alla medesima linea e sono quindi collegate galvanicamente assieme. Le porte con uscite "3-state" permettono di superare alcuni degli inconvenienti di cui soffrono le porte a collettore aperto, primo tra i quali le scadenti caratteristiche di velocita', specialmente in presenza di carichi capacitivi.

In queste porte l'uscita puo' assumere, oltre ai normali stati "1" e "0", anche un terzo stato in cui ambedue i transistori dello stadio di uscita sono interdetti, rendendo pertanto l'uscita isolata.



Uno schema funzionale e' riportato in fig. 13.4.10, mentre in fig. 13.4.11 appare lo schema dell'effettiva realizzazione pratica e il simbolo logico relativo.



13.4.5) La sottofamiglia low power TTL.

In un rilevante numero di applicazioni i circuiti TTL standard sono notevolmente piu' veloci del necessario; si e' ritenuto pertanto opportuno rinunciare al sovrappiu' di velocita' in favore di una riduzione della potenza dissipata. E' stata pertanto introdotta dai costruttori, quasi contemporaneamente alle porte TTL standard, la sottofamiglia low power TTL (LPTTL).

Il circuito e' identico a quello della TTL standard, con l'unica eccezione che i valori dei resistori risultano moltiplicati per un fattore, che a seconda del fabbricante e' compreso tra 4 e

10. Di conseguenza la potenza dissipata diminuisce dal 75% al 90% mentre il tempo di propagazione aumenta di 3-4 volte. Valori tipici sono 1 mW per gate per quanto riguarda la potenza dissipata, 33 nsec per il tempo di propagazione e 3 MHz per la velocità massima.

E' bene rilevare che una riduzione del consumo non si riflette solamente sulla dimensione e sul costo dell'alimentatore, ma porta anche ad una semplificazione del progetto termico del sistema per la minor quantità di calore sviluppato. Inoltre, poiché i dispositivi LPTTL utilizzano i medesimi involucri degli elementi standard, le temperature alle giunzioni sono inferiori a tutto favore di una maggior affidabilità.

Dal punto di vista del rumore vi sono due distinti vantaggi; la riduzione delle correnti in gioco fa sì che l'autogenerazione di rumore risulti notevolmente diminuita, permettendo di usare un minor numero di condensatori di disaccoppiamento e semplificando il progetto del circuito stampato. Oltre a ciò la minor velocità di commutazione fa sì che l'immunità al rumore in corrente alternata sia superiore.

Il fan-out nell'ambito della sottofamiglia è 10; tuttavia è bene far notare che la LPTTL è perfettamente compatibile con qualsiasi altro elemento TTL. Per un elemento LPTTL che pilota un TTL standard il fan-out sarà compreso tra 1 e 4, mentre nel caso di un TTL standard che pilota un LPTTL il fan-out sarà compreso tra 25 e 60.

A causa del ridotto valore delle correnti di ingresso degli elementi LPTTL, essi costituiscono una buona interfaccia verso i circuiti MOS le cui impedenze di uscita sono generalmente abbastanza alte.

In conclusione la LPTTL è la più facile da impiegare tra tutte le sottofamiglie TTL e andrebbe utilizzata in tutte quelle occasioni in cui non risulti penalizzata dalla sua ridotta velocità.

13.4.6) La sottofamiglia high speed TTL.

Dopo l'introduzione della famiglia TTL la domanda dei produttori di calcolatori, di strumentazione e di apparecchi di comunicazione ha spinto tale famiglia a evolversi verso l'alta velocità, facendo nascere dapprima la high speed TTL (HTTL) e successivamente la Schottky TTL (STTL), di caratteristiche ancora migliori.

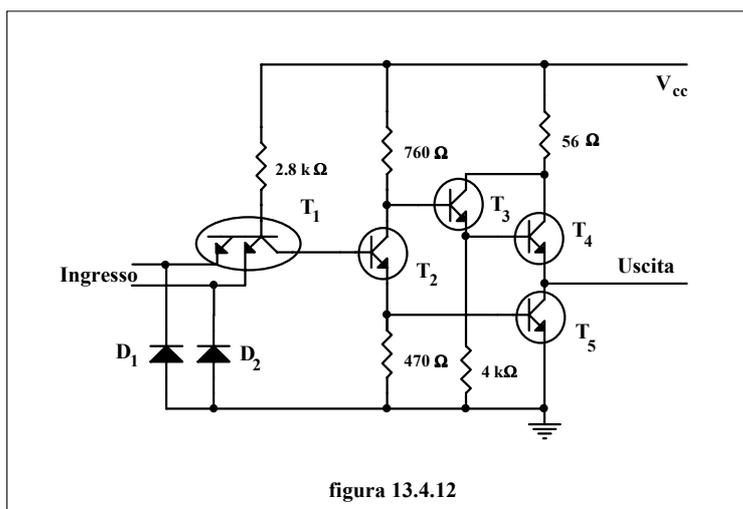


figura 13.4.12

Il circuito base HTTL, riportato in fig. 13.4.12, nasce da quello della TTL standard con l'aggiunta di una coppia Darlington in sostituzione del transistor superiore del totem-pole di uscita e con la diminuzione del valore di tutte le resistenze.

La coppia Darlington aumenta la velocità con cui la corrente di T_4 può essere commutata; in aggiunta la diminuzione dei valori resistivi minimizza l'effetto delle capacità parassite, aumentando pertanto la velocità con cui il circuito può cambiare stato.

Valori tipici per tale sottofamiglia sono 6 nanosecondi per il tempo di propagazione, 50 MHz come velocità massima e 22 mW per gate come potenza dissipata.

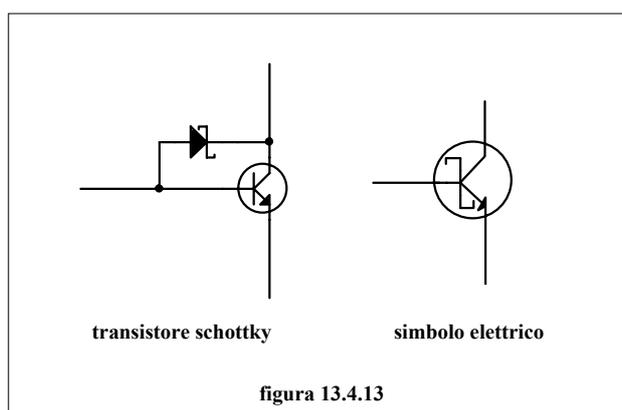
Al giorno d'oggi i dispositivi HTTL sono usati quasi esclusivamente per ridurre i ritardi in alcuni itinerari critici in sistemi realizzati con elementi TTL standard; presentano l'inconveniente di una maggior potenza dissipata, di una maggior autogenerazione di rumore e rendono più critica la disposizione dei componenti sulla scheda a circuito stampato, per motivi che verranno illustrati brevemente più avanti.

13.4.7) La sottofamiglia TTL Schottky.

Le varie famiglie e sottofamiglie fin qui prese in esame sono tutte relative a logiche saturate; i transistori cioè sono portati in conduzione con una corrente di base sufficiente a condurli al limite della saturazione anche con il guadagno di corrente minimo e nelle peggiori condizioni di temperatura e di carico. Di conseguenza un transistor riceve in media una corrente di base di gran lunga superiore a quella necessaria e si addentra perciò profondamente nella zona di saturazione. Si forma un accumulo di portatori di minoranza nella zona di base e per portare poi nuovamente il transistor in interdizione è necessario rimuovere tale carica, con una considerevole perdita di tempo. Per migliorare la situazione si potrebbe pensare di accelerare la ricombinazione, drogando con oro. Sfortunatamente tale accorgimento riduce in modo sensibile il guadagno del transistor.

Il transistor Schottky supera tali limitazioni facendo uso di un diodo a barriera superficiale, detto appunto diodo Schottky, con una tensione di conduzione molto bassa (circa 0.3 volt) e senza accumulo di carica dovuta ai portatori minoritari.

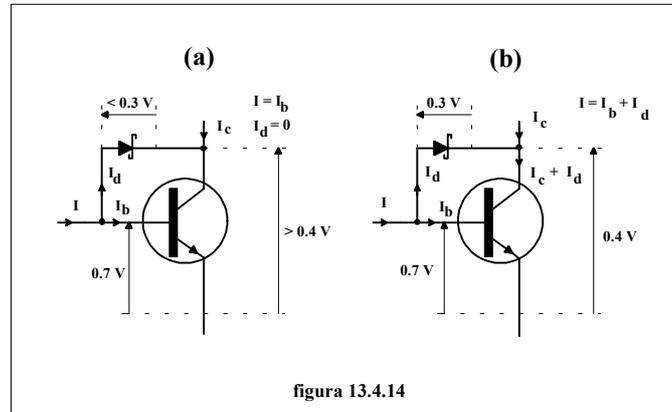
Tale diodo viene connesso tra base e collettore di un transistor convenzionale, come illustrato in fig. 13.4.13. Nella stessa figura è riportato anche il simbolo con cui viene indicato un transistor così modificato.



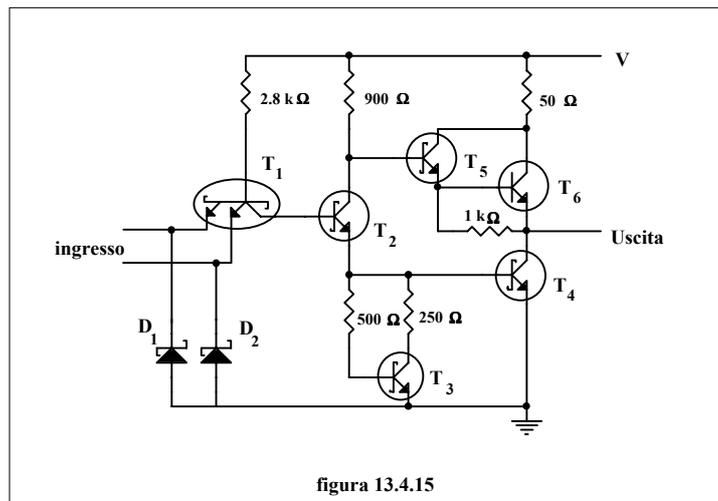
In fig. 13.4.14 (a) è riportata la situazione in cui un transistor è in prossimità della saturazione, ma in cui il diodo Schottky è ancora interdetto; in fig. 13.4.14 (b), essendo la tensione di collettore ulteriormente discesa, si ha un drenaggio di parte della corrente di base verso il collettore per effetto del diodo Schottky.

In pratica aumenti di I_C al di là della corrente necessaria a portare il transistor al limite di saturazione si traducono in aumenti della sola I_D , mentre I_B rimane in sostanza costante.

Anche gli aumenti della I_C , provocati da iniezioni di corrente dall'esterno, non modificano la situazione; infatti in tal caso sale la V_{CE} e di conseguenza diminuisce I_D e aumenta I_B , riportando il circuito nelle condizioni di fig. 13.4.14 (b).



In conclusione il transistor Schottky non entra mai in saturazione e si interdice quindi rapidamente quando viene annullata la corrente di base. Inoltre, non essendo richiesto il drogaggio in oro, il guadagno di corrente rimane elevato.



La porta TTL Schottky, il cui circuito è riportato in fig. 13.4.15, impiega solo transistori Schottky, con l'eccezione di T_6 , che lavorando da inseguitore di emettitore non può saturarsi. Prestazioni tipiche sono 3 nsec. quale tempo di ritardo di propagazione, 19 mW/gate per la dissipazione e 125 MHz per la massima velocità.

La sottofamiglia STTL presenta diversi vantaggi:

- 1) Il ritardo è dell'ordine della metà della HTTL e del terzo della TTL standard. È possibile pertanto realizzare sistemi logici molto veloci senza perdere la compatibilità con altri dispositivi TTL.
- 2) La potenza dissipata cresce molto più lentamente con la frequenza che non per le altre sottofamiglie. Pertanto, malgrado che la potenza dissipata in condizioni statiche non si possa a rigore definire piccola, ad alte frequenze la potenza dissipata è addirittura inferiore a quella della TTL standard.

- 3) Poiche' anche i diodi di tosatura presenti all'ingresso sono di tipo Schottky, si ha una maggior efficacia nella soppressione di eventuali oscillazioni, sia a causa della minor tensione di soglia di tali diodi, sia per la loro maggior velocita' di commutazione.
- 4) I dispositivi STTL sono elettricamente, meccanicamente e logicamente equivalenti ai TTL standard e quindi il miglioramento di sistemi logici gia' esistenti puo' essere ottenuto semplicemente con la sostituzione degli elementi standard con elementi STTL.

Per contro la maggior ripidita' dei fronti di commutazione, realizzata sempre nell'intento di migliorare le caratteristiche di velocita' della sottofamiglia, rende piu' problematico l'uso dei dispositivi STTL. La velocita' di salita (**slew rate**) e' tipicamente maggiore di 1 volt/nsec e puo' dar luogo ad oscillazioni e riflessioni sulle linee di collegamento anche con connessioni di lunghezza moderata (20 - 30 cm). D'altra parte non e' semplice terminare le linee con un carico adeguato senza peggiorare in modo sensibile il fan-out. Infine, poiche' i transistori Schottky non saturano, la V_{OL} sale a 0.5 volt e quindi l'immunita' al rumore allo stato basso e' di 300 millivolt anziche' 400 millivolt.

Si raccomanda pertanto, quando si usano elementi STTL, di mantenere le connessioni il piu' corte possibile, di usare linee di massa di generose dimensioni e a bassa induttanza, di disaccoppiare con condensatori di buone caratteristiche a radiofrequenza le alimentazioni ed infine di applicare terminazioni di adattamento alle connessioni che superano la lunghezza di 20 cm, facendo tuttavia attenzione alla riduzione del fan-out.

13.4.8) La sottofamiglia low power Schottky TTL.

La sottofamiglia low power Schottky (LSTTL) e' quella introdotta piu' di recente e circuitalmente coincide con quella low power; i transistori tuttavia sono di tipo Schottky. Come risultato si ottengono ritardi di propagazione dell'ordine dei 10 nsec. con dissipazioni di 2 mW/gate, avendo cioe' in pratica la velocita' della TTL standard con la dissipazione della low power. Un sistema realizzato con la sottofamiglia LSTTL avra' quindi una minor dissipazione di calore e un minor rumore autogenerato.

TABELLA 4

Confronto velocita' - dissipazione			
Denominazione	Sottofamiglia	Tempo di ritardo	Dissipazione
TTL	Standard	5 - 10 nsec.	10 mW
HTTL	Alta Velocita'	6 nsec.	22 mW
LPTTL	Low power	10 - 20 nsec.	2 mW
STTL	Schottky	3 nsec.	19 mW
LSTTL	Low power Schottky	5 - 10 nsec.	2 mW

Infine la LSTTL si presta particolarmente bene a fungere da interfaccia verso i dispositivi MOS e CMOS. In tabella 4, 5, 6 sono riportate le principali caratteristiche delle sottofamiglie TTL.

TABELLA 5

Sottofamiglia	Serie militare (-55/125° C)				Serie industriale (0/75° C)			
	V _{IL}	V _{IH}	V _{OL}	V _{OH}	V _{IL}	V _{IH}	V _{OL}	V _{OH}
Standard	0.8	2.0	0.4	2.4	0.8	2.0	0.4	2.4
High speed	0.8	2.0	0.4	2.4	0.8	2.0	0.4	2.4
Low power	0.7	2.0	0.3	2.4	0.8	2.0	0.3	2.4
Schottky	0.8	2.0	0.5	2.5	0.8	2.0	0.5	2.7
Low power Schottky	0.7	2.0	0.4	2.5	0.8	2.0	0.5	2.7

TABELLA 6
Margini di rumore apparenti

da \ a	TTL	HTTL	LPTTL	STTL	LSTTL
TTL	0.4	0.4	0.4	0.4	0.4
HTTL	0.4	0.4	0.4	0.4	0.4
LPTTL	0.5	0.5	0.5	0.5	0.5
STTL	0.3	0.3	0.3	0.3	0.3
LSTTL	0.3	0.3	0.3	0.3	0.3

13.4.9) Conclusioni sulle sottofamiglie TTL.

L'area di applicazione dei dispositivi TTL e' talmente vasta che conviene piuttosto elencare le applicazioni in cui essi non sono raccomandabili che non fare il viceversa.

Non e' opportuno usare tali dispositivi:

- 1) Nelle applicazioni in cui e' richiesta una bassissima dissipazione di potenza. Per tali usi e' preferibile usare elementi CMOS.
- 2) Nella realizzazione di sistemi che debbano operare in ambienti ad alto rumore, dove sono preferibili i dispositivi HTL e CMOS.
- 3) Nelle applicazioni ad altissima velocita', dove si usano gli ECL.
- 4) Nelle realizzazioni LSI, dominio quasi incontrastato della tecnologia MOS.

Riassuntivamente comunque i vantaggi della tecnologia TTL sono:

- 1) Elevata disponibilita' di elementi logici, anche di notevole complessita'.
- 2) Compatibilita' totale con la DTL.
- 3) Bassa impedenza di uscita in ambedue gli stati logici e quindi una notevole capacita' di pilotaggio in c.a.

- 4) Notevole reiezione del rumore proveniente dall'esterno a causa della bassa impedenza di uscita, senz'altro superiore a quanto ci si potrebbe aspettare dal margine di rumore di 400 mvolt.
- 5) Elevata velocita'.
- 6) Ottimo prodotto velocita'-potenza dissipata.
- 7) Costo moderato e notevole reperibilita' presso diversi fornitori.
- 8) Compatibilita' tra le diverse sottofamiglie, caratteristica questa che permette di ottimizzare il progetto.

In contrapposizione si possono tuttavia citare i seguenti svantaggi:

- 1) I cambiamenti estremamente rapidi delle tensioni e delle correnti in gioco rendono critica la progettazione degli stampati che devono essere realizzati in modo da evitare per quanto possibile cadute reattive ed accoppiamenti tra linee.
- 2) Autogenerazione di rumore durante la commutazione, che rende indispensabile l'uso di condensatori di disaccoppiamento.
- 3) Impossibilita' di realizzare la connessione "wired - or" a causa della struttura a totem-pole degli stadi di uscita.

13.5) Problemi di impiego degli elementi logici TTL.

Le caratteristiche elettriche degli elementi logici, presentate nei paragrafi precedenti, impongono l'uso di determinate precauzioni sia in sede di progetto che in quella di realizzazione di un sistema logico. Sebbene le considerazioni che seguono si riferiscano in modo particolare a sistemi che impiegano elementi TTL, esse possono tuttavia essere facilmente estese anche alle altre famiglie logiche.

13.5.1) Cause di rumore.

Un sistema logico, come qualsiasi altro sistema fisico, e' comunque affetto da rumore di varia natura. Tale rumore puo' provenire da una sorgente esterna, come ad esempio nel caso in cui in prossimita' vi siano delle apparecchiature elettromeccaniche in funzione, dall'accoppiamento (crosstalk) tra le linee di segnale del circuito, puo' essere autogenerato, come gia' e' stato messo in luce per gli elementi TTL, o infine pervenire al sistema attraverso i collegamenti di ingresso e di uscita o di alimentazione.

a) Rumore irradiato

In fig. 13.5.1 e' riportato un modello estremamente semplificato per l'accoppiamento tra una sorgente di rumore (rele', motore elettrico, ecc.) e la connessione tra due porte. In tale modello si suppone che la sorgente di rumore sia accoppiata alla connessione tra le due porte tramite una capacita' parassita C, mentre R rappresenta l'impedenza tra la linea di connessione stessa e la massa.

In tali ipotesi la tensione di rumore e' data da $V_{in} = R \cdot i$ e pertanto, essendo $i = C \cdot \frac{dV}{dt}$, si ottiene:

$$V_{in} = R \cdot C \cdot \frac{dV}{dt}$$

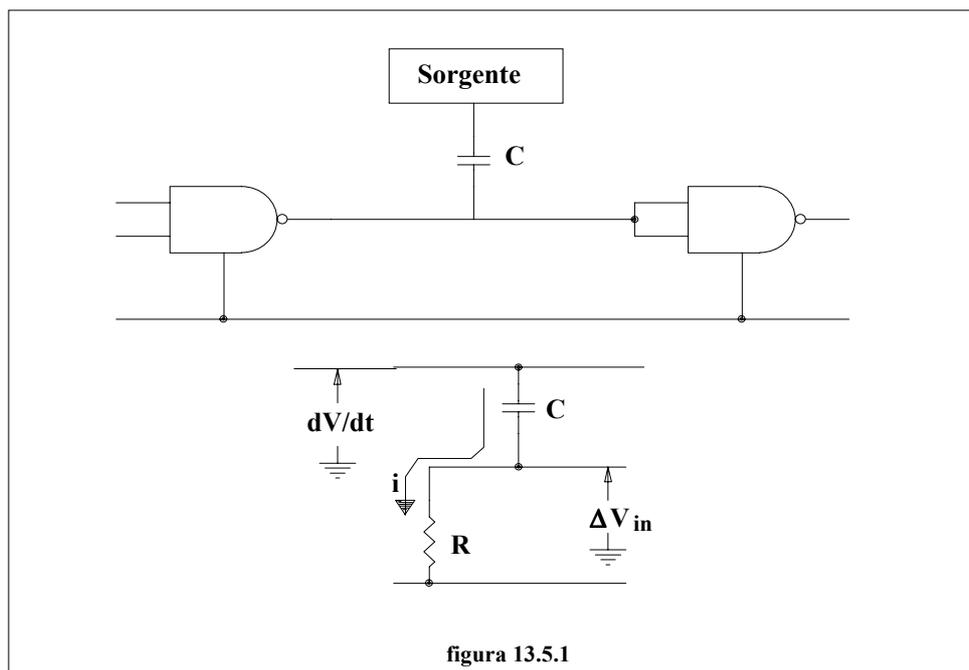


figura 13.5.1

L'ampiezza della tensione di disturbo e' quindi proporzionale all'impedenza R, alla capacita' C_s e soprattutto alla rapidita' di variazione della tensione di disturbo in ingresso. Ponendo ad esempio $R = 25 \text{ ohm}$, $C_s = 2 \text{ pF}$ e supponendo che il margine di rumore sia, come per la famiglia TTL, pari a 400 mV , si trova che dev'essere realizzata la condizione:

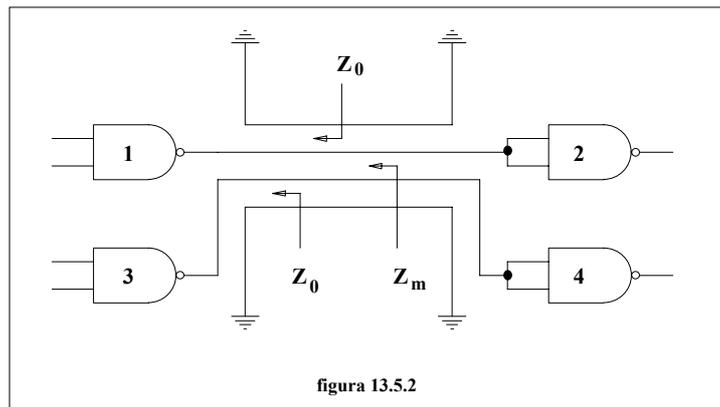
$$\frac{dV}{dt} \geq 8 \frac{\text{volt}}{\text{nsec.}}$$

perche' il disturbo dia luogo ad un effettivo malfunzionamento del sistema.

b) Rumore d'accoppiamento

Come accennato, si ha rumore di accoppiamento quando un segnale propagato tra due porte da' origine alla perturbazione del livello logico tra altre due porte. L'ampiezza della perturbazione dipende dal valore dell'impedenza vista dal punto di unione tra le due porte disturbate.

Se il ritardo di propagazione tra le due porte e' inferiore alla meta' del tempo medio di ritardo dei gate, le due porte possono essere considerate vicine e l'impedenza citata puo' essere supposta uguale all'impedenza di uscita della porta pilotante. In tal caso il fenomeno puo' essere studiato con un modello formalmente identico a quello usato per il rumore irradiato. Se invece le porte non possono essere considerate vicine, i collegamenti vanno visti come linee di trasmissione e il modello da utilizzare e' quello riportato in fig. 13.5.2. dove Z_0 e' l'impedenza della linea di trasmissione e Z_m e' l'impedenza mutua tra le due linee.



Se con V_s si indica l'ampiezza del segnale disturbante e con Z_i l'impedenza d'uscita della porta 1, la tensione di rumore indotta nel collegamento tra le porte 3 e 4 può essere calcolata con la:

$$V_{in} = \frac{V_s}{\left(1.5 + \frac{Z_m}{Z_0}\right) \left(1 + \frac{Z_i}{Z_0}\right)}$$

13.5.2) Attitudini delle porte TTL a pilotare linee di trasmissione.

Le linee di trasmissione che nella pratica vengono usate quando si realizzano sistemi digitali e cioè i cavi e i collegamenti stampati, hanno impedenze caratteristiche comprese tra 50 e 150 ohm. Di conseguenza nessun elemento TTL è in pratica adatto a pilotare tali linee.

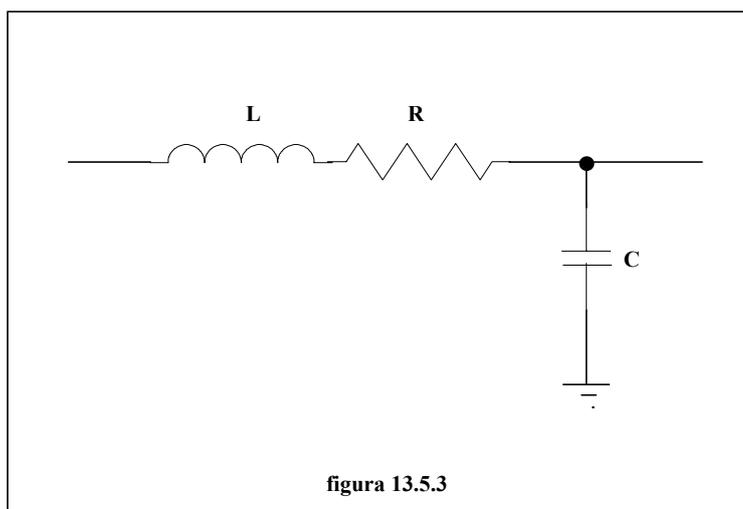
Queste considerazioni tuttavia, che sono valide quando il ritardo di propagazione della linea è maggiore del tempo di salita o di discesa del segnale di ingresso, non si applicano alle brevi interconnessioni tra elementi dello stesso circuito. In tal caso infatti esse non si comportano come una linea di trasmissione resistiva, ma piuttosto come un carico capacitivo.

Poiché i tempi di commutazione degli elementi TTL sono noti, è facile calcolare la massima lunghezza di interconnessione tollerata, tale cioè da non dar luogo a pericolose riflessioni e oscillazioni. Assumendo per la velocità di propagazione il valore di 20 cm/nsec, tipica per circuiti stampati in fibra di vetro e resina epossidica di costante dielettrica $\epsilon_r = 4.7$, si va da lunghezze minime di 20 - 25 cm per tempi di commutazione di 1.5 - 2.5 nsec a 60 - 80 cm per tempi di commutazione dell'ordine di 12 - 18 nsec.

I migliori risultati si ottengono in ogni caso con linee di impedenza caratteristica aggirantesi sui 100 ohm. Usando una delle facce del circuito stampato come piano di massa, tracce di 0.65 mm di spessore con dielettrico fibra di vetro e resina epossidica realizzano proprio linee da 100 ohm. Dello stesso ordine di grandezza è l'impedenza di linee realizzate con fili da 0.25 - 0.30 mm di diametro attorcigliati assieme.

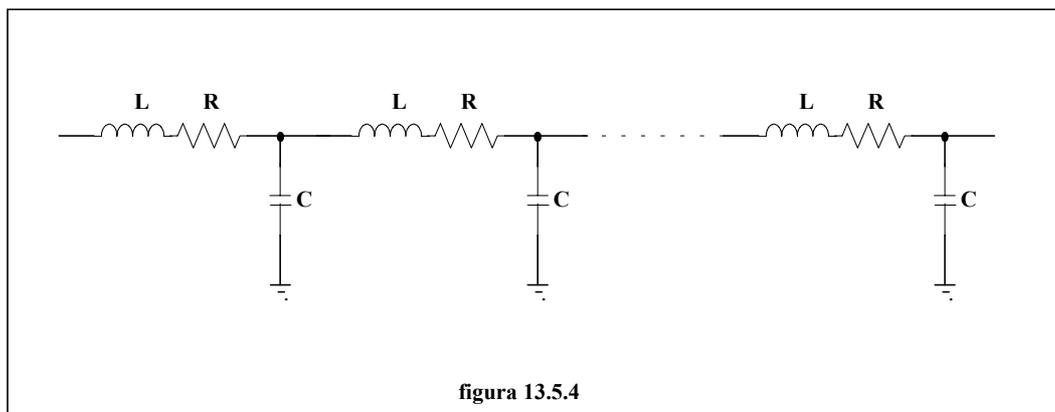
Quando la lunghezza delle interconnessioni supera i limiti entro cui esse non devono essere considerate delle linee di trasmissione, si possono verificare fastidiosi fenomeni di oscillazione (ringing) tanto più marcati quanto più la linea è lunga.

Il modello a parametri concentrati non è in grado in questo caso di rappresentare in maniera adeguata tutti i fenomeni coinvolti nella trasmissione dei segnali. In primo luogo esso trascura completamente la presenza dell'induttanza distribuita della linea. Pertanto un modello più appropriato sarebbe quello di figura 13.5.3.



Da un altro punto di vista si dovrebbe poi tenere conto delle perdite della linea, inevitabilmente presenti, introducendo una resistenza di perdita in parallelo alla capacita' C.

Il limite principale che tuttavia i modelli a parametri concentrati presentano risiede nel fatto che nella realta' resistenza, capacita' e induttanza sono distribuite uniformemente lungo la linea e non concentrate in un unico punto. Si puo' pertanto pensare di suddividere la linea in tanti spezzoni, per ciascuno dei quali si puo' costruire un modello a parametri concentrati, come illustrato in figura 13.5.4.



Andando al limite, considerando cioe' un numero infinito di celle di lunghezza infinitesima, si ottiene il modello a parametri distribuiti che prende il nome di modello delle linee di trasmissione.

Le caratteristiche principali di una linea di trasmissione sono:

- La velocita' U di propagazione del segnale lungo la linea. La velocita', infatti, non e' infinita, ma e' limitata superiormente dalla velocita' C della luce. A seconda delle caratteristiche della linea la velocita' U puo' essere anche considerevolmente inferiore a C e tale fatto assume una notevole importanza in presenza di linee lunghe.
- L'impedenza caratteristica Z_0 della linea, cioe' il rapporto $v(t)/i(t)$, che risulta costante lungo tutta la linea.

Il tempo di propagazione lungo una linea di lunghezza L e' evidentemente pari a:

$$t_p = \frac{L}{U}$$

E' opportuno far notare che il tempo di propagazione dipende unicamente dalle caratteristiche della linea ed e' quello necessario per spostare un'onda elettrica da un punto ad un altro di una linea di trasmissione.

Dalla teoria delle linee di trasmissione si ricava che:

$$Z_o = \sqrt{L'/C'}$$

dove L' e C' sono rispettivamente induttanza e capacita' per unita' di lunghezza della linea stessa. Analogamente la stessa teoria afferma che:

$$U = \frac{1}{\sqrt{L'.C'}}$$

Le relazioni appena introdotte sono valide per linee senza perdite, condizione abbastanza ben approssimata nella maggior parte dei casi reali. In questo caso l'impedenza caratteristica e' puramente ohmica, come e' facile verificare. Essa inoltre e' indipendente dalla frequenza.

Aumentando la capacita' diminuiscono sia l'impedenza caratteristica che la velocita' di propagazione, mentre aumentando L' aumenta l'impedenza caratteristica e diminuisce ancora la velocita' di propagazione.

Se si fa riferimento a piste di circuito stampato aumentare C' corrisponde a realizzare piste piu' larghe, diminuire la loro distanza dai conduttori di massa, connettere un maggior numero di ingressi sulla linea ecc., mentre aumentare L' coincide sostanzialmente con il realizzare piste piu' sottili.

Le linee tuttavia possono essere di diverso tipo: cavi coassiali, piste su stampato (generalmente con una delle facce dello stampato utilizzata come piano di massa, in modo da garantire una costanza delle caratteristiche della linea), doppini ritorti, cavi piatti, ecc. Ciascuna di loro presenta una ben precisa impedenza caratteristica e una velocita' di propagazione ben definita. L'impedenza caratteristica Z_o tuttavia e' compresa di solito tra i 50 e i 100 Ω per i cavi e tra 20 e 200 Ω per le piste, mentre il doppino ritorto ha normalmente un'impedenza di 600 Ω . La velocita' di propagazione e' normalmente compresa tra 0,6 C e 0,8 C .

L'utilizzo del modello a parametri distribuiti, come si e' gia' accennato, si rende necessario quando il tempo di propagazione diventa paragonabile con i tempi di salita e di discesa del segnale. In sostanza, quando la lunghezza della linea di interconnessione supera i 60 cm per gli elementi TTL standard, i 25 cm per gli elementi ALS, la decina di cm per quelli TTL Schottky e i 5 ÷ 6 cm per gli elementi ECL. Con linee piu' corte, infatti, tutti i punti della linea possono essere considerati equipotenziali, mentre in caso contrario questa ipotesi non e' piu' accettabile. In tale situazione il cambiamento di stato potrebbe essere gia' stato completato in un punto della linea, ma in punti piu' distanti potrebbe non essere stato ancora avvertito a causa dalla velocita' finita di propagazione. Quanto piu' veloce e' la commutazione e tanto

minore e' la lunghezza di linea entro la quale e' utilizzabile il modello a parametri concentrati; ad esempio, all'interno di un circuito integrato, dove spesso le commutazioni sono estremamente rapide, accade spesso che anche connessioni dell'ordine del millimetro debbano essere considerate linee di trasmissione.

Si prenda ora in considerazione il modello di una connessione in cui il mezzo trasmissivo debba essere considerato una linea (figura 13.5.5).

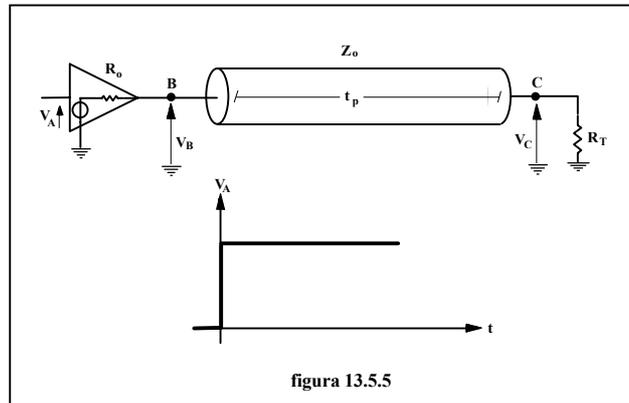


figura 13.5.5

La linea sia chiusa su una resistenza di terminazione R_T e il segnale di ingresso V_A sia un segnale a gradino. Nell'istante di applicazione dell'ingresso il generatore V_A vede come carico un oggetto per il quale $V/I = Z_0$. Di conseguenza la tensione disponibile al punto B nell'istante $t = 0$ sarà data da:

$$V_B = V_A \cdot \frac{Z_0}{R_0 + Z_0}$$

Pertanto all'estremità trasmittente della linea sarà disponibile solamente una frazione della tensione V_A , dipendente dai valori di R_0 e Z_0 .

TABELLA A

Famiglia TTL	Impedenza della linea					
	Resistenza di collettore	Caso peggiore R + 30%		Nominale	Caso migliore R - 30%	
Serie 74	130	241.4	204.8	136.8	84.6	75.8
Serie 74H	58	107.7	91.3	61.0	37.7	33.8
Serie 74S	55	110.0	92.2	61.1	37.5	33.4
Serie 74L	320	594.2	504.2	336.8	208.3	186.6
V_{cc}		4.50	4.75	5.00	5.25	5.50
		———— serie industriale ————				
		———— serie militare ————				

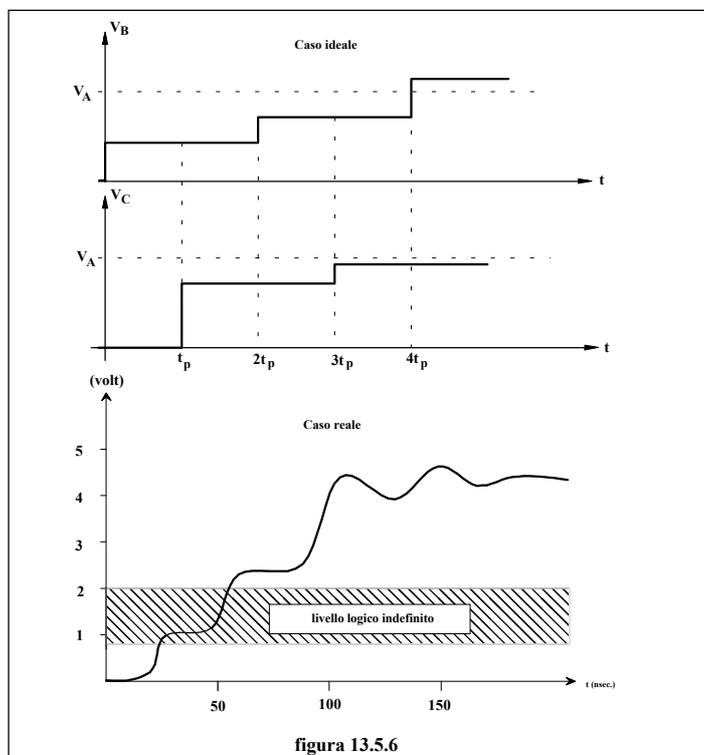
Nel caso di elementi TTL R_0 e' evidentemente un dato caratteristico della sottofamiglia utilizzata, mentre Z_0 puo' venir modificato variando lo spessore del collegamento e la sua distanza dalla linea di terra.

Per evitare riduzioni eccessive della velocità operativa del sistema è opportuno rendere il gradino iniziale superiore a 2 volt. Nella tabella A è riportata la più bassa impedenza di linea che può essere pilotata dai vari dispositivi TTL in modo che questa condizione sia soddisfatta.

Il gradino di tensione di ampiezza V_B si propaga poi lungo la linea e dopo il tempo t_p giunge all'estremità opposta dove è connessa la resistenza di terminazione R_T . Per questo bipolo tuttavia esiste il vincolo che il rapporto tra tensione applicata e corrente che vi circola sia pari a R_T , mentre il segnale applicato proviene da un bipolo per il quale $V/I = R_T$. Senza utilizzare considerazioni più accurate, patrimonio della teoria delle linee, si può pensare che i vincoli vengano rispettati se si suppone che in C si generi quella che viene chiamata **onda riflessa**, che si somma a quella già presente. Quest'onda si propaga a sua volta lungo la linea verso l'estremità B. La discontinuità presente in C genera quindi un'onda, che si propaga in direzione opposta a quella dell'onda diretta e che arriva in B dopo un tempo pari a $2t_p$.

Anche all'estremo B tuttavia può esistere una discontinuità in quanto non è affatto garantito che R_0 sia uguale a Z_0 . Per i medesimi motivi, che sono appena stati presi in considerazione, si genera una nuova onda, che si somma a quella presente in B e si propaga nuovamente lungo la linea e giunge in C al tempo $3t_p$.

Ragionando in tal modo si può quindi affermare che all'estremo B si avrà tutta una serie di variazioni di tensione negli istanti nt_p con $n = 1, 2, 4 \dots$, cioè in multipli pari del tempo di propagazione, mentre all'estremo C le variazioni di tensione si avranno ai multipli dispari di t_p . L'andamento complessivo della tensione agli estremi della linea assume una caratteristica forma a gradinata e a ciascun estremo le variazioni risulteranno intervallate di $2t_p$, come illustrato in figura 13.5.6.



L'ampiezza V_r dell'onda riflessa è legata a quella V_i dell'onda incidente da un coefficiente K detto **coefficiente di riflessione**. In altre parole

$$V_r = K \cdot V_i$$

con

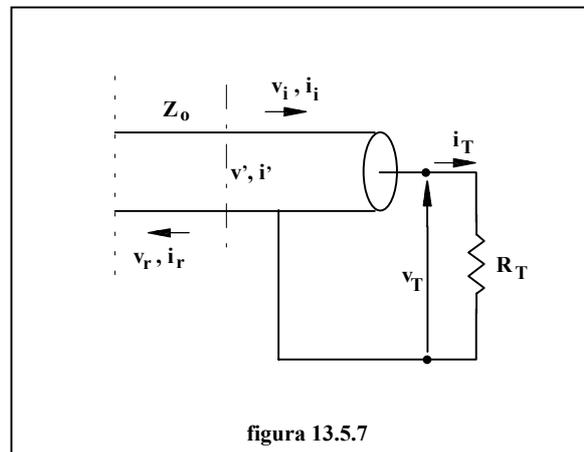
$$K = \frac{R_T - Z_0}{R_T + Z_0}$$

Conviene prendere in considerazione tre situazioni particolari:

$R_T = Z_0$	linea adattata, cioè chiusa su una resistenza di valore pari all'impedenza caratteristica	$K=0$	$V_R = 0$
$R_T = \infty$	linea aperta	$K=1$	$V_R = V_i$
$R_T = 0$	linea cortocircuitata	$K=-1$	$V_R = -V_i$

Nel caso della linea adattata il rapporto V/I è identico sia sulla linea che sulla resistenza di terminazione e di conseguenza non c'è alcuna onda riflessa. L'onda diretta giunge alla fine della linea e quindi dopo un tempo t_p si raggiungono le condizioni di regime. Con la linea aperta invece il coefficiente di riflessione vale 1 e quindi l'onda riflessa ha lo stesso segno e la stessa ampiezza di quella incidente, mentre con la linea cortocircuitata l'onda riflessa deve valere $-V_i$, in quanto ai capi di un cortocircuito la tensione deve essere nulla. Il coefficiente di riflessione pertanto vale -1.

La determinazione del coefficiente di riflessione è relativamente semplice. Si consideri infatti una linea connessa alla sua resistenza di terminazione R_T , come mostrato in figura 13.5.7.



Indicando con v_T la tensione di terminazione all'estremità della linea, nella resistenza R_T circolerà una corrente pari a i_T e per la legge di ohm si avrà che:

$$R_T = \frac{v_T}{i_T}$$

In qualsiasi sezione della linea invece dovrà essere soddisfatta la:

$$\frac{v'}{i'} = Z_0$$

dove con v' e i' si sono indicate rispettivamente tensione e corrente nella sezione.

Normalmente R_T e Z_0 sono diverse tra loro e vi e' quindi un'evidente discontinuita' quando si giunge alla terminazione. Per superare questa, che a prima vista puo' sembrare un'incongruenza, e' sufficiente pensare che sulla linea sia presente un segnale, che si propaga verso la terminazione (onda incidente), caratterizzato dai valori i_i e v_i , e una seconda onda (segnale riflesso), che viaggia in direzione opposta ed e' caratterizzata dai valori i_r e v_r . Per ambedue queste onde il rapporto tra tensione e corrente e' pari a Z_0 .

$$\frac{v_i}{i_i} = \frac{v_r}{i_r} = Z_0 \quad (13.1)$$

Il sistema preso in considerazione tuttavia e' lineare e quindi vale il principio di sovrapposizione degli effetti. Pertanto al morsetto di uscita si ha:

$$v_T = v_i + v_r \qquad i_T = i_i - i_r$$

Si ottiene di conseguenza che:

$$\frac{v_i + v_r}{i_i - i_r} = R_T$$

Sostituendo in questa relazione i valori che di i_i e i_r che si ottengono dalle (13.1) si ha che:

$$\frac{v_i + v_r}{\frac{v_i}{Z_0} - \frac{v_r}{Z_0}} = R_T$$

Si ricava pertanto

$$v_i \cdot Z_0 + v_r \cdot Z_0 = v_i \cdot R_T - v_r \cdot R_T$$

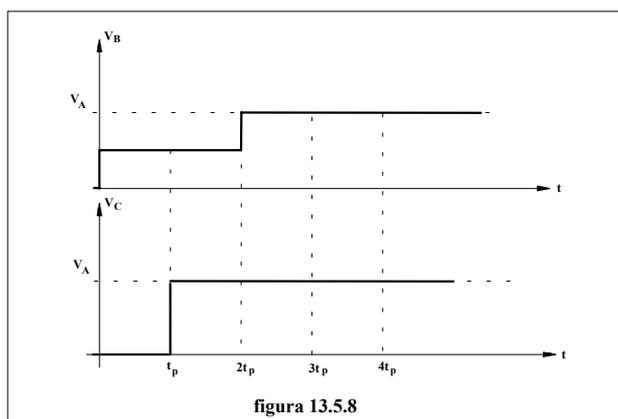
Esprimendo v_r in funzione di v_i si ottiene finalmente

$$v_r = v_i \cdot \frac{R_T + Z_0}{R_T - Z_0}$$

Il rapporto tra onda incidente e onda riflessa, cioe' quello che in precedenza e' stato definito come coefficiente di riflessione K vale pertanto:

$$K = \frac{R_T - Z_0}{R_T + Z_0}$$

E' interessante notare che, se la resistenza di terminazione R_T e' maggiore di Z_0 , l'onda riflessa e' in fase con quella incidente ($K > 0$), mentre, se R_T e' minore di Z_0 , l'onda riflessa e' in opposizione di fase con quella incidente.

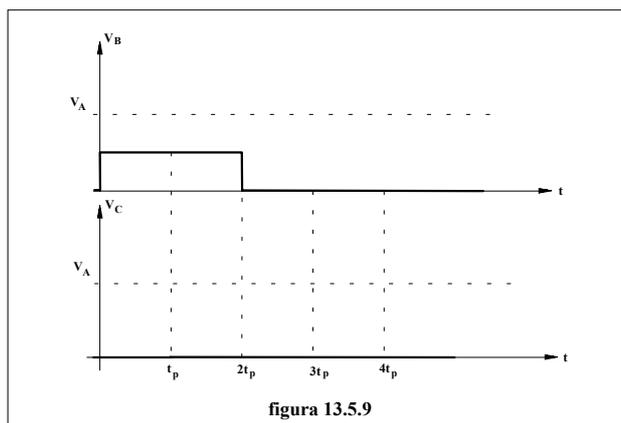


Si consideri ora il caso in cui l'impedenza del generatore che alimenta la linea sia pari a Z_0 . Con riferimento alla figura 13.5.5, all'istante $t = 0$ la tensione disponibile al punto B sarà pari a $V_a/2$. Dopo un tempo t_p l'onda giunge al punto C e se la linea è aperta l'onda riflessa sarà in fase con quella incidente facendo sì che:

$$V_c = \frac{V_a}{2} + \frac{V_a}{2} = V_a$$

L'onda riflessa d'altra parte si propaga verso l'estremità trasmittente (punto B) e pertanto al tempo $t = 2t_p$ anche la tensione V_B diventa uguale a V_A . Poiché l'impedenza del generatore è pari a Z_0 , la linea vede un carico adattato, non si ha nessuna ulteriore riflessione e le condizioni di regime sono a questo punto raggiunte. L'andamento della tensione alle due estremità della linea è riportato in figura 13.5.8.

Una situazione analoga si verifica quando la linea è cortocircuitata. Unica differenza risiede nel fatto che l'onda riflessa è in questo caso in opposizione di fase con quella incidente. Le relative forme d'onda (evidentemente in forma idealizzata, come in tutti i casi precedenti) sono riportate in figura 13.5.9.



Quando il generatore non è adattato la situazione si complica a causa delle riflessioni multiple e del valore del coefficiente di riflessione, compreso tra +1 e -1. Ci si rende quindi conto che in una situazione generale, in cui né il generatore, né il carico sono adattati e in cui è necessario tener conto che la linea reale non è priva di perdite e di conseguenza introduce un'attenuazione del segnale, l'analisi del comportamento diventa estremamente difficoltosa. A

queste considerazioni si aggiunge poi il fatto che l'impedenza interna del generatore e il carico di terminazione non sono affatto costanti, dato che il generatore e' l'uscita di una porta logica e pertanto presenta impedenze diverse nello stato ON e in quello OFF, mentre il carico di terminazione altro non e' se non l'ingresso di un' altra logica, che molto spesso presenta caratteristiche non lineari. In fig. 13.5.10 e' riportato un procedimento grafico utilizzabile per ricavare la tensione V_{out} immediatamente disponibile dopo la commutazione per diverse impedenze caratteristiche della linea di trasmissione.

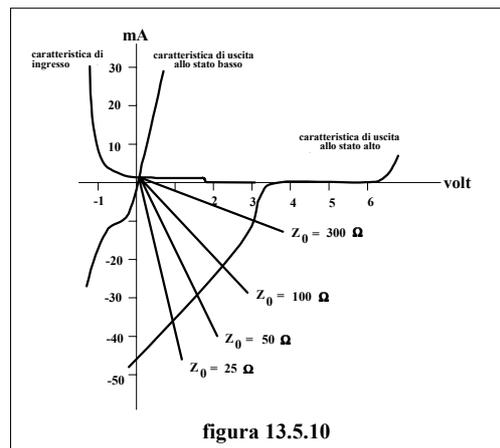


figura 13.5.10

Anche nella commutazione dallo stato alto allo stato basso si hanno fenomeni analoghi. Se l'impedenza della linea di trasmissione e' bassa puo' accadere che il transistore d'uscita dell'elemento che pilota la linea non sia in grado di saturarsi immediatamente.

In definitiva, quando la porta all'ingresso della linea cambia stato, viene trasmesso un fronte d'onda fino alla porta ricevente, che viene raggiunta dopo un certo tempo di transito T . Se, come avviene normalmente, l'impedenza di ingresso della porta non coincide con quella caratteristica della linea, si avra' una riflessione del segnale, che verra' poi ulteriormente riflesso al lato trasmittente qualora anche in tale punto vi fosse disadattamento di impedenza.

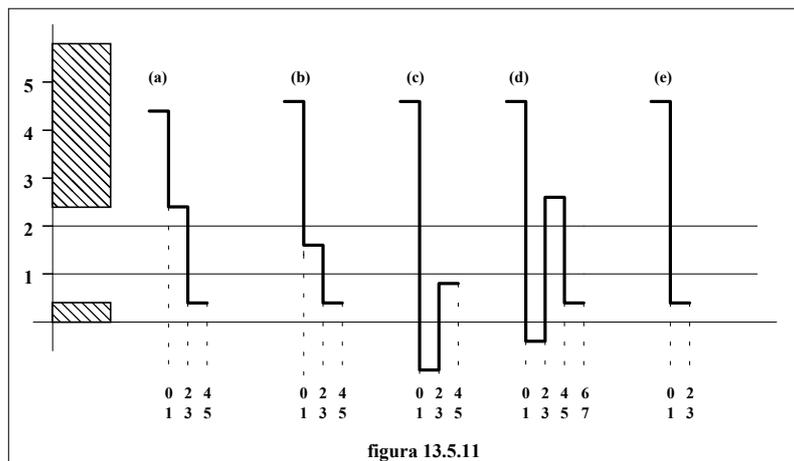
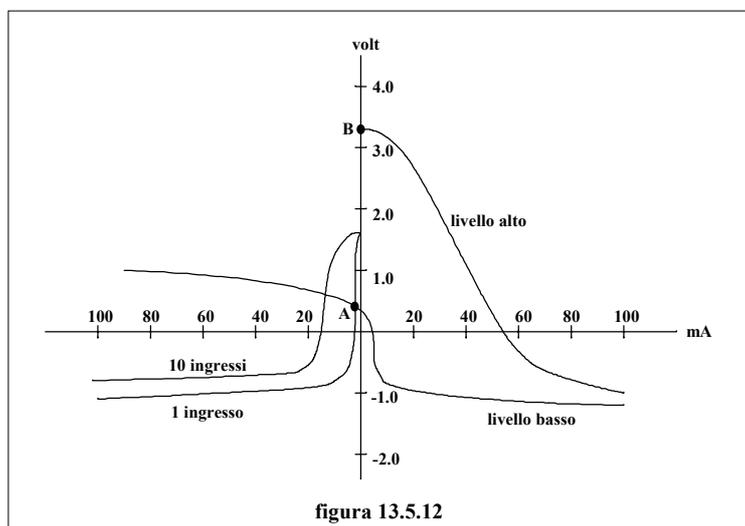


figura 13.5.11

A causa delle riflessioni multiple il fronte del segnale logico verra' pertanto degradato e le variazioni del segnale si avranno in istanti spazati di $2T$, come illustrato in fig. 13.5.11, in cui sono riportate alcune possibili forme d'onda (transizione alto-basso).

In particolare per il ricevitore, che vede il nuovo livello logico dopo un numero dispari di intervalli T, nel transitorio il segnale puo' permanere in una fascia di incertezza (caso b, con riferimento ai livelli TTL) o addirittura dar luogo a una sottoelongazione che potrebbe danneggiare lo stadio di ingresso della porta ricevente se questo non fosse adeguatamente protetto.



Un metodo grafico approssimato che permette di ricavare le forme d'onda prodotte da circuiti digitali veloci che pilotano linee di trasmissione e' quello che utilizza il cosiddetto diagramma di Bergeron. E' questo un grafico tensione - corrente su cui sono riportate contemporaneamente le caratteristiche di ingresso e di uscita delle porte, con la convenzione che la corrente fornita dall'ingresso ha lo stesso segno di quella assorbita dall'uscita.

In fig. 13.5.12 e' riportato un esempio di diagramma di Bergeron. I punti A e B in cui le curve di ingresso e di uscita si intersecano sono evidentemente rappresentativi delle due condizioni in cui puo' operare una porta che ne pilota un'altra.

Normalmente le forme d'onda di interesse sono quelle che si verificano ai due estremi della linea, cioe' all'uscita della porta pilota e all'ingresso di quella ricevente e, come si e' gia' detto, consistono in una serie di gradini di varia ampiezza la cui durata e' due volte il tempo di ritardo di propagazione della linea. Tali forme d'onda si ricavano tracciando una successione di rette di carico sul diagramma di Bergeron, con una pendenza determinata dall'impedenza della linea di trasmissione e facendo partire ciascuna linea dal precedente punto di lavoro, come illustrato nella fig. 13.5.13.

A lato del diagramma sono riportate le forme d'onda al lato trasmettitore (tratto continuo) e al lato ricevitore (a tratteggio). E' abbastanza evidente che le forme d'onda che cosi' si ricavano sono solo una grossolana approssimazione della realta', comunque sufficiente a fornire le informazioni di interesse.

Le forme d'onda che si hanno in corrispondenza al ricevitore sono di solito accettabili purché si prendano provvedimenti adeguati in presenza di "undershoot" (ad esempio con diodi di tosatura) per evitare il danneggiamento delle porte.

Possono viceversa sorgere dei problemi quando l'uscita del trasmettitore viene usata anche localmente oltre che per pilotare la linea. Il segnale potrebbe infatti permanere per tempi non trascurabili in zona di incertezza, rallentando notevolmente il circuito o addirittura portando ad un'errata evoluzione nel caso di circuiti sequenziali.

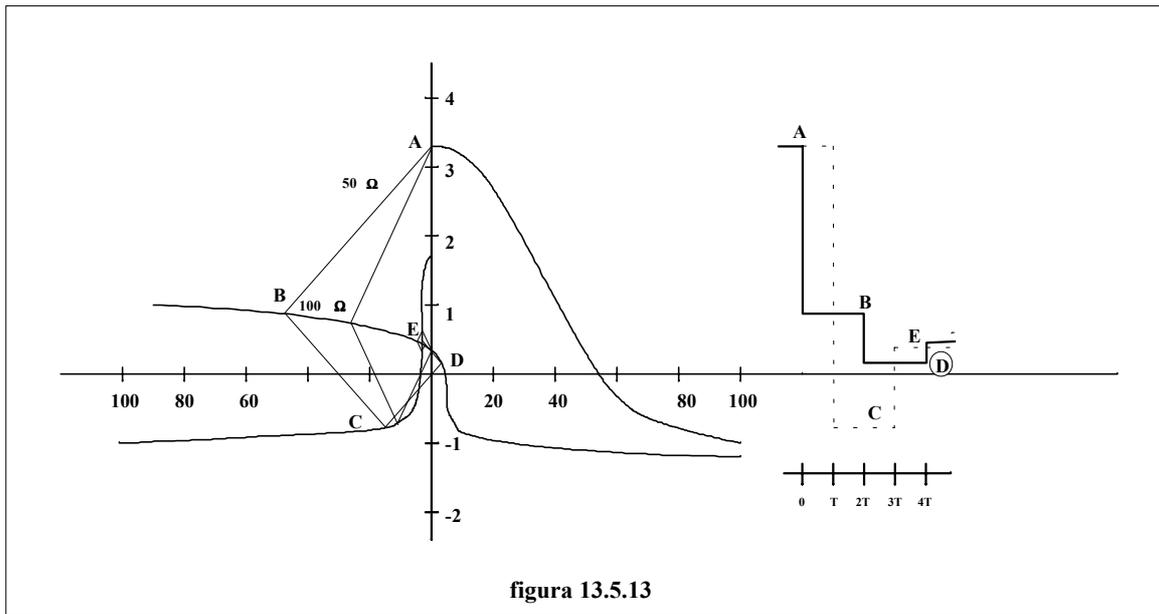


figura 13.5.13

Tale inconveniente puo' essere evitato o prelevando il segnale a monte del trasmettitore o terminando la linea con un opportuno valore resistivo in modo da realizzare l'adattamento di impedenza.

In definitiva si puo' affermare che:

- 1) Collegamenti effettuati con singolo filo non debbono superare la sessantina di centimetri.
- 2) Per distanze di collegamento superiori e' indispensabile usare la coppia ritorta o il cavo coassiale. Per la miglior protezione contro la diafonia e' opportuno che il cavo abbia impedenza caratteristica dell'ordine dei 100 ohm.

Per aumentare il margine di rumore si possono usare resistenze di "pull-up" al lato ricevitore; inoltre per evitare eccessive riflessioni e' bene che la linea sia terminata sulla sua impedenza caratteristica.

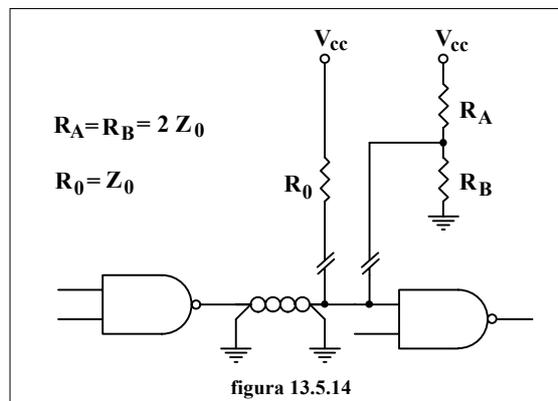


figura 13.5.14

In fig. 13.5.14 sono riportati due possibili arrangiamenti circuitali, di cui il secondo permette di diminuire la corrente assorbita dallo stadio pilota allo stato basso.

13.5.3) Disaccoppiamento dell'alimentazione e massa.

In presenza di fronti rapidi e soprattutto quando la famiglia da' luogo ad un rumore autogenerato, come nel caso della TTL, e' necessario disaccoppiare attentamente le alimentazioni. Per inquadrare il problema nelle sue dimensioni si tenga presente che durante la commutazione una porta TTL standard assorbe impulsivamente dall'alimentazione una corrente di 3 mA per 15 nsec., mentre una TTL Schottky assorbe 13 mA per 5 nsec.

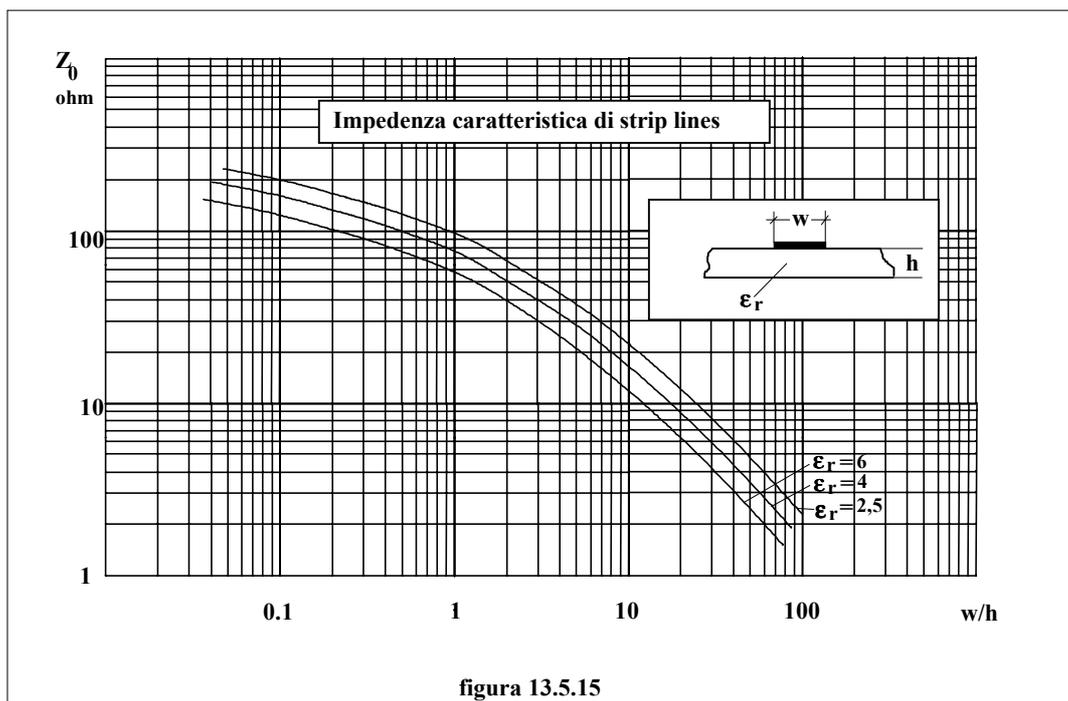
Nella pratica un buon disaccoppiamento si ottiene inserendo un condensatore da 0.1 microfarad, di buone caratteristiche a radiofrequenza, ogni 5-10 chips.

E' bene inoltre includere su ogni scheda un condensatore elettrolitico al tantalio da 2-20 microfarad. Le tracce stampate devono poi essere il piu' possibile larghe ed eventualmente anche multiple allo scopo di diminuirne l'impedenza.

Un buon sistema di massa e' poi essenziale per un corretto funzionamento. Esso puo' essere costituito da una pista di elevata larghezza sul circuito stampato o meglio ancora destinando a piano di massa un'intera faccia dello stampato.

Operando in tal modo si realizza poi l'ulteriore vantaggio che i collegamenti possono essere effettuati con linee di impedenza costante e ben conosciute.

In fig. 13.5.15 e' riportato un diagramma dell'impedenza di "strip lines" in funzione della larghezza della pista e dello spessore e della costante dielettrica del supporto, quando una delle facce sia esclusivamente destinata a piano di terra.



13.5.4) Ingressi e gate non usati.

Sebbene si possa affermare che un ingresso non connesso di un elemento TTL si comporti come se fosse collegato al livello logico alto, in pratica esso si trova in uno stato incerto in quanto e' suscettibile di cambiare stato con solo 100 mV di rumore, nei confronti del quale si comporta da antenna. Tale osservazione e' evidentemente valida anche per tutte le

altre famiglie logiche e la situazione si rivela tanto piu' critica quanto maggiore e' l'impedenza di ingresso dell'elemento che si considera.

Pertanto un ingresso, in particolare quando il relativo dispositivo viene impiegato in circuiti sequenziali, non va mai lasciato scollegato; per minimizzare le conseguenze del rumore si puo' intraprendere una delle seguenti azioni:

- 1) Collegare l'ingresso in questione ad un altro ingresso usato della stessa porta. Per quanto riguarda la logica TTL c'e' da osservare che e' necessario non superare il fan-out del circuito pilotante allo stato alto, mentre non si hanno conseguenze per il fan-out allo stato basso in quanto tutti gli ingressi di una porta ricevono corrente dallo stesso resistore.
- 2) Collegare l'ingresso a massa in tutti i casi in cui cio' sia possibile da un punto di vista logico, come ad esempio nei casi di porte logiche NOR o OR.
- 3) Collegare l'ingresso alla tensione di alimentazione. Per i TTL tuttavia la tensione di ingresso non deve superare mai i 5.5 volt; in caso contrario si potrebbe avere il breakdown dell'ingresso e non essendo la corrente limitata da alcun elemento circuitale, l'integrato potrebbe danneggiarsi permanentemente.
- 4) Collegare l'ingresso alla tensione di alimentazione tramite una resistenza di circa 1 kohm che ha lo scopo di limitare l'eventuale corrente di breakdown a valori di sicurezza. La stessa resistenza puo' essere utilizzata per fissare al livello alto fino a 50 ingressi.
- 5) Collegare l'ingresso all'uscita di un gate non usato i cui ingressi siano stati connessi a massa.
- 6) Utilizzare una sorgente di tensione separata, di valore compreso, per i dispositivi TTL, tra 2.4 e 5.5 volt.

Anche per quanto riguarda i gate non usati e' bene non lasciare i loro ingressi volanti. In particolare per quanto riguarda i dispositivi TTL e' opportuno che la loro uscita sia portata al livello logico alto in modo da minimizzare la dissipazione di potenza.

13.5.5) Aumento del fan - out.

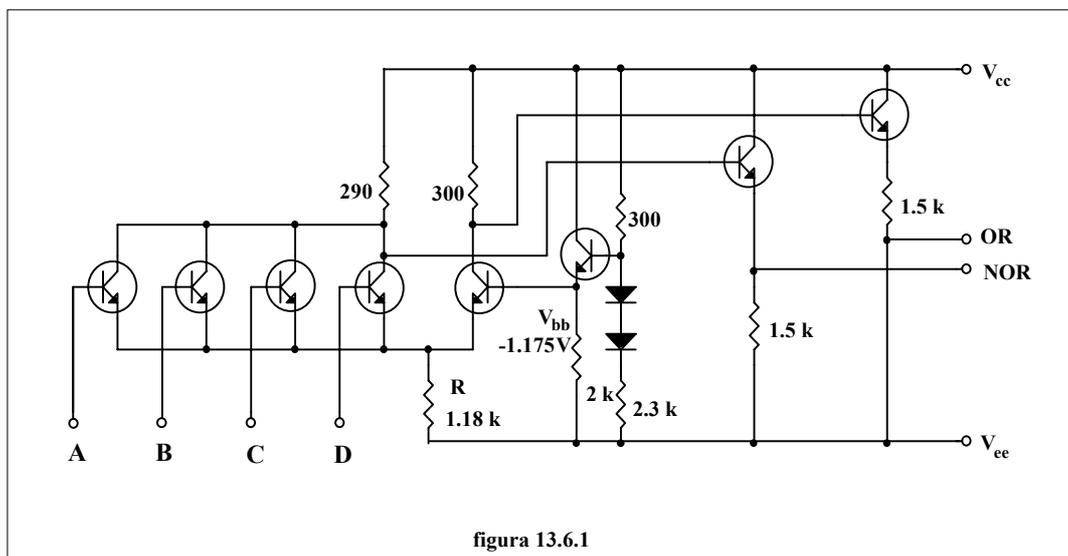
Per aumentare il fan - out si possono collegare assieme gli ingressi e le uscite dei gate dello stesso involucro. E' tuttavia opportuno limitare il numero di elementi in parallelo in modo da evitare forti transitori di corrente dovuti ai differenti tempi di commutazione dei singoli gate, che, pur non essendo nocivi per i dispositivi, danno origine ad un certo numero di problemi indotti.

13.6) La famiglia ECL.

La logica ECL, chiamata talvolta anche CML (current mode logic - logica a commutazione di corrente) differisce strutturalmente in modo abbastanza profondo dalle logiche saturate ed e' piu' vicina per configurazione circuitale e funzionamento ad un circuito lineare; i transistori operano solo in regione attiva e l'escursione tra i due livelli logici e' molto ridotta.

In fig. 13.6.1 e' riportato lo schema tipico di una porta ECL OR/NOR a quattro ingressi. Quando tutti gli ingressi della porta sono a livello basso (minore di -1.6 volt), tutti i transistori di ingresso sono interdetti poiche' gli emettitori, tutti connessi tra di loro, si trovano ad una tensione di circa 0.7 volt inferiore a quella di riferimento V_{bb} e quindi a circa - 1.8 / - 1.9 volt.

La base del transistore di uscita NOR e' quindi a potenziale di massa e l'uscita a circa - 0.75 volt.



Se invece uno o piu' ingressi della porta sono portati a livello alto (- 0.75 volt) sul resistore di carico di 290 ohm si ha una caduta di circa 0.9 volt e l'uscita passa a - 1.65 volt. L'uscita pertanto e' alta se e solo se tutti gli ingressi sono a livello basso; la funzione logica realizzata e' quindi la NOR. Poiche' lo stadio di ingresso e' in pratica un amplificatore differenziale, dal collettore del secondo transistore puo' essere prelevata una tensione in opposizione di fase, realizzando pertanto anche la funzione logica OR.

La tensione di riferimento V_{bb} determina il livello della commutazione. Essa viene scelta pari a - 1.175 volt in modo da ottenere un'immunita' al rumore simmetrica nei due stati. I due diodi inseriti nel circuito di base hanno lo scopo di compensare le variazioni della V_{BE} con la temperatura.

Le uscite ad inseguitore di emettitore, oltre a fornire una bassa impedenza di uscita, hanno il compito di traslare le cadute di tensione ai capi dei due resistori di collettore in livelli ECL standard.

E' bene rilevare ancora una volta che la logica ECL e' una logica non saturata. Si noti che in prima approssimazione la corrente circolante su R_E e' data da:

$$I_E = \frac{V_{ee} - 1.5}{R_E}$$

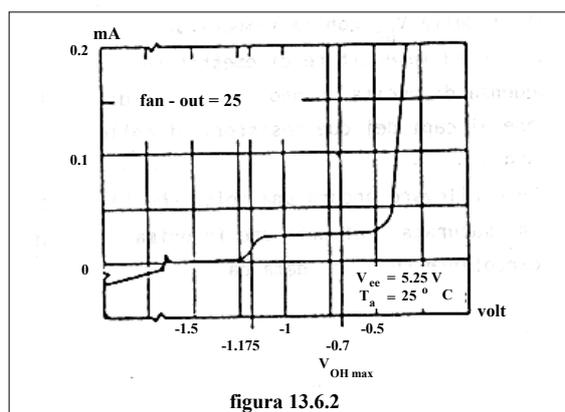
Per evitare che i transistori saturino, valutando in circa 0.2 - 0.3 volt la tensione V_{CES} di saturazione, dovra' essere, in prima approssimazione:

$$R_C \cdot I_E < 1.5 - 0.3 = 1.2$$

dove con R_C si e' indicata la resistenza di collettore della coppia differenziale e si e' valutata in - 1.5 volt la tensione media di emettitore. Tali condizioni sono senza dubbio rispettate nel circuito ECL illustrato in fig. 13.6.1.

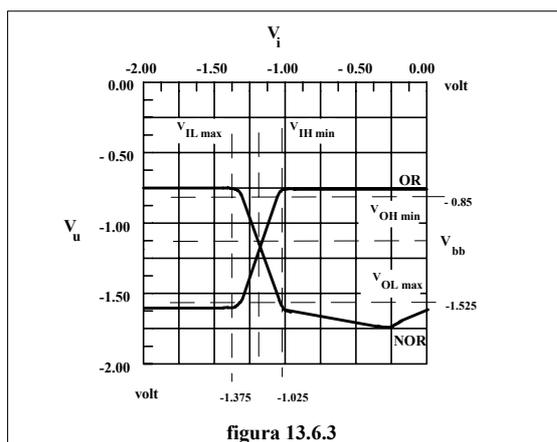
13.6.1) Caratteristica di ingresso.

Poiche' lo stadio di ingresso di una porta ECL e' in pratica un amplificatore differenziale, ne presenta gli stessi vantaggi. L'impedenza di ingresso e' di circa 100 kohm ed e' pertanto molto piu' elevata di quella di qualsiasi altra logica bipolare. La caratteristica di ingresso e' riportata in fig. 13.6.2. Da tale caratteristica si vede che quando la tensione di ingresso sale al di sopra del livello massimo dello stato alto la corrente di ingresso comincia a crescere. E' questo l'inizio di una lieve saturazione, che tuttavia gioca un ruolo positivo tendendo a smorzare eventuali oscillazioni del segnale. Infine poiche' il segnale di ingresso e' applicato ad uno stadio differenziale, si ha una discreta reiezione di modo comune, in particolare per quanto riguarda le variazioni della tensione di alimentazione.



13.6.2) Caratteristica di trasferimento e immunita' al rumore.

Dalla caratteristica di ingresso riportata in fig. 13.6.3 risulta che l'immunita' al rumore e' di circa 200 mV. Il circuito di compensazione della temperature mantiene tale immunita' costante al variare della temperatura e della tensione di alimentazione.



E' inoltre necessario far notare che il circuito puo' funzionare su una vasta gamma di tensioni poiche' V_{bb} e la tensione di uscita a livello basso si adeguano automaticamente alle stesse variazioni.

13.6.3) Attitudine al pilotaggio di linee.

La porta ECL si presta particolarmente bene ad essere terminata con un resistore di valore pari all'impedenza caratteristica di un cavo coassiale (50 ohm). In alcuni casi tale resistenza dev'essere connessa tra uscita e un'apposita "tensione di terminazione" di -2 volt, in altri casi puo' essere collegata direttamente a massa.

Inoltre gli elementi ECL, a causa della loro struttura differenziale, si prestano a pilotare linee di trasmissione bilanciate. Si ottengono in tal modo un'immunita' al rumore superiore al volt e la possibilita' di pilotare linee molto lunghe. La trasmissione puo' venir fatta con qualsiasi porta, anche se, nelle applicazioni piu' critiche, e' conveniente far ricorso ad appositi "line drivers".

Per la ricezione sono invece disponibili delle particolari porte ECL in cui sono accessibili ambedue gli ingressi dell'amplificatore differenziale (fig. 13.6.4).

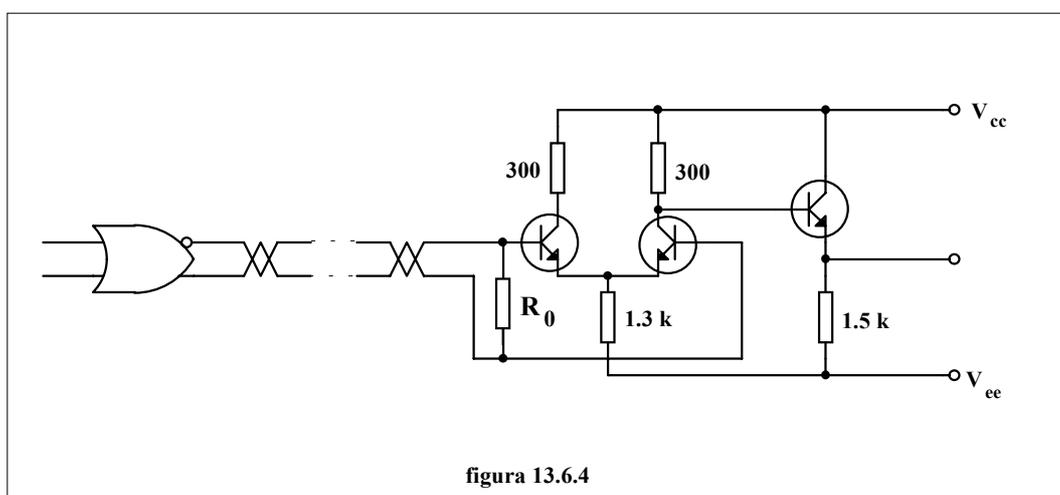


figura 13.6.4

13.6.4) Comportamento dinamico.

I ritardi degli elementi ECL sono i piu' piccoli tra quelli di qualsiasi altra famiglia logica, mentre il prodotto velocita' potenza e' uno dei migliori. Essi non autogenerano rumore in quanto l'assorbimento di corrente dall'alimentazione e' praticamente costante e non varia con la frequenza.

I tempi di salita e di discesa sono invece relativamente lunghi e, considerata la modesta escursione del segnale, lo "slew rate" e' addirittura minore di quello della famiglia TTL. Tenendo poi presente che gli ingressi richiedono correnti molto modeste, si puo' affermare che per questa famiglia il rumore di accoppiamento e' minimo.

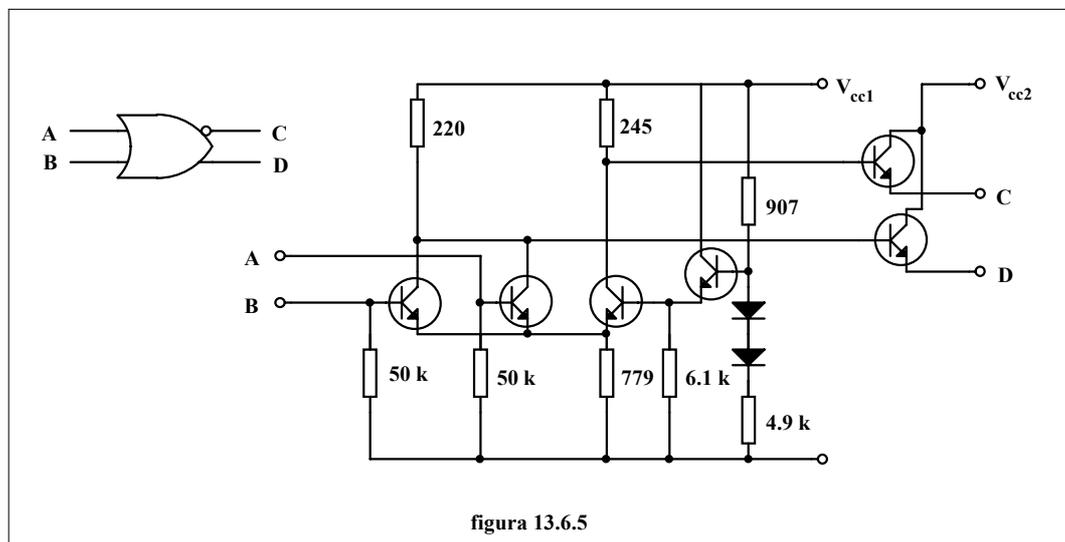
13.6.5) Sottofamiglie ECL.

Esistono diverse sottofamiglie di elementi ECL, che grosso modo possono essere classificate come segue:

- 1) 8 nsec. ECL ($t_{pd} = 8$ nsec, max 30 MHz)
- 2) 4 nsec. ECL ($t_{pd} = 4$ nsec, max 75 MHz)
- 3) 2 nsec. ECL ($t_{pd} = 2$ nsec, max 125 MHz)
- 4) 1 nsec. ECL ($t_{pd} = 1$ nsec, max 400 MHz)

Di queste sottofamiglie quella da 2 nsec. e' la piu' diffusa in quanto presente un ottimo compromesso tra velocita', dissipazione di potenza e facilita' d'uso.

Gli schemi base delle due sottofamiglie piu' veloci sono simili tra loro e sono riportati in fig. 13.6.5.



Per la famiglia da 1 nsec. i valori resistivi sono dimezzati, eccetto che per le resistenze di "pull down", connesse tra ingresso e massa, del valore di 50 kohm. Tali resistenze permettono di lasciar sconnessi gli ingressi non usati, senza avere in pratica problemi di captazione di rumore. Rispetto alle due sottofamiglie piu' lente i transistori di uscita sono privi di resistenza di emettitore e sono alimentati separatamente dal resto del circuito. Tale arrangiamento circuitale permette di adattare facilmente le linee di collegamento, e ogni uscita puo' fornire fino a 25 mA.

La separazione dei terminali di alimentazione evita che gli impulsi presenti nella corrente di uscita diano luogo a cadute induttive che interessino il circuito della porta.

Per le porte ECL veloci il cablaggio unifilare dev'essere limitato a linee inferiori ai 2.5 cm; in caso contrario le connessioni vanno eseguite con linee terminate in parallelo su 50 ohm. Si raccomanda inoltre l'uso di condensatori ceramici di disaccoppiamento ogni 5-10 chips.

13.6.6) Conclusioni sulla famiglia ECL.

L'alta velocita' degli elementi ECL e la struttura differenziale permettono la costruzione di dispositivi estremamente veloci, quali, ad esempio, convertitori A/D ad alta velocita'. La tecnologia impiegata si presta inoltre alla realizzazione di elementi LSI.

Quali inconvenienti e' necessario citare la ridotta immunita' al rumore e la difficile interfacciabilita' con le altre famiglie logiche.

Riassuntivamente i vantaggi della famiglia ECL sono:

- 1) Elevata velocita'.
- 2) Bassa impedenza di uscita.
- 3) Notevole fan - out.
- 4) Bassissima generazione di rumore.
- 5) Esistenza di due uscite complementari.

- 6) Basso accoppiamento tra le linee di segnale.
- 7) Possibilita' di wired-or.
- 8) Elevata reiezione di modo comune.
- 9) Stabilita' delle caratteristiche al variare della temperatura.
- 10) Facile pilotaggio di linee.
- 11) Tecnologia impiegabile in realizzazioni MSI e LSI.

Quali svantaggi si possono citare:

- 1) Dissipazione di potenza non trascurabile.
- 2) Bassa immunita' al rumore.
- 3) Difficile interfacciamento con le altre famiglie logiche.
- 4) Aumento notevole dei tempi di propagazione in presenza di carichi capacitivi.

Gli elementi ECL sono correntemente impiegati nella realizzazione di strumentazione, quali contatori ad alta velocita', sistemi a sintesi di frequenza, ecc, nel campo del calcolo automatico, per la realizzazione di unita' logico-aritmetiche, memorie ultraveloci, ecc., nei sistemi di comunicazione e nella conversione A/D veloce.

13.7) I dispositivi MOS.

Praticamente assenti agli inizi della produzione dei circuiti integrati, i dispositivi MOS (Metal Oxide Semiconductor) sono diventati via via una larga frazione della produzione totale ed attualmente dominano nel campo dell'integrazione a larga scala, in particolare per quanto riguarda memorie, microprocessori e circuiti "custom".

E' opportuno ricordare che, a differenza di un transistor a giunzione, che sfrutta le correnti sia dei portatori maggioritari che minoritari, il MOS utilizza solo i portatori maggioritari e per tale motivo viene spesso chiamato transistor unipolare. Esso ha una resistenza di ingresso elevatissima, e' piu' semplice da fabbricare e richiede sulla superficie del "chip" di silicio un'area notevolmente minore che non il transistor bipolare.

Allo stesso modo in cui esistono due tipi di transistor a giunzione, PNP e NPN, cosi' esistono i MOS a canale N o NMOS e i MOS a canale P o PMOS. Inoltre esistono per ciascun tipo due modi di funzionamento: il primo, detto "**enhancement mode**" o "**modo a rinforzo**" presenta la caratteristica di mantenere il transistor interdetto fino a che non viene applicata una sufficiente tensione tra gate e source, mentre il secondo detto "**depletion mode**" o "**modo a svuotamento**" richiede un'opportuna polarizzazione non nulla per inibire la conduzione.

Inizialmente la maggior parte dei dispositivi MOS e' stata realizzata in tecnologia PMOS enhancement mode, malgrado che gli NMOS siano piu' veloci e di area minore, in quanto la tecnologia NMOS era piu' difficile e costosa. Solo in tempi relativamente recenti, con l'introduzione della tecnologia di impianto ionico, i dispositivi NMOS ed in particolare quelli depletion mode sono diventati abbastanza comuni. In fig. 13.7.1 sono illustrate le forme idealizzate e i simboli usati per i MOS a canale N e per quelli a canale P rispettivamente.

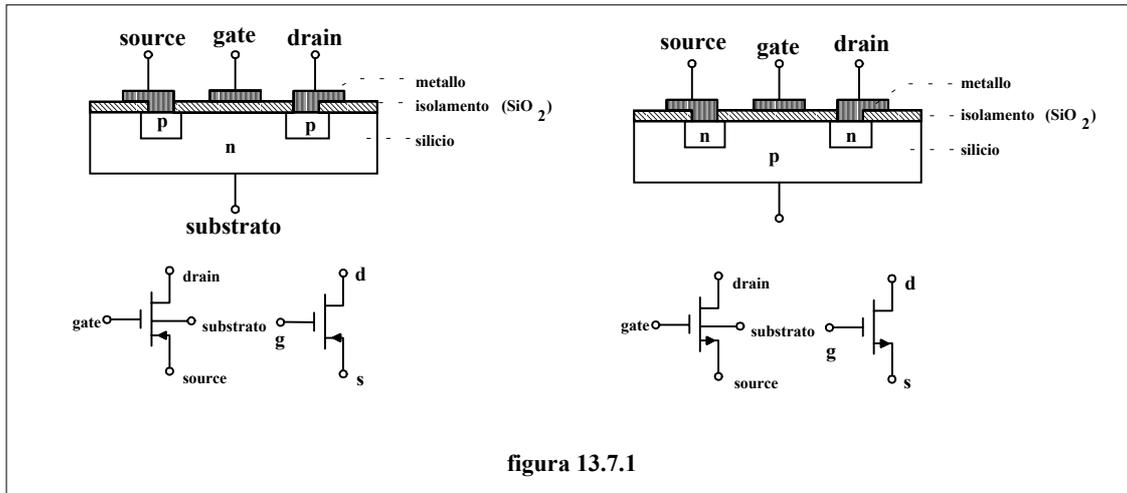


figura 13.7.1

13.8) Logica MOS statica.

La forma piu' semplice di circuito logico MOS e' l'invertitore illustrato in fig. 13.8.1 (a). Il circuito base e', come si vede, sostanzialmente simile a quello della logica RTL; nella pratica tuttavia il resistore R_L e' rimpiazzato da un secondo transistor opportunamente polarizzato, che opera come un generatore di corrente. Il relativo circuito, in forma idealizzata e' riportato in fig. 13.8.1 (b) e la motivazione per cui si ricorre a tale arrangiamento circuitale risiede nel fatto che un MOS occupa sul chip molto meno spazio che non un resistore ed e' piu' facile da realizzare.

In fig. 13.8.1 (c) e' riportata poi la tabella delle condizioni operative.

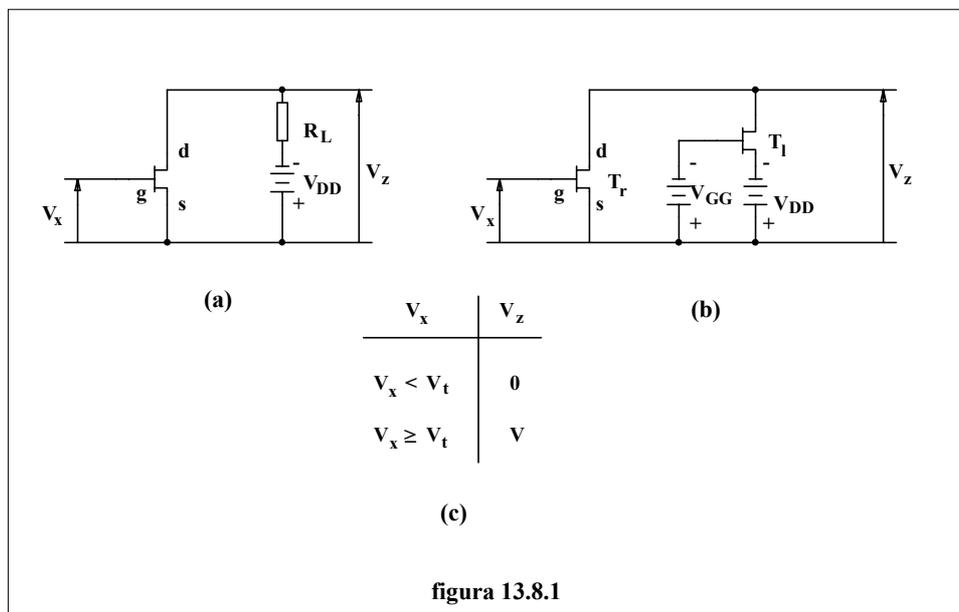
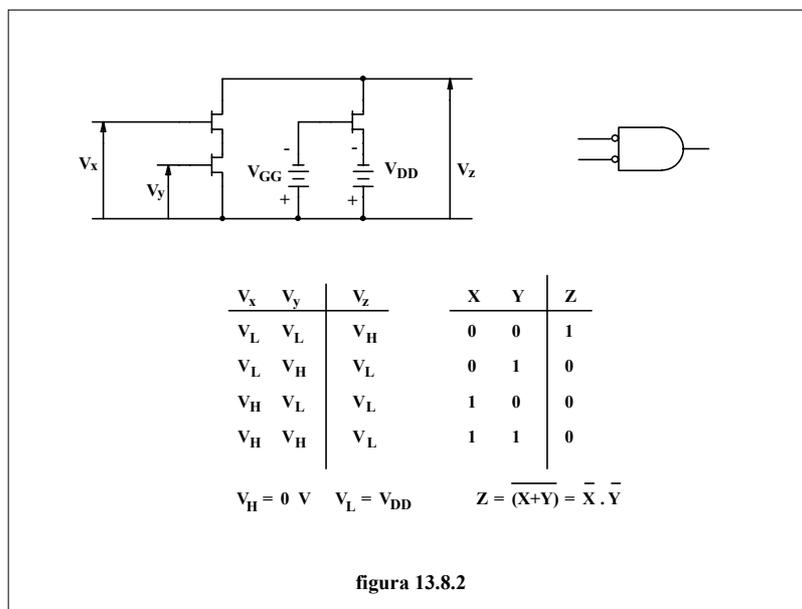


figura 13.8.1

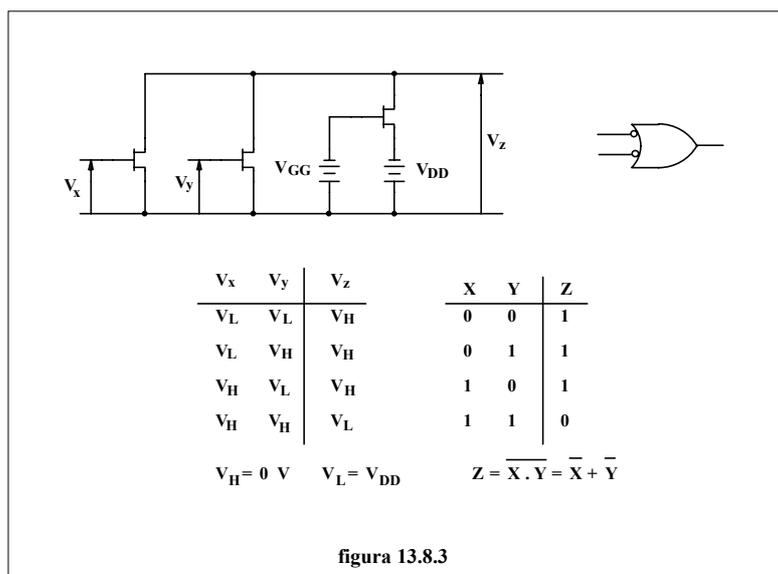
Per un corretto funzionamento, cioe' per far si' che quando T_r e' in conduzione la tensione di uscita sia sufficientemente bassa, in modo da non far passare in conduzione i transistori di altre porte collegate, i due transistori T_r e T_l hanno in conduzione un rapporto di

resistenza pari a 1:20. Di conseguenza T_r occupa sul chip un'area notevolmente maggiore che non T_L .

Molto spesso V_{DD} e V_{GG} sono connessi allo stesso terminale; in tal caso tuttavia l'impedenza di uscita diventa molto elevata, la tensione di uscita a transistor interdetto e' minore di V_{DD} e le costanti di tempo dovute alle capacita' parassite diminuiscono di molto la velocita' operativa.



E' facile, a partire dalla struttura dell'invertitore, ottenere porte logiche NAND e NOR, connettendo in serie o in parallelo altri transistori MOS. In fig. 13.8.2 e' riportato il circuito della porta logica che in logica positiva realizza la funzione NOR, mentre in fig. 13.8.3 vi e' il circuito della porta logica NAND.



E' opportuno far rilevare che la struttura di tali porte e' molto simile a quella della tecnologia RTL; non si hanno tuttavia problemi di fan-out, in quanto l'impedenza di ingresso

di un transistor MOS e' talmente elevata da poter essere considerata, almeno in prima approssimazione, infinita.

13.9) Logica MOS dinamica.

Malgrado che la dissipazione di potenza dei dispositivi MOS sia notevolmente inferiore a quella dei dispositivi bipolari, vi e' una notevole varieta' di applicazioni in cui una dissipazione ancora minore sarebbe auspicabile.

Per ottenere tale obiettivo sono percorribili due strade; la prima conduce alla realizzazione di logiche CMOS, in cui sono usati contemporaneamente transistori PMOS e NMOS e di cui si parlera' in seguito; l'altra via riduce la potenza dissipata applicando l'alimentazione al circuito solo a intervalli di tempo, in modo che potenza venga dissipata solo quando e' strettamente necessario. Un tal modo di procedere e' possibile in quanto si puo' memorizzare l'informazione nella capacita' parassita gate-source durante gli intervalli in cui l'alimentazione viene a mancare. Operando tuttavia in questa maniera l'informazione e' disponibile in uscita solo quando e' presente l'alimentazione; il dato logico e' cioe' sincronizzato con l'alimentazione.

Circuiti del tipo appena descritto prendono il nome di circuiti MOS dinamici, in contrapposizione a quelli descritti al paragrafo precedente, detti statici e nei quali l'informazione di uscita e' sempre disponibile.

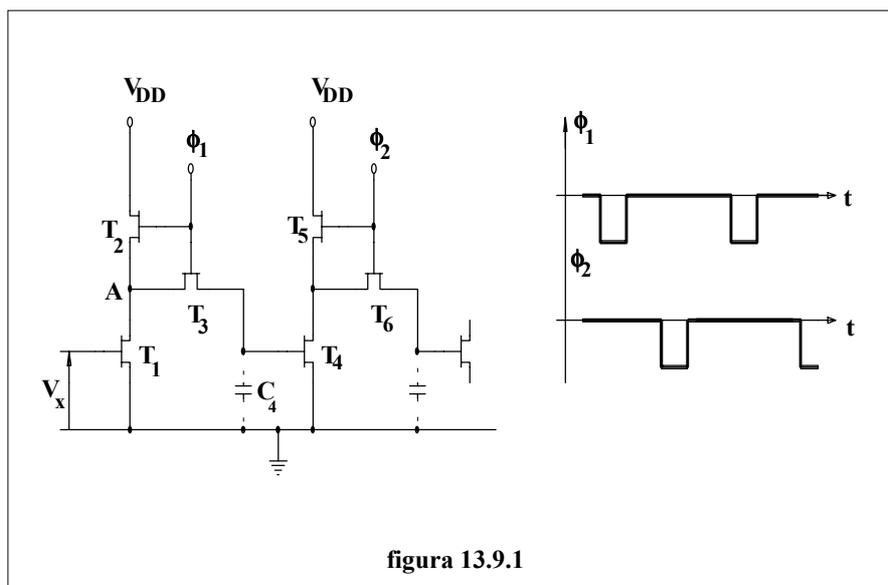


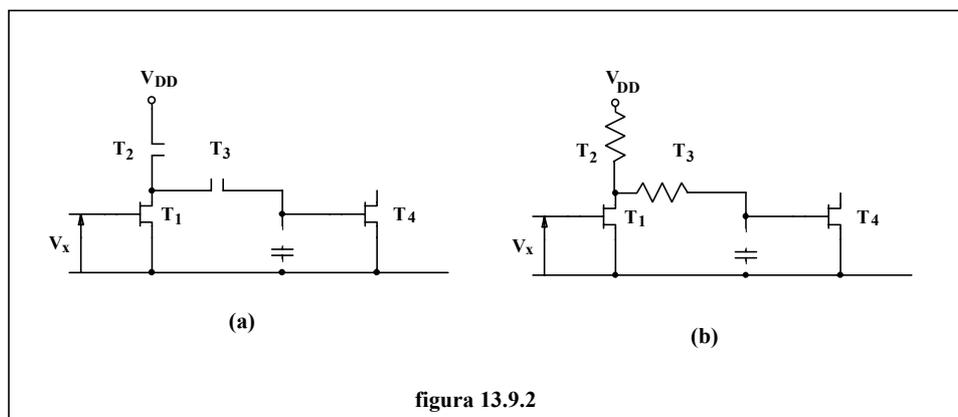
figura 13.9.1

Lo schema di principio della piu' semplice logica MOS dinamica, detta a due fasi, e' riportato in fig. 13.9.1. In essa sono rappresentati due invertitori connessi in cascata, che tuttavia devono venir considerati come un unico stadio della logica MOS dinamica.

Si noti che rispetto alla logica MOS statica si possono rilevare le seguenti differenze:

- 1) I gates dei transistori di carico T_2 e T_5 non sono connessi direttamente a V_{GG} , ma a ϕ_1 e ϕ_2 e pertanto conducono solo quando tali segnali vengono posti uguali a V_{GG} .
- 2) L'uscita di ogni invertitore non e' connessa direttamente all'ingresso dell'invertitore successivo, ma attraverso un transistor di

accoppiamento (T_3 e T_6). Anche i transistori di accoppiamento sono connessi a ϕ_1 e ϕ_2 e conducono pertanto solo quando la tensione sul loro gate e' pari a V_{GG} .



Quando ϕ_1 e ϕ_2 sono entrambi a valore nullo nel circuito non circola corrente. Non si ha quindi dissipazione e la situazione illustrata e' quella di fig. 13.9.2 (a). Quando il valore di ϕ_1 passa a V_{GG} i transistori T_2 e T_3 passano in conduzione; il segnale al drain di T_1 assumerà allora il valore determinato dallo stato logico dell'ingresso e tale valore verrà trasferito attraverso T_3 alla capacità C_4 associata all'ingresso di T_4 , dove verrà memorizzato e si manterrà anche dopo il ritorno di ϕ_1 a zero. Infine quando ϕ_2 diventa uguale a V_{GG} l'informazione viene trasferita in uscita. Il principale vantaggio di un tal modo di operare consiste nel fatto che si ha dissipazione solo durante gli intervalli di tempo durante i quali ϕ_1 e ϕ_2 sono diversi da zero e solo durante tali intervalli i transistori T_2 e T_4 sono in conduzione. I due segnali di clock possono esser distanziati anche notevolmente tra di loro e pertanto la dissipazione diventa una frazione abbastanza piccola di quella che si avrebbe per lo stesso circuito realizzato in logica MOS statica.

Per il tempo rimanente l'informazione e' immagazzinata come carica nelle capacità di ingresso e a causa delle resistenze parassite decade via via che passa il tempo.

La costante di tempo di scarica determina evidentemente il massimo intervallo tra gli impulsi di clock. La massima frequenza di clock e' invece determinata dal tempo necessario a caricare la capacità ad un determinato livello, in quanto, una volta che sia assegnato il valore delle tensioni ϕ_1 e ϕ_2 , il semiperiodo attivo di tali segnali non può essere inferiore al tempo di carica necessario.

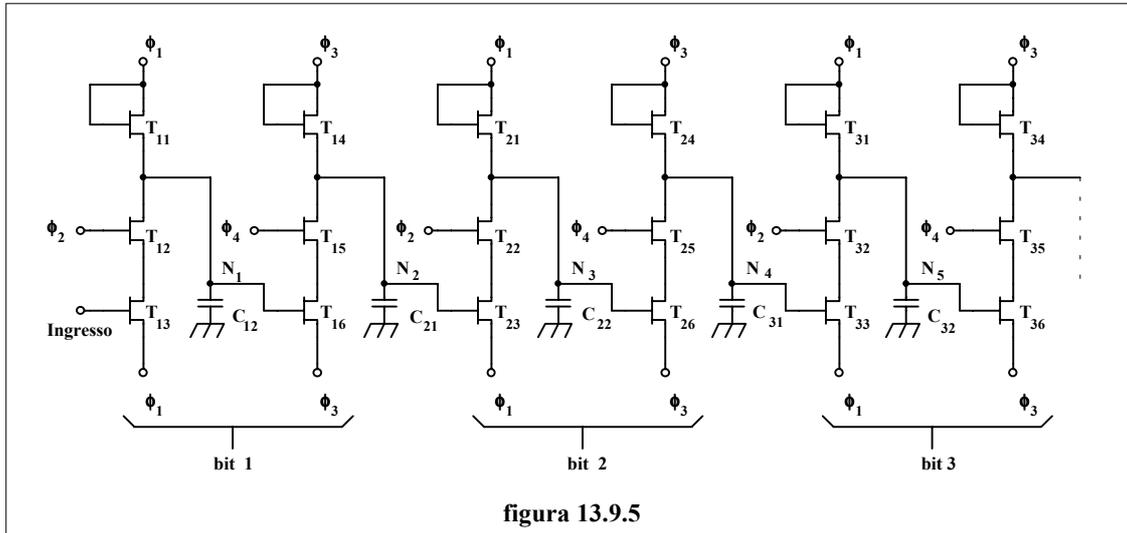
Per quanto riguarda l'ingresso esso deve assumere il valore logico voluto solo durante l'intervallo \square_1 , mentre per il resto del tempo il suo valore non ha alcuna importanza. Analogamente l'uscita e' valida solo dopo \square_2 ed e' pertanto ritardata di un tempo pari a un ciclo di clock. Da questo punto di vista il circuito preso in esame può anche essere considerato un registro a scorrimento in quanto trasferisce l'informazione di ingresso da stadio a stadio per ogni impulso di clock.

13.9.1) MOS dinamici a rapporto minimo.

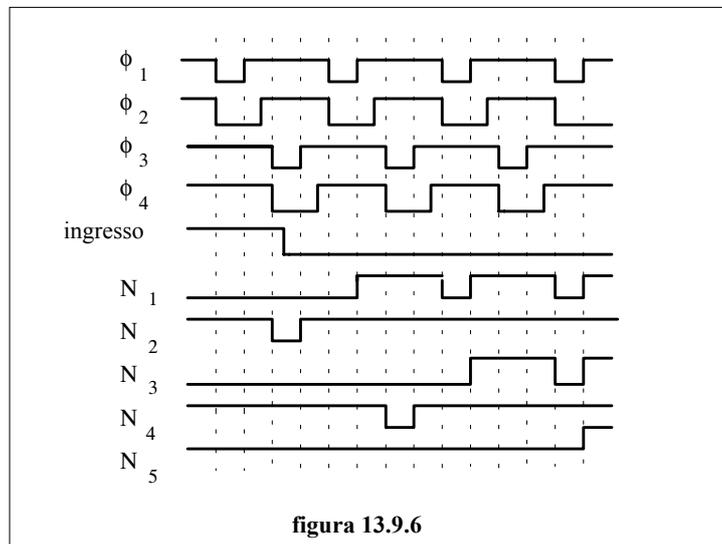
Nei circuiti fino a questo momento considerati esiste un'esigenza comune da rispettare; quella cioè che la resistenza di conduzione dei MOS attivi sia notevolmente inferiore di quella dei MOS di carico, in modo da avere una tensione di uscita sufficientemente prossima

13.9.2) MOS dinamici a quattro fasi.

Esistono circuiti MOS dinamici a quattro fasi, sviluppo di quelli a due fasi, che permettono di ottenere dimensioni minime, maggior velocità operativa e minore dissipazione. La sola corrente necessaria al funzionamento è quella che serve a caricare e scaricare le capacità nodali e viene prelevata direttamente dai segnali di clock.



Per illustrarne il funzionamento si farà riferimento al registro a scorrimento di fig. 13.9.5, mentre in fig. 13.9.6 sono riportate le relative forme d'onda.

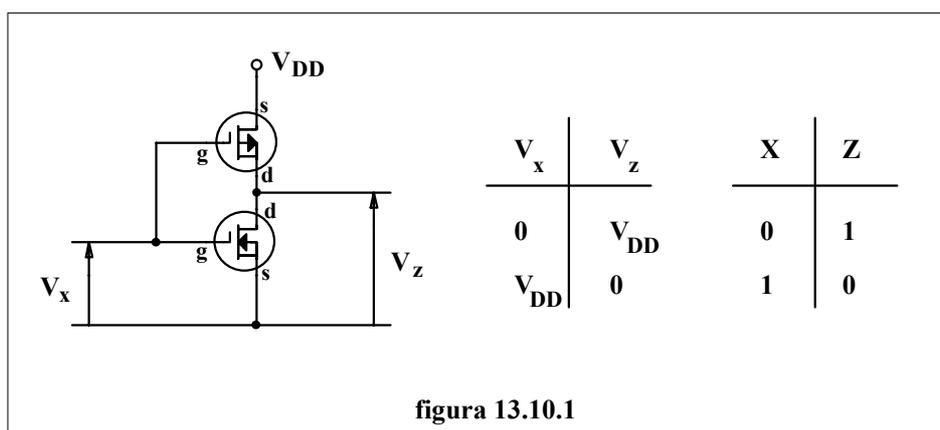


Negli intervalli ϕ_1 e ϕ_2 i transistori T_{11} e T_{12} passano in conduzione, mentre T_{13} conduce o meno in funzione della tensione di ingresso. Comunque sia, considerate le resistenze di conduzione offerte dai vari MOS, la capacità C_{12} si carica a una tensione negativa. Alla fine di ϕ_1 T_{12} rimane in conduzione per effetto di ϕ_2 e se T_{13} è conduttore la capacità C_{12} si scarica a massa. Se invece la tensione di ingresso è nulla, T_{13} rimane interdetto e C_{12} mantiene la sua carica negativa. Con un breve ritardo rispetto alla fine di ϕ_2 vengono applicati gli impulsi ϕ_3 e ϕ_4 , il cui effetto è quello di accumulare su C_{21} una carica

negativa. Alla fine di ϕ_3 l'informazione presente su C_{12} viene trasferita invertita su C_{21} . Dopo un ciclo completo di clock pertanto l'informazione e' stata trasferita dall'ingresso all'uscita del primo stadio. Ad ogni ulteriore ciclo di clock l'informazione viene spostata attraverso gli stadi e compare all'uscita con un ritardo in periodi di clock pari al numero degli stadi del registro. L'informazione di ingresso viene letta durante il periodo ϕ_2 , quella di uscita e' disponibile dalla fine di ϕ_3 all'inizio dell' impulso ϕ_3 successivo.

13.10) La famiglia CMOS.

La famiglia CMOS (Complementary Metal Oxide Silicon), presente sul mercato gia' da molti anni, ha rispetto ad altre famiglie logiche alcune proprieta' del tutto insolite. Anzitutto i suoi ingressi sono ad elevatissima impedenza, tali che dal punto di vista puramente ohmico possono essere considerati dei circuiti aperti. In condizioni statiche poi il loro consumo e' praticamente nullo, non essendoci alcuna circolazione di corrente. Inoltre la tensione di alimentazione puo' essere liberamente scelta in un campo che va da 3 a 15 volt e non richiede affatto di essere stabilizzata e ben filtrata. In fig. 13.10.1 e' riportato lo schema base della famiglia, rappresentante un circuito invertitore. Esso consiste in due transistori MOS, ambedue a rinforzo, di cui il superiore e' a canale P, l'inferiore a canale N.



Per non ingenerare confusione non viene usata la terminologia usuale per i circuiti MOS, ma si indica di solito con il simbolo di massa il "source" del transistoro inferiore e con V_{CC} il "source" del transistoro superiore.

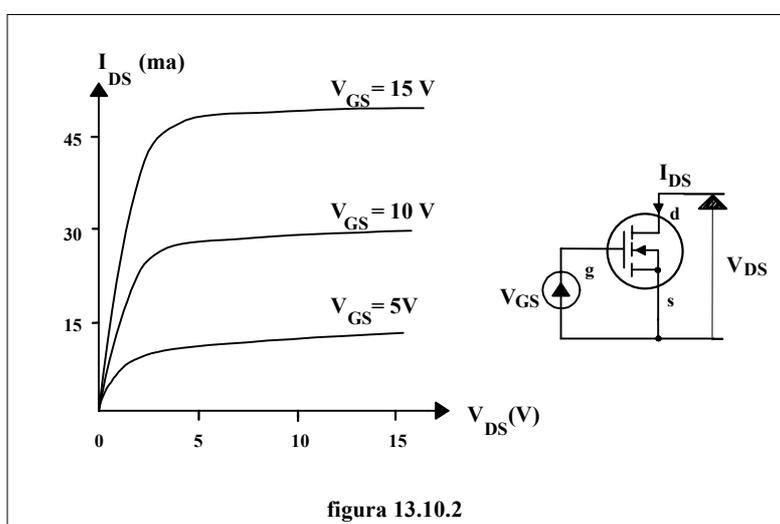
Il funzionamento del circuito e' riassunto nella tabella di fig. 13.10.1 ed e' evidente. Quando la tensione di ingresso V_x e' nulla, il MOS a canale N e' interdetto mentre quello a canale P e' conduttore, essendo la sua tensione "gate-source" pari a V_{CC} . La tensione di uscita e' quindi pari a quella di alimentazione. Quando invece la V_x diviene pari a V_{CC} , il transistoro a canale P si interdice, mentre passa in conduzione quello a canale N.; la tensione di uscita e' quindi pari a zero.

Si vede che in ambedue gli stati uno dei due MOS e' interdetto; non vi e' pertanto circolazione di corrente se si trascura la debolissima corrente di perdita dei MOS. Pertanto i livelli logici sono V_{CC} e 0 (corrispondenti alle costanti logiche 1 e 0 in logica positiva) poiche' in un MOS conduttore, in cui pero' non scorra corrente, non si ha caduta di tensione. Tenendo poi presente che l'impedenza di ingresso di un MOS e' elevatissima ($> 10^{12}$ ohm + 5 picofarad) e che il carico di ciascun gate e' formato dagli ingressi dei gates a valle, i livelli logici si possono ritenere a buona ragione uguali alla tensione di alimentazione e a zero.

Durante la commutazione invece vi e' un brevissimo istante in cui ambedue i transistori possono risultare conduttori. La durata di questo intervallo dipende dai tempi di salita e di discesa dei dispositivi e dalla tensione di alimentazione. Considerando che il carico di ciascun MOS e' prevalentemente capacitivo e' allora opportuno esaminare come il tempo di salita e di discesa siano influenzati dalla tensione di alimentazione e dalla capacita' di carico.

In fig. 13.10.2 e' riportata una tipica caratteristica di un transistore MOS. E' interessante notare che per ciascuna curva caratteristica e' possibile individuare due zone; una prima in cui il transistore si comporta come una resistenza e una seconda in cui il comportamento e' simile ad un generatore di corrente e nella quale la I_{DS} e' indipendente da V_{DS} .

Pilotando quindi con questi dispositivi un carico capacitivo, fino a che la V_{DS} sara' tale da mantenere il MOS nella zona "generatore", la tensione di uscita avra' un andamento a rampa; passando poi alla zona "resistore" si avra' un andamento esponenziale.



Aumentando la tensione di alimentazione aumenta l'escursione di tensione del carico, e, almeno per quanto riguarda la zona di carica a rampa, questo fatto tende a rallentare la logica. Tuttavia l'aumento della tensione di alimentazione aumenta con legge quadratica la corrente erogata nella zona "generatore" e la conduttanza nella zona "resistore". In conclusione quindi si puo' affermare che al crescere della tensione di alimentazione diminuiscono i tempi di salita e di discesa. E' questa una caratteristica esclusiva della logica CMOS.

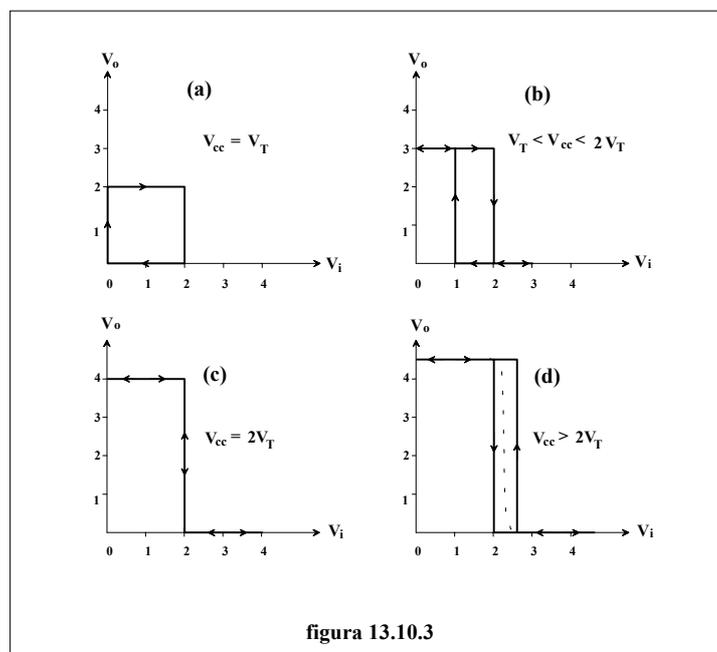
13.10.1) Caratteristica di trasferimento.

Per tutti i transistori MOS esiste un valore di tensione V_{GS} , detto tensione di soglia e di solito indicato con V_T , al di sotto del quale il transistore non conduce (si ricordi che si sta parlando di transistori a rinforzo). Tale soglia di conduzione e' indipendente dalle tensioni di alimentazione ed e' influenzata in pratica unicamente dalla tecnologia usata per la fabbricazione del MOS stesso. Da valori elevati, superiori addirittura a 4 volt, tale soglia si e' andata via via abbassando e con le tecnologie piu' moderne si situa oggi nell'intorno del volt.

Si assuma allora, per ragioni di semplicita' nell'esaminare la caratteristica di trasferimento dell'invertitore, che i due MOS complementari abbiano caratteristiche perfettamente complementari e che la tensione di soglia sia pari a 2 volt.

Se la tensione di alimentazione e' inferiore alla tensione di soglia evidentemente nessuno dei due transistori MOS puo' entrare in conduzione e il circuito non puo' funzionare.

Se V_{CC} uguaglia la tensione di soglia, l'andamento della caratteristica di trasferimento e' quello riportato in fig. 13.10.3 (a). Si noti tuttavia che la caratteristica e' valida solo nel caso di un carico capacitivo, in quanto i due transistori conducono solo per $V_i = 0$ e $V_i = 2$ volt. I tratti orizzontali sono giustificati dal fatto che quando i transistori sono interdetti la tensione di uscita della porta viene memorizzata nella capacita' di carico.



Se V_{CC} rimane compresa tra una e due volte il valore della tensione di soglia (fig. 13.10.3 (b)), si ha via via una diminuzione del tratto in cui ambedue i transistori sono bloccati, fino a che, in corrispondenza a $V_{CC} = 2 V_T$, il ciclo di isteresi scompare (fig. 13.10.3 (c)). In tutti questi casi comunque non circola corrente durante la commutazione nei due transistori.

Quando invece V_{CC} supera il valore $2 V_T$ si crea una zona in cui ambedue i transistori sono conduttori. Ogni volta in cui V_i passa in tale zona, si ha un impulso di corrente assorbita dall'alimentazione, una caduta di tensione nei transistori e la caratteristica di funzionamento si arrotonda come e' illustrato in fig. 13.10.3.(d). In tale figura con il tratto continuo sono riportate le caratteristiche idealizzate di commutazione dei singoli MOS, mentre l'effettiva caratteristica di trasferimento e' a tratteggio.

13.10.2) Comportamento al variare dell' alimentazione.

Si e' gia' visto che per un dato ammontare del carico capacitivo l'aumento della tensione di alimentazione fa aumentare la velocita' operativa; aumenta tuttavia anche la potenza dissipata a causa della corrente che attraversa ambedue i transistori nel periodo in cui conducono contemporaneamente.

In fig. 13.10.5 sono riportate le caratteristiche tipiche di una porta CMOS. E' bene notare anzitutto la grandissima dinamica del parametro potenza dissipata che va da 10^{-8} W in condizioni statiche a oltre 10 mW a 1 MHz. Notevole influenza sul consumo hanno sia la capacita' di carico che la tensione di alimentazione. E' pertanto azzardato affermare che la logica CMOS sia quella a consumo minimo, poiche' se tale affermazione e' senz'altro vera a bassa frequenza, a frequenze superiori al MHz il consumo diventa paragonabile o addirittura superiore a quello della logica TTL.

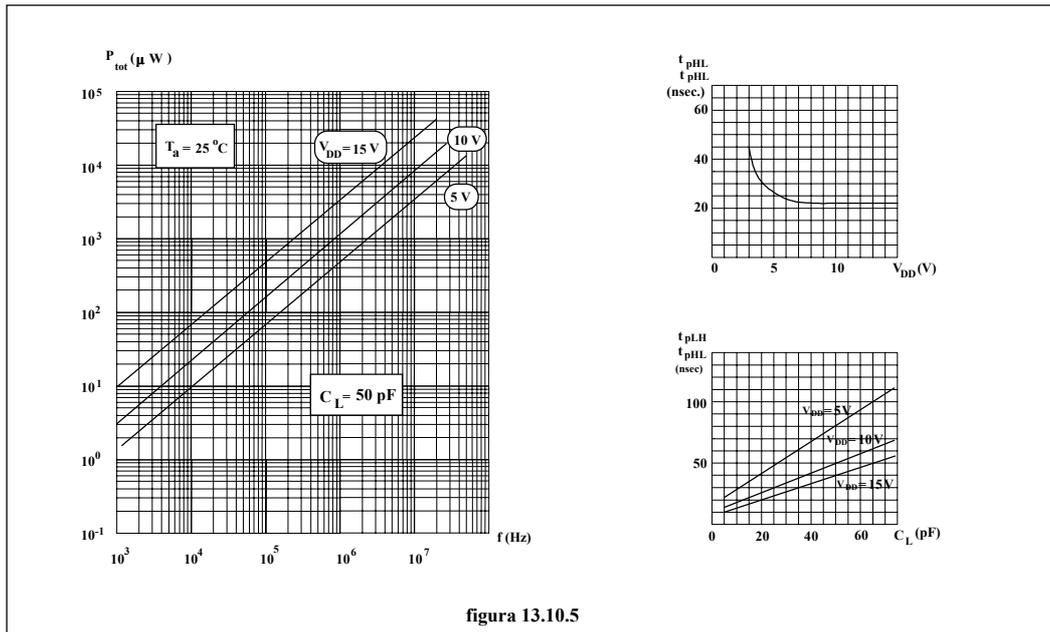


figura 13.10.5

13.10.3) Immunita' al rumore.

I circuiti CMOS hanno un'elevata immunita' al rumore, il cui valore tipico e' 0.45 volte la tensione di alimentazione V_{CC} . Se invece di fare riferimento al margine di rumore reale si esamina il margine di rumore apparente, calcolato sulla base dei valori minimi e massimi garantiti, si ottiene comunque un margine di rumore di 1 volt, superiore senza dubbio a quello di qualsiasi altra famiglia logica, eccezion fatta per la HTL. In fig. 13.10.6 sono riportati i livelli garantiti di ingresso e di uscita in funzione della tensione di alimentazione e sono evidenziati i margini di rumore a livello alto e a livello basso.

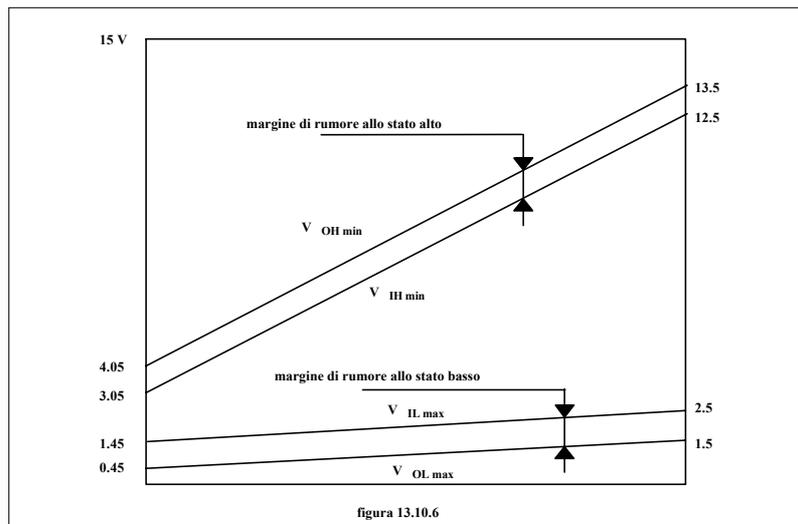
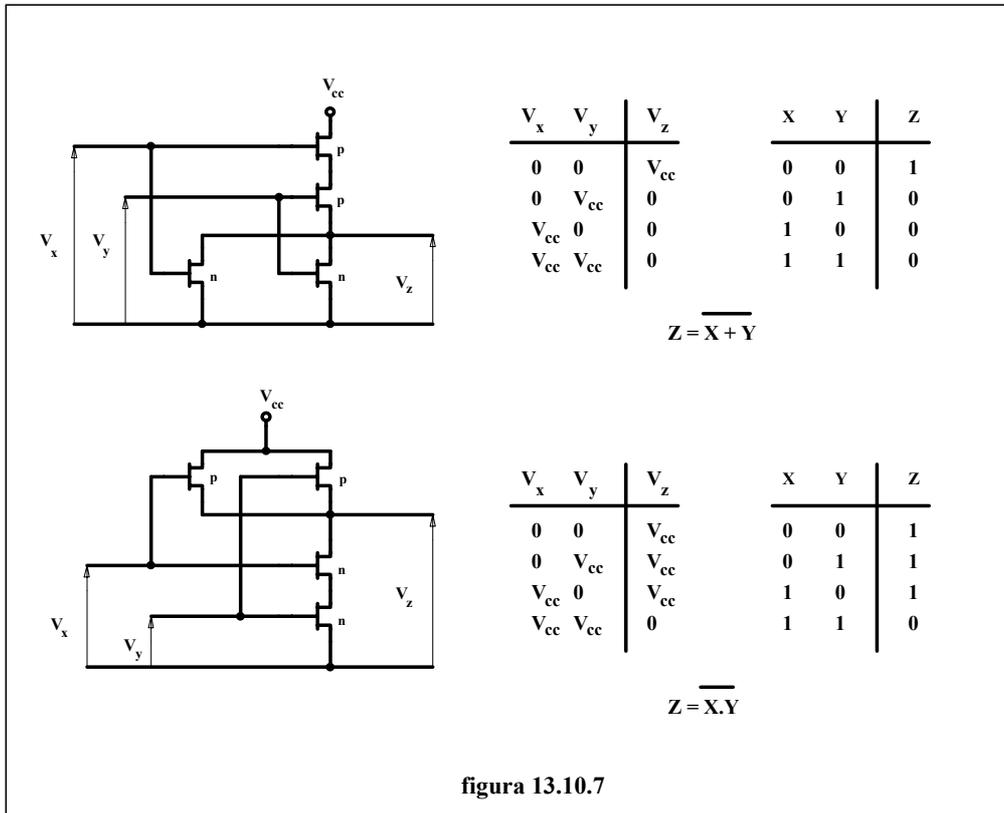


figura 13.10.6

13.10.4) Struttura delle porte logiche.

In fig. 13.10.7 sono riportati gli schemi circuitali delle porte CMOS NOR e NAND, assieme alle loro tavole di funzionamento, che peraltro e' evidente.

E' opportuno far notare che per ciascun ingresso e' richiesto un invertitore, cioe' due transistori MOS. E' questo un punto a sfavore della tecnologia CMOS che ne limita l'impiego nel settore dell'integrazione a larga scala.



13.10.5) Considerazioni generali sull'uso della famiglia CMOS.

A differenza delle famiglie bipolari, in cui gli ingressi non usati possono al limite anche essere lasciati aperti, nella famiglia CMOS condizione essenziale per il funzionamento del circuito e' non lasciare alcun ingresso volante. Gli ingressi infatti, a causa della loro elevatissima impedenza, captano il rumore ambientale facendo commutare in modo incontrollabile la porta.

Gli ingressi non usati vanno pertanto connessi di volta in volta a massa, alla tensione di alimentazione o a un altro ingresso usato. La scelta non e' del tutto arbitraria, poiche' influenza la capacita' della porta di pilotare carichi, soprattutto capacitivi. Ad esempio nella porta NAND di fig. 13.10.7 un ingresso non usato collegato alla tensione di alimentazione mantiene interdetto in permanenza uno dei due MOS in parallelo, mentre quando lo stesso ingresso viene connesso in parallelo ad un altro ingresso usato, raddoppia la capacita' di pilotaggio della porta allo stato alto. Analogamente nella porta NOR il collegamento in parallelo degli ingressi aumenta la possibilita' di pilotaggio allo stato basso. Quando si voglia aumentare la capacita' di pilotaggio in ambedue gli stati anziche' in uno solo, gli ingressi e le uscite di un certo numero di porte possono essere posti in parallelo.

Infine e' bene far notare che, poiche' la famiglia puo' funzionare su un ampio campo di tensioni di alimentazione ed e' dotata di un'ottima immunita' al rumore, l'alimentazione stessa non richiede ne' di essere stabilizzata, ne' eccessivamente filtrata. Utilizzando la famiglia CMOS si semplifica quindi il progetto dell'alimentatore e se ne riduce il costo.

13.11) Interfacciamento delle famiglie logiche.

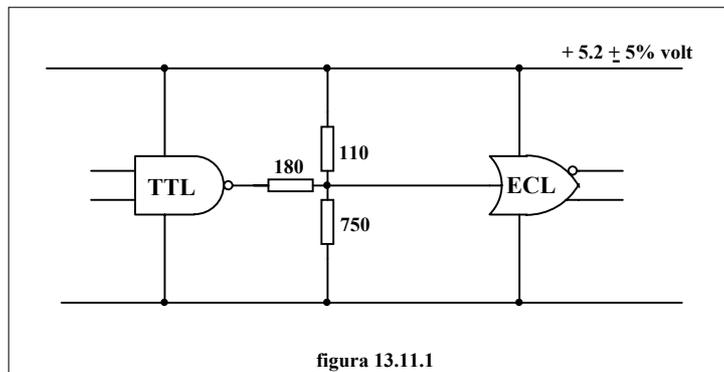
Al giorno d'oggi le famiglie logiche piu' diffuse sono senza dubbio la TTL e la CMOS; si verifica tuttavia di frequente il caso in cui un sistema utilizzi contemporaneamente diverse tecnologie, anche diverse dalla due citate. E' necessario in tal caso adattare le une alle altre con opportuni circuiti di interfaccia. Nel seguito verranno presi in esame alcuni casi tipici, con esclusione dei circuiti MOS, per i quali i problemi di interfacciamento risultano condizionati dalla particolare tecnologia in gioco (a bassa o a alta soglia, a gate metallico o no, a canale N o P, ecc.)

13.11.1) Interfaccia TTL - DTL.

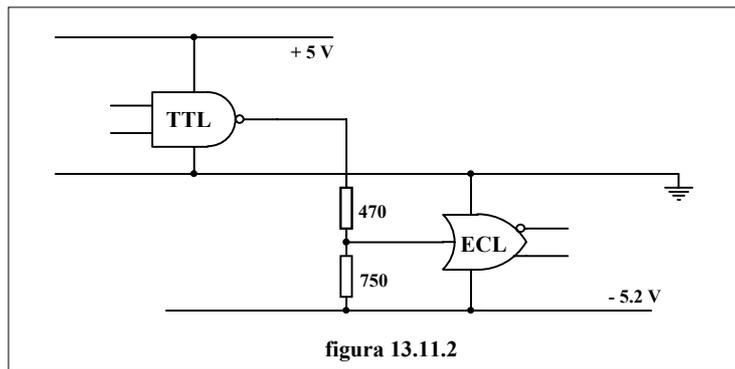
Come e' stato in precedenza accennato, le famiglie TTL e DTL sono perfettamente compatibili tra di loro essendo alimentate con la stessa tensione nominale ed essendo ambedue famiglie che erogano corrente dall'ingresso quando quest'ultimo si trova allo stato basso. Tuttavia, se nel pilotaggio da TTL a DTL non vi e' alcun problema, quando invece un elemento DTL pilota un TTL il fan-out massimo e' 8 per le porte con resistenza di carico di 2 kohm, 4 per quelle la cui resistenza di carico e' 6 kohm.

13.11.2) Interfaccia TTL - ECL.

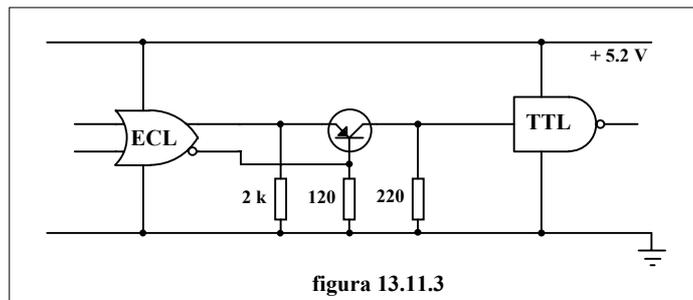
L'uso contemporaneo di elementi TTL e ECL nello stesso circuito offre al progettista un notevole grado di liberta' ed apre l'intero spettro delle frequenze VHF ai vantaggi delle misure digitali e dell'elaborazione del segnale con tecniche di commutazione.



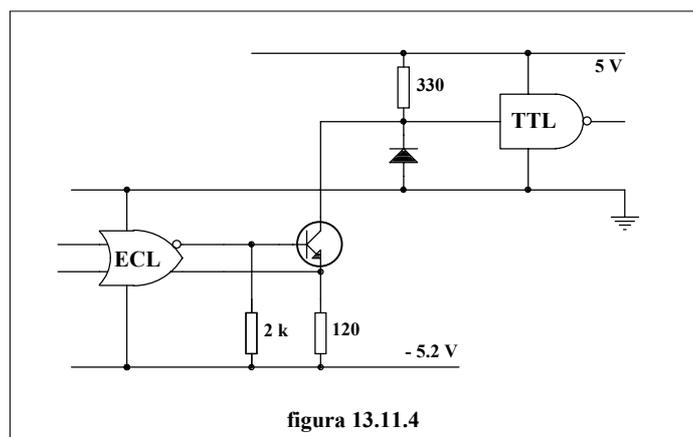
Il metodo piu' diretto per interfacciare tali elementi, utilizzabile tuttavia solo per piccoli sistemi, utilizza un'unica alimentazione di 5 o 5.2 volt, come illustrato in fig. 13.11.1. E' necessario in tal caso disaccoppiare molto accuratamente l'alimentazione, considerato che la TTL e' una famiglia che autogenera rumore e che la ECL ha un margine di rumore piuttosto piccolo. Tale disaccoppiamento puo' essere ottenuto utilizzando un condensatore da 100 nanofarad per ogni contenitore ECL. Nel caso tuttavia in cui il sistema comprenda piu' di una diecina di chip e' opportuno mantenere separate le alimentazioni per i TTL e per gli ECL, come mostrato in fig. 13.11.2.



In entrambi i casi il resistore posto in serie all'uscita TTL limita l'escursione logica, sposta il livello del segnale ed assicura un'impedenza sufficientemente bassa per garantire una corretta trasmissione del segnale ed una buona immunita' rispetto al rumore ambiente. Nel caso in cui la porta ECL sia gia' terminata a massa tramite una resistenza da 2 kohm, come talvolta avviene, il resistore da 750 ohm va aumentato a 1200 ohm.



Piu' complesso e' invece l'adattamento da segnale ECL a TTL. E' necessario in tal caso usare un amplificatore di tensione in modo da portare l'escursione logica delle porte ECL (tipicamente di 0.8 volt) ad almeno 2.5 volt. In fig. 13.11.3 e' illustrato un circuito di interfaccia a singola alimentazione, mentre in fig. 13.11.4 si ha un circuito che usa alimentazioni separate per la parte ECL e per quella TTL.



13.11.3) Interfacciamento della famiglia CMOS con altre logiche.

Nella pratica molto frequentemente si rende necessario interfacciare elementi CMOS con altri elementi logici.

I problemi da affrontare sono in tal caso, molto sinteticamente, i seguenti:

- 1) L'uscita di un elemento CMOS deve soddisfare le richieste di tensione e di corrente di ingresso dell'elemento pilotato.
- 2) Nel caso in cui la connessione da realizzare proceda da un qualsiasi elemento logico verso un elemento CMOS, l'uscita dell'elemento da interfacciare deve avere un'escursione del segnale logico la più vicina possibile ai due estremi della tensione di alimentazione degli elementi CMOS.

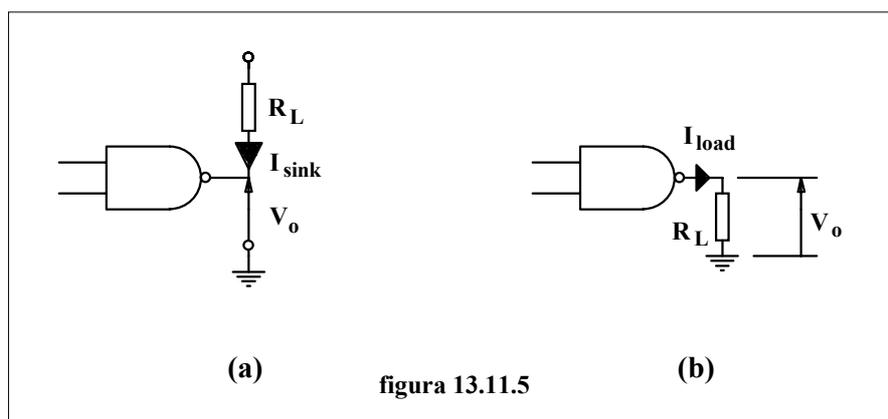
Le specifiche pertanto sono relativamente semplici e non pongono di solito grossi problemi circuitali. Il caso più comune è l'interfacciamento TTL-CMOS e CMOS-TTL. Nel primo caso non vi è alcun particolare accorgimento da prendere, salvo l'aggiunta di un eventuale resistore di "pull - up" in uscita dell'elemento TTL. Nel secondo caso invece non è in pratica possibile pilotare direttamente una porta TTL standard in quanto un'uscita CMOS, anche se TTL compatibile, è bene che non assorba o eroghi correnti superiori al milliampere.

Il problema può venir risolto o ricorrendo ad un apposito buffer (4009, 4010, 74C901 ecc.) o utilizzando come elemento di interfaccia una porta TTL low power, che ha correnti notevolmente inferiori alla standard, pur essendo con essa compatibile, oppure usando una porta CMOS NOR con due o meglio ancora quattro ingressi connessi in parallelo.

13.11.4) Pilotaggio di piccoli carichi.

Per collegare ad una porta componenti diversi di quelli della famiglia è necessario tener conto dei limiti di tensione e corrente che le varie porte hanno sia per quanto riguarda l'ingresso che per quanto riguarda l'uscita.

La fig. 13.11.5 illustra le due possibilità che si hanno per alimentare un carico direttamente dalla porta. Nel primo caso (a) il carico riceve potenza quando l'uscita della porta è bassa e la massima corrente che può essere controllata è specificata dal costruttore, allo stesso modo in cui è specificata la massima tensione applicabile all'uscita della porta.



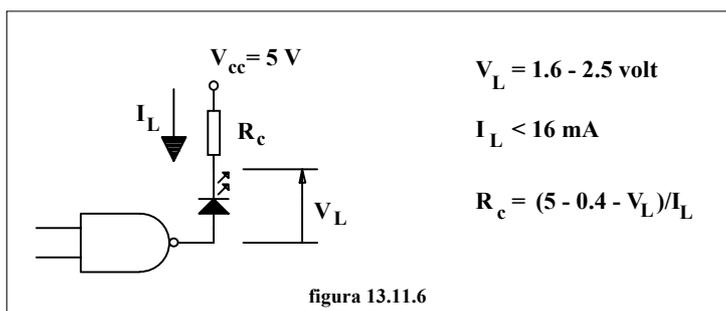
Nel secondo caso (b) il carico viene alimentato quando la porta si trova nello stato alto.

Il tipo di connessione assume particolare importanza quando, come nel caso delle porte TTL, l'impedenza di uscita è notevolmente diversa nei due stati. Nel caso (a) infatti, purché

I_{sink} non superiori i 16 mA, la porta lavora in condizioni nominali, mentre nel caso (b) ci si trova in condizioni, che nell'ambito di una rete formata solo da elementi logici della famiglia, non si verificano mai.

Poiche' l'impedenza di uscita nello stato alto (150 ohm) e' considerevolmente maggiore di quella allo stato basso (12 ohm), la capacita' di pilotaggio risulta ridotta. In pratica il valore minimo della resistenza di carico si aggira sui 180 ohm e con tale valore di carico l'uscita allo stato alto risulta di poco piu' di 2 volt.

Un tipico carico che puo' essere pilotato direttamente dalla porta TTL e' il LED, secondo lo schema della fig. 13.11.6.



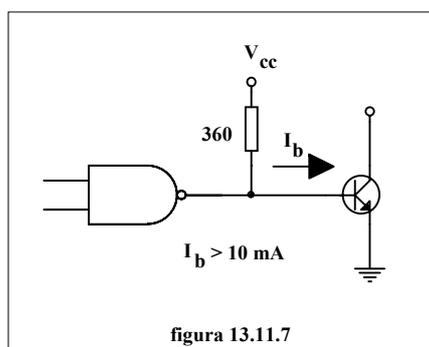
Lo stesso carico evidentemente non puo' essere pilotato da una porta LPTTL o CMOS se non con l'interposizione di un transistor.

13.11.5) Interconnessione con transistori.

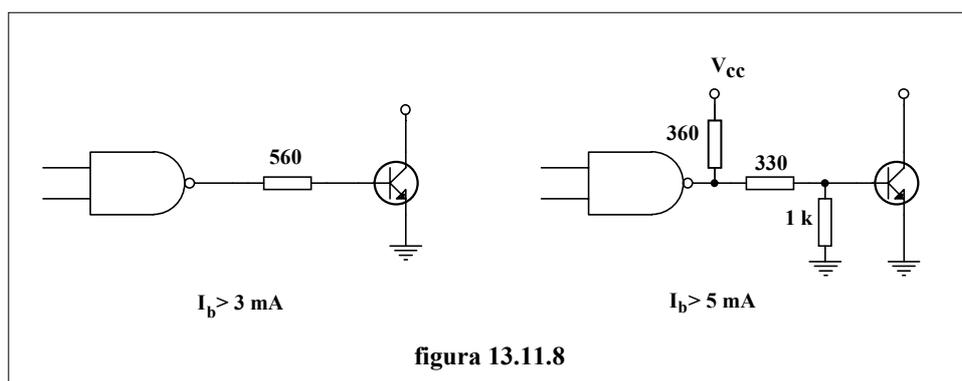
Spesso e' necessario controllare tensioni o correnti piu' elevate di quelle sopportabili da un circuito integrato; in queste condizioni si puo' usare un transistor di caratteristiche adeguate. Con l'impiego di un transistor inoltre e' possibile ottenere livelli logici per i quali non sia disponibile un'interfaccia standard.

Nel seguito saranno illustrati i problemi di interfacciamento di porte TTL con transistori; tuttavia i concetti esposti valgono qualsiasi sia il tipo di interfacciamento che si vuole realizzare.

Il circuito di fig. 13.11.7 e' il piu' efficiente, ma ha lo svantaggio di richiedere una porta con uscita a collettore aperto.



Gli altri due, riportati in fig. 13.11.8, che si usano con stadi di uscita a "totem - pole", limitano la corrente di uscita della porta con un resistore in serie alla base.

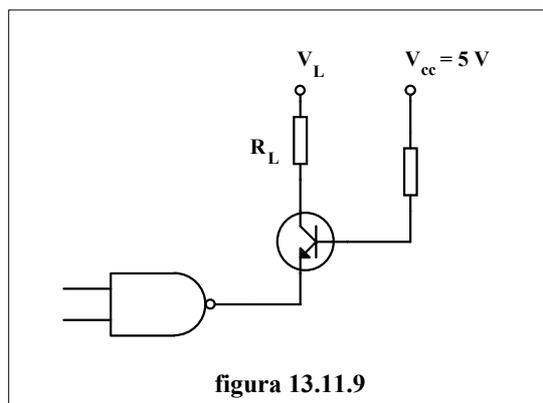


Il circuito della fig. 13.11.8 (b) aumenta la capacita' di pilotaggio della porta pilota allo stato alto con un resistore esterno di "pull-up". La corrente che scorre su tale resistore pilota la base del transistore quando la porta si trova allo stato alto, mentre e' assorbita dal transistore inferiore del "totem-pole" nello stato basso; in tal modo si sfrutta la caratteristica della porta TTL di essere in grado di assorbire una corrente maggiore di quella che e' in grado di erogare. Il resistore connesso poi tra base e massa rende piu' veloce l'interdizione del transistore e migliora la stabilita' termica del circuito.

In tutti i tre circuiti appena presentati il carico e' connesso tra collettore del transistore e un' opportuna tensione di alimentazione V_L il cui valore, assolutamente indipendente dalla tensione V_{CC} di alimentazione della logica, e' determinato dal carico pilotato; il transistore poi andra' scelto sulla base della tensione V_L e della corrente richiesta. E' bene che il transistore lavori in condizioni di saturazione abbastanza spinta per garantire una buona stabilita' dei punti di lavoro e una bassa dissipazione di potenza. Qualora con un unico stadio non si riuscisse a soddisfare le specifiche di progetto sara' necessario ricorrere a circuiti con piu' stadi.

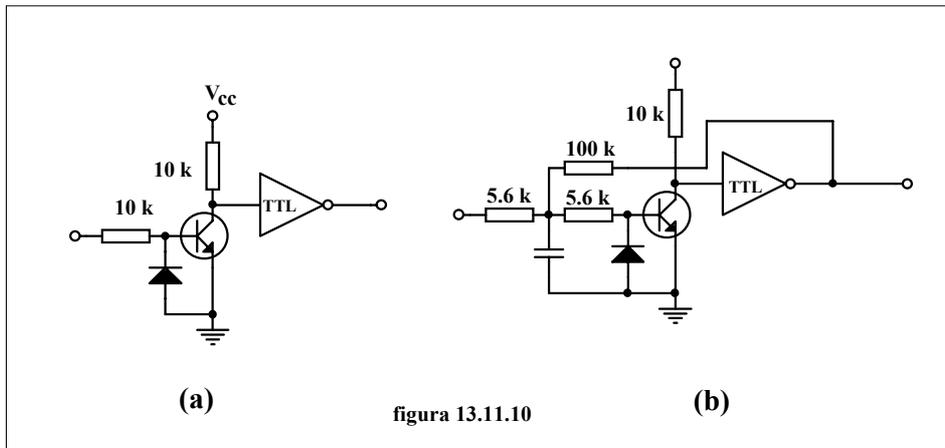
Infine in fig. 13.11.9 e' presentato un circuito per il pilotaggio di carichi senza l'inversione di fase introdotta dai circuiti precedenti.

E' opportuno far notare che la realizzazione circuitale illustrata e' utile per pilotare carichi a bassa corrente, come ad esempio displays a scarica nei gas, poiche' la corrente che scorre nel carico e' assorbita totalmente dalla porta e non puo' quindi superare i 16 mA.



Quando si debba invece pilotare un ingresso TTL con sorgenti esterne, rispettando la bassa impedenza e le specifiche di tensione dell'ingresso stesso, non sempre il problema e' di

facile soluzione. In fig. 13.11.10 sono presentati due circuiti che permettono di interfacciare una sorgente esterna con un ingresso TTL.

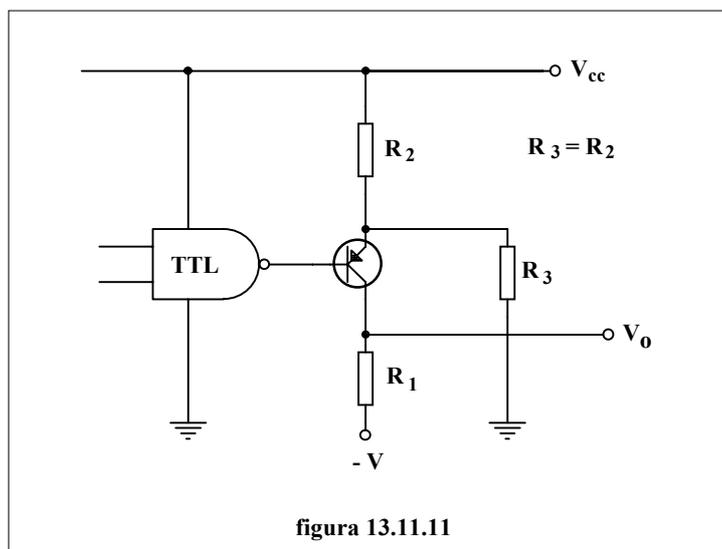


Ambedue i circuiti possono sopportare segnali di ingresso nel campo compreso tra 100 e -100 volt, mentre cambiano di stato con segnali dell'ordine del volt. Il diodo posto tra base e massa protegge la giunzione base emettitore da tensioni negative che potrebbero provocarne il breakdown.

Il circuito di fig. 13.11.10 (b) possiede inoltre un filtro RC di ingresso che sopprime il rumore ad alta frequenza e una reazione positiva che impedisce alla porta di rimanere nella fascia di incertezza in presenza di segnali di ingresso lentamente variabili.

13.11.6) Spostamento dei livelli di tensione.

In fig. 13.11.11 e' presentato un circuito che permette di spostare il livello di tensione del segnale da TTL a valori negativi.



Il partitore R_2, R_3 fissa a $V_{CC}/2$ volt il potenziale dell'emettitore del transistor. Pertanto tale transistor e' interdetto quando la porta si trova allo stato alto, su R_1 non circola corrente e la tensione di uscita si porta a $-V$.

Quando invece l'uscita della porta va allo stato basso il transistore passa in conduzione e, tenendo presente che R_2 e' uguale a R_3 , la tensione di uscita assume il valore:

$$V_0 = \frac{V_{cc} \cdot R_1}{R_2 + 2 \cdot R_1} - \frac{V \cdot R_2}{R_2 + 2 \cdot R_1}$$

quando si trascuri la caduta ai capi del transistore.

13.11.7) Interfacce per il pilotaggio di linee.

I circuiti per il pilotaggio di linee sono circuiti di interfaccia che convertono i segnali di uscita di una porta, spesso di tipo TTL, in segnali adatti a linee di trasmissione (**line drivers**) oppure riconvertono questi ultimi nuovamente in segnali adatti alla logica (**line receivers**).

L'esigenza di disporre di tali circuiti nasce dal fatto che, come si e' visto in precedenza, i dispositivi logici appartenenti alle varie famiglie non sono di solito adatti a pilotare direttamente le linee. E' opportuno forse richiamare alcune delle conclusioni raggiunte.

Le connessioni tra gli elementi circuitali devono essere quanto piu' possibile corte e non devono procedere affiancate o addirittura attorcigliate assieme; le connessioni devono venir eseguite preferibilmente da punto a punto e su un piano di massa che riduce gli accoppiamenti tra i conduttori.

Le connessioni unifilari non devono superare una certa lunghezza massima, che va da pochi centimetri per gli elementi ECL alla sessantina di centimetri per quelli TTL standard. Lunghezze superiori richiedono l'uso di coppia ritorta o di cavo coassiale. Il cavo coassiale da' maggiori garanzie contro l'accoppiamento tra segnali, ma presenta l'inconveniente di avere un'impedenza caratteristica (normalmente 50 ohm) troppo bassa per essere adeguatamente pilotato da un elemento logico.

Resistori di "pull-up" al lato ricevitore migliorano la situazione per quanto riguarda gli effetti nocivi delle riflessioni, se il loro valore e' pari all'impedenza caratteristica della linea. Disgraziatamente un resistore di valore pari all'impedenza caratteristica costituisce in molti casi un carico eccessivo per una porta standard, che deve poter erogare o assorbire nei due stati la corrente che vi circola. In particolare per le porte TTL la soluzione non e' praticabile e il pensare di connettere una resistenza di terminazione tra uscita e massa anziche' tra uscita e alimentazione peggiora ulteriormente la situazione. In tal caso la porta dovrebbe fornire una corrente relativamente elevata allo stato alto, anziche' assorbirla allo stato basso.

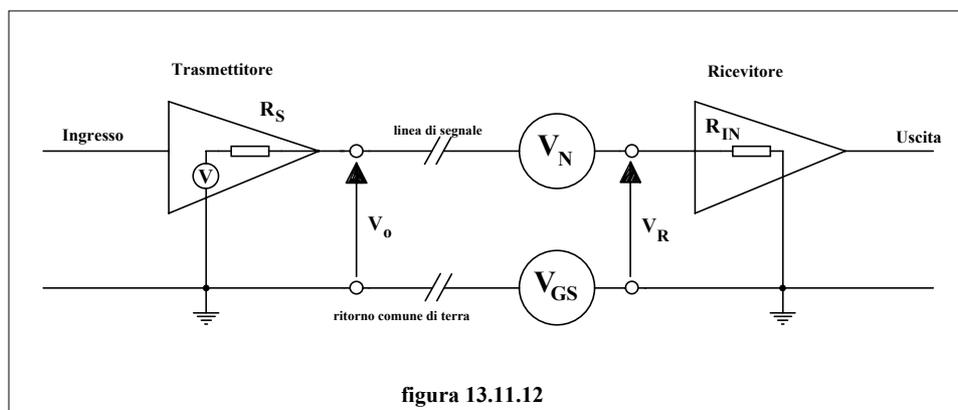
I line drivers e i line receivers permettono di superare tali difficolta', sia per l'elevato fan-out posseduto, sia perche' spesso possiedono uscite bilanciate e ingressi differenziali. In tal caso si possono ottenere elevate reiezioni di modo comune pilotando linee simmetriche e adattando perfettamente la linea con carichi pari alla sua impedenza caratteristica.

13.11.8) Forme e modalita' operative dei circuiti di trasmissione dati.

I circuiti di trasmissione dati si presentano in due forme principali; circuiti con trasmissione su linea sbilanciata e circuiti che utilizzano la trasmissione differenziale su linea bilanciata.

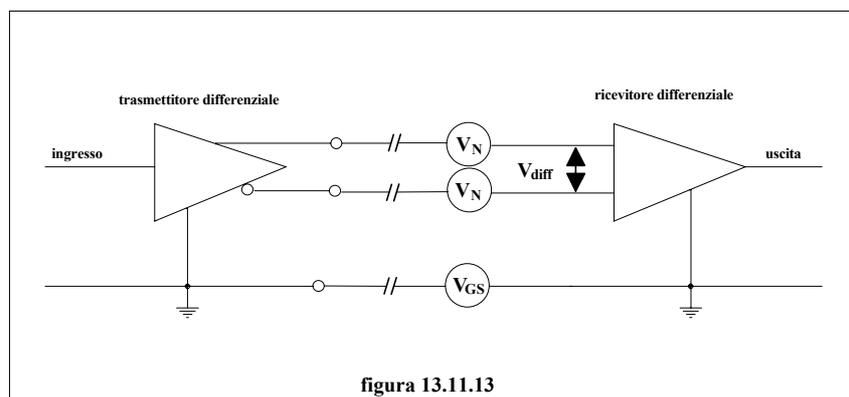
La trasmissione su linea sbilanciata utilizza una linea di segnale e una linea comune di terra per il ritorno del segnale stesso (fig. 13.11.12). Il suo piu' evidente vantaggio risiede nella semplicita' in quanto e' necessario un unico filo per circuito. Gli svantaggi sono determinati dalla sensibilita' al rumore V_N e agli spostamenti del potenziale di terra V_{GS} . I rumori indotti sono causati da accoppiamenti magnetici o capacitivi con linee di segnale adiacenti o con altri

generatori di rumore. Gli spostamenti del potenziale di massa sono dovuti alle cadute nel circuito di massa per effetto della circolazione di corrente, essendo tale circuito dotato di resistenza e induttanza finite anziché nulle.



I due disturbi V_N e V_{GS} si sommano al segnale prodotto dal trasmettitore e il ricevitore non è in alcun modo in grado di discriminare tra segnale e disturbo. L'immunità al rumore di un circuito sbilanciato può tuttavia essere aumentata adottando le seguenti precauzioni:

- 1) Aumentare la tensione di uscita del trasmettitore. Tale accorgimento ha tuttavia lo svantaggio di far salire la dissipazione di potenza.
- 2) Usare cavi schermati e ridurre la resistenza del circuito di massa. Tale precauzione tuttavia, pur riducendo il livello del disturbo, fa lievitare i costi.
- 3) Aggiungere un'isteresi al lato ricevitore. Si ottiene in tal modo un aumento del margine di rumore in continua, ma si introduce una distorsione temporale sul segnale.



Un circuito differenziale bilanciato, illustrato in fig. 13.11.13, usa per ogni circuito una coppia di fili intrecciati, un ricevitore e un trasmettitore differenziali. La linea bifilare ritorta è in grado di eliminare le correnti indotte per accoppiamento magnetico. I disturbi che invece si generano per accoppiamento capacitivo hanno lo stesso effetto per ambedue i conduttori e costituiscono quindi per il ricevitore un segnale di modo comune. Anche lo spostamento del potenziale di terra può essere considerato un segnale di modo comune. Se il ricevitore, come normalmente avviene, ha un'elevata reiezione di modo comune, esso è in grado di separare il

segnale dal disturbo, permettendo una corretta trasmissione delle informazioni anche in ambienti che non consentono l'utilizzo di linee sbilanciate.

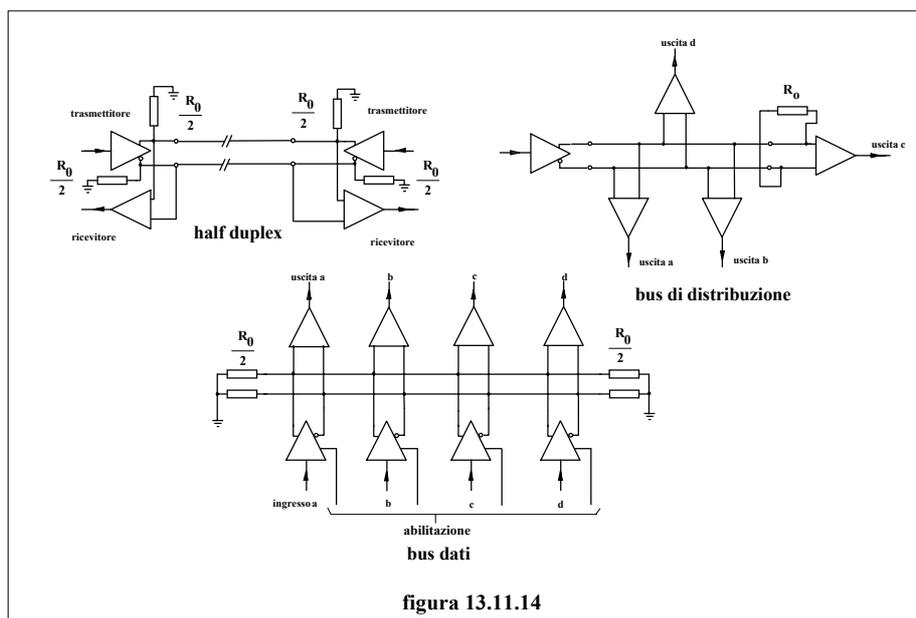


figura 13.11.14

Vi sono poi due modalità operative per i circuiti di trasmissione dati, simplex e multiplex. Il circuito di tipo simplex permette il flusso dei dati in una sola direzione. Un circuito di tipo multiplex permette un flusso non contemporaneo di dati nelle due direzioni (half-duplex), contemporaneo (full-duplex) o multidirezionale (bus o party line). In generale un circuito multiplex ha due o più coppie di trasmettitori e ricevitori sulla stessa linea, con il vincolo che solo un trasmettitore può essere attivo a un determinato istante. Alcune soluzioni possibili per la trasmissione multiplex sono riportate in fig. 13.11.14.

I sistemi simplex sono più semplici da realizzare e minimizzano i problemi di temporizzazione, mentre quelli multiplex sfruttano meglio il mezzo trasmissivo, ma sono più difficili da progettare.

Quando si opera in modo multiplex è necessario tener presenti i seguenti problemi, in particolare quando si abbia a che fare con una struttura a bus.

- 1) È necessario progettare un protocollo o comunque una metodologia che consenta di stabilire il collegamento tra le unità che devono colloquiare e risolvere i conflitti di accesso al canale trasmissivo. La sequenza di protocollo coinvolge normalmente i seguenti passi:
 - La porta trasmittente deve segnalare la sua intenzione di utilizzare il bus (normalmente tale segnalazione viene effettuata con una richiesta di interruzione).
 - Il controllore del bus deve servire l'interruzione segnalando l'avvenuta accettazione della richiesta e dando l'autorizzazione a procedere.
 - La porta assume a questo punto il controllo del bus, inviando i dati, preceduti da un codice che specifica a chi tali dati siano diretti.
 - La porta o le porte riceventi devono accettare i dati, dando segnalazione all'indietro dell'avvenuta ricezione.

- La porta trasmittente deve a questo punto prendere atto dell'avvenuta ricezione rilasciando il controllo del bus in modo che altre porte possano accedervi.

La modalita' di gestione del bus puo' essere ad interrogazione o asincrona. Nel primo caso un controllore centrale del bus interroga in sequenza le varie porte. Se non vi e' alcun dato da trasmettere la porta interrogata lo segnala e il controllore passa alla porta successiva. In caso contrario il controllo viene ceduto alla porta e alla fine della trasmissione viene riassunto dal controllore. In modalita' asincrona ciascuna porta che voglia trasmettere dei dati segnala tale fatto al controllore e la sua richiesta viene soddisfatta secondo un'opportuno criterio di priorita', ottenuto con mezzi hardware o software. Un criterio, certamente non il piu' efficiente, potrebbe essere quello di dare priorita' piu' elevata alle porte che si trovano piu' vicine al controllore, come avviene in molti minicomputer.

- 2) E' necessario considerare gli effetti che si generano quando viene tolta l'alimentazione a qualche unita' collegata. I trasmettitori e i ricevitori integrati contengono, come ogni altro circuito integrato, diodi parassiti, che nelle normali operazioni sono polarizzati inversamente. A meno che non siano state utilizzate particolari tecniche di progetto, quando viene a mancare l'alimentazione questi diodi si polarizzano direttamente e possono essere causa di malfunzionamento o di danni al circuito.
- 3) Le temporizzazioni del protocollo devono tenere in considerazione i diversi tempi di propagazione tra le porte del sistema.
- 4) Ambedue gli estremi della linea devono essere opportunamente terminati per evitare pericolose riflessioni.
- 5) Le connessioni sulla linea devono essere di lunghezza minima. Per avere le minime perturbazioni e' opportuno che lo spezzone di collegamento abbia un tempo di propagazione inferiore a 1/8 del tempo di salita e di discesa del segnale presente al punto di connessione.
- 6) Se vengono usati trasmettitori con uscita "3-state" e' necessario poter distinguere tra un dispositivo che e' in trasmissione e un dispositivo che e' in condizioni di disattivazione. Nei sistemi a due stati il problema non si pone in quanto uno 0 logico (codificato normalmente con un livello di tensione alto) indica sia l'effettiva trasmissione di uno zero logico che lo stato di disattivazione della porta, mentre un 1 logico (livello di tensione basso) indica la trasmissione di un valore 1 e null'altro.
- 7) E' necessario tenere in considerazione anche il formato dei dati. Le operazioni in parallelo sono certamente piu' rapide, ma senza dubbio piu' costose, in quanto richiedono una linea di trasmissione e la relativa interfaccia per ciascun bit del dato. D'altra parte la trasmissione seriale puo' essere complicata dalla necessita' di predisporre ai due estremi del collegamento convertitori parallelo/seriali e seriali/paralleli.

E' infine opportuno prendere in considerazione alcuni problemi collegati al modo operativo a interrogazione. E' indispensabile valutare il tempo necessario per accedere e ricevere la conferma da una porta in relazione con il volume dei dati normalmente trasmessi dalle porte stesse e in relazione al numero delle porte. Se queste ultime sono in gran numero,

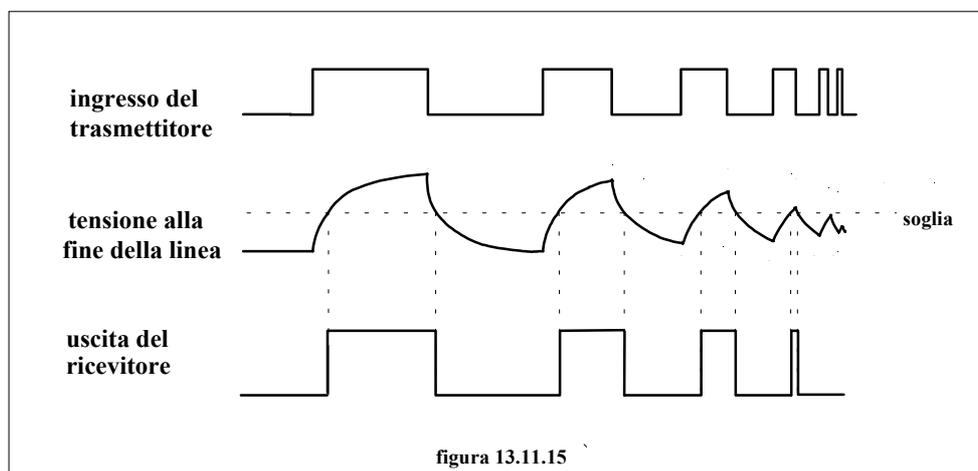
una cospicua aliquota del tempo sara' dedicata alle operazioni di interrogazione e solo una piccola frazione rimarra' disponibile allo scambio di informazioni. Se in piu' vi e' anche un traffico relativamente alto per ciascuna porta, tale fatto puo' dar luogo ad un eccessivo tempo di attesa tra l'istante in cui il dato e' pronto a essere trasmesso e l'istante di effettiva trasmissione e questa condizione e' assolutamente inaccettabile in sistemi in tempo reale.

Il problema puo' venir risolto spezzando un bus di grandi dimensioni in diversi bus "satelliti" ciascuno con il proprio controllore a interrogazione e istituendo un protocollo in relazione allo scambio di informazioni con il bus centrale.

13.11.9) Effetto delle linee nelle comunicazioni a lunga distanza.

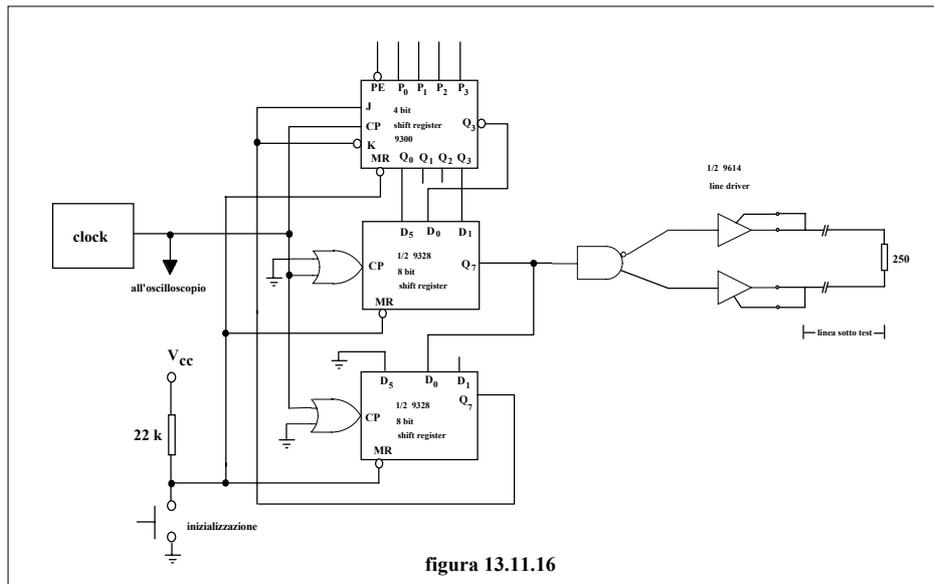
Sotto diversi punti di vista le linee di trasmissione si comportano nei confronti del segnale come un filtro passa basso con perdite. Un fronte ripido del segnale applicato all'ingresso della linea si arrotonda e assume un andamento esponenziale via via che si propaga lungo la linea stessa; in aggiunta le perdite che si hanno lungo la linea danno luogo a una riduzione dell'ampiezza del segnale.

Questi due effetti pongono un limite alla velocita' con cui i dati possono essere trasmessi, in funzione del tipo e della lunghezza della linea. Tuttavia l'effetto maggiormente limitante e' la deformazione del segnale; se infatti un nuovo dato viene inviato in linea prima che il transitorio relativo al bit immediatamente precedente sia esaurito, possono verificarsi spiacevoli inconvenienti, quali uscite dipendenti dal pattern ricevuto, "jitter" o addirittura perdita di qualche impulso. Questo fenomeno viene chiamato **interferenza intersimbolo** ed e' dovuto al fatto che, quando il ricevitore e' un dispositivo a soglia, come normalmente avviene, il precedente bit di dati causa uno spostamento temporale del bit di dati attuale. L'interferenza intersimbolo si genera ogni volta che la durata di un bit e' inferiore al tempo di salita o discesa all'estremita' ricevente. La fig. 13.11.15 illustra tale effetto.



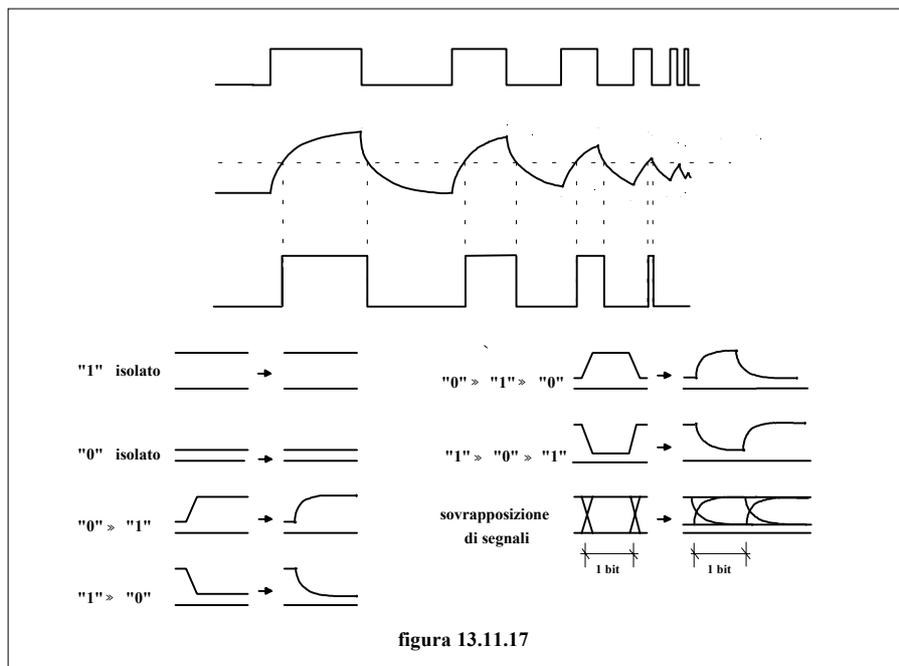
Un segnale di clock non soffre di interferenza intersimbolo essendo un pattern altamente simmetrico e quindi predicibile. Un pattern di dati casuale invece ne puo' soffrire. La durata minima di bit si ha quando un singolo bit e' preceduto e seguito da una lunga stringa di bit di polarita' opposta.

Per misurare l'ammontare dell'interferenza intersimbolo e l'entita' del "jitter" si devono usare delle lunghe sequenze casuali o pseudocasuali. Un circuito utile a visualizzare l'interferenza intersimbolo e' riportato in fig. 13.11.16.



Poiche' l'oscilloscopio con cui viene osservata la forma d'onda all'estremita' della linea viene triggerato ogni volta che un nuovo dato viene generato dal circuito pseudocasuale, sullo schermo si vedra' la sovrapposizione di lunghe sequenze di uni e zeri e cioe' la transizione uno/zero o zero/uno seguite da diversi pattern di dati. Il circuito illustrato e' in grado di generare sequenze pseudocasuali con ripetizione pari a $2^{20}-1$; una sequenza di tale tipo e' sufficientemente lunga per permettere la visualizzazione dell'interferenza intersimbolo causata dai pattern precedenti fino a una profondita' di 20 bit.

In fig. 13.11.17 e' mostrato come la sovrapposizione delle forma d'onda misurate all'estremita' ricevente della linea origini una visualizzazione stabile sullo schermo.



La figura prodotta prende il nome di "pattern binario a occhio" per la sua somiglianza con la sagoma stilizzata di un occhio.

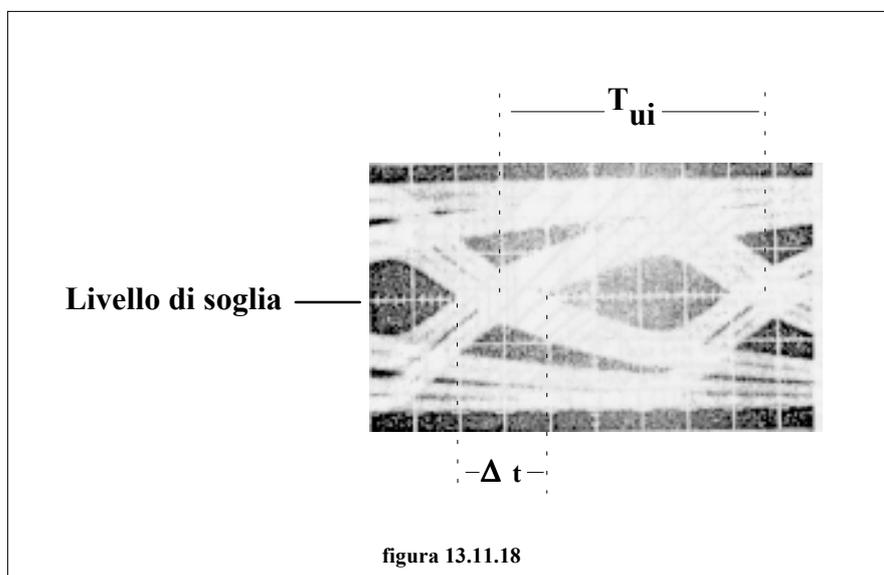
Tale pattern e' un mezzo molto semplice per misurare la qualita' dei segnali. La dispersione del pattern in corrispondenza al livello di soglia del ricevitore permette di misurare il "time jitter" percentuale dovuto all'interferenza intersimbolo.

Con riferimento alla fig. 13.11.18 il jitter sara' dato percentualmente da:

$$\text{Jitter percentuale} = \frac{\Delta t}{T_{UI}}$$

dove con T_{UI} si e' indicato l'intervallo unitario di bit.

Se poi il livello di soglia e' spostato rispetto al suo valore ottimo, situato a meta' dell'escursione di tensione prodotta dal trasmettitore, allora il dato sara' affetto oltre che dalla distorsione intersimbolo, anche da un'ulteriore distorsione di tempo.



Lo spostamento del livello di soglia verso il livello 1 fara' si' che gli uni ricevuti saranno relativamente piu' brevi degli zeri. Analogamente uno spostamento verso lo zero accorcera' gli zeri ricevuti. Tale effetto e' chiamato **distorsione di polarizzazione**.

L'apertura del pattern binario a occhio fornisce direttamente il margine di rumore del sistema. Quando l'occhio e' completamente chiuso allora per quella lunghezza di linea e alla velocita' di trasmissione di prova non risulta possibile una trasmissione priva di errori senza ricorrere a tecniche di equalizzazione.

Usando il pattern ad occhio per indicare la qualita' del segnale, si puo' costruire per ciascuna particolare linea un grafico, da cui si puo' ricavare il jitter percentuale in funzione della lunghezza della linea e della velocita' di trasmissione, una volta che sia stata assegnata la codifica impulsiva utilizzata (NRZ, RZ polare, modulazione digitale binaria di fase, ecc.).

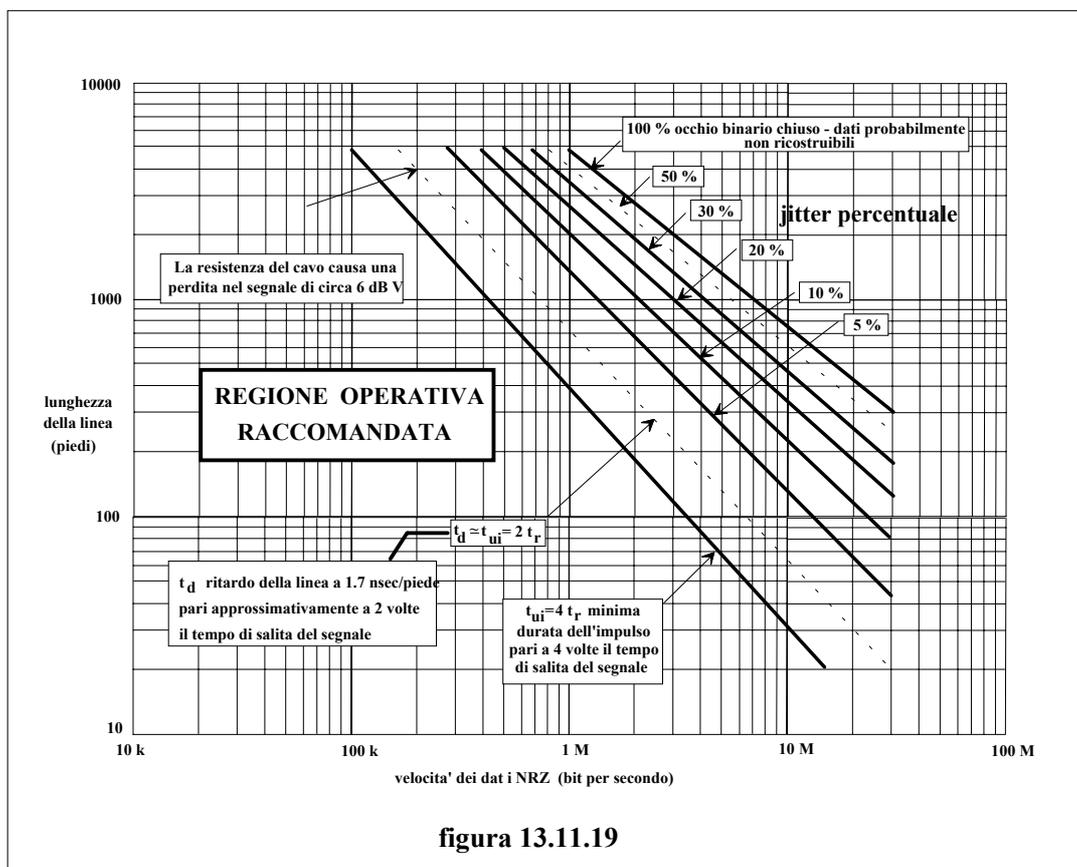
In fig. 13.11.19 e' riportato un esempio per la codifica NRZ, rappresentativo delle prestazioni ottenibili con la coppia ritorta. Il grafico mostra il "caso peggiore" cioe' il massimo jitter che ci si puo' aspettare con una data lunghezza di linea e un'assegnata velocita' di trasmissione, ma si puo' ritenere valido solo quando siano soddisfatte le seguenti condizioni:

- 1) I livelli dell'uno e dello zero del trasmettitore sono stabili.
- 2) La soglia del ricevitore e' equidistante da tali livelli.

3) La linea e' terminata perfettamente in modo da evitare riflessioni.

Se una qualsiasi delle precedenti condizioni non e' soddisfatta la qualita' del segnale e' minore di quella che si ricava dal grafico. Di conseguenza il periodo di bit deve essere almeno quattro volte maggiore del tempo di salita e di discesa alla terminazione di linea per tener conto delle tolleranze dei circuiti integrati con cui trasmettitore e ricevitore sono realizzati.

Se la linea viene pilotata in tensione e non e' correttamente terminata, le curve di qualita' del segnale vanno spostate verso sinistra (cioe' verso lunghezze minori a parita' di velocita' di trasmissione). Verifiche sperimentali hanno permesso di determinare che il coefficiente di riduzione e' circa 1/3. In altre parole una linea non terminata di 100 metri si comporta nei confronti dell'interferenza intersimbolo come una linea di 300 metri chiusa sulla sua impedenza caratteristica.



Quando, stabilite una certa velocità di trasmissione e una certa lunghezza della linea, si va a cadere tra la linea $T_{UI} = 4 \cdot T_r$ e la linea del jitter percentuale del 100 % si rende necessaria una misura diretta sul sistema con il metodo del pattern binario ad occhio. Tale procedura e' raccomandabile anche quando la codifica di trasmissione e' diversa dalla NRZ.

13.11.10) Scelta dei trasmettitori e dei ricevitori di linea.

Il problema della scelta di un particolare trasmettitore o ricevitore di linea viene a dipendere piu' dalle caratteristiche desiderate per il sistema che dalle caratteristiche elettriche dei dispositivi.

Le prestazioni complessive del sistema dipendono infatti essenzialmente dalla forma e dalle modalita' operative scelte per la trasmissione e solo in seconda istanza dal tipo di trasmettitore e ricevitore. E' necessario che il progettista tenga nella giusta considerazione le relazioni esistenti tra rumore esterno e margine di rumore, qualita' del segnale e lunghezza della linea, struttura seriale o parallela e costo e prestazioni. Nei paragrafi precedenti si e' accennato ai principali problemi che si devono affrontare nel progetto di un circuito di comunicazione. Vi sono tuttavia alcune considerazioni aggiuntive da fare.

- 1) Quando si lavora con linee lunghe (maggiori di 15 metri) il fattore che maggiormente limita la velocita' di trasmissione e' il tempo di salita e di discesa del segnale sulla linea. L'uso del pattern binario ad occhio permette di valutare agevolmente la qualita' del segnale.
- 2) Le linee bilanciate sono preferibili rispetto quelle sbilanciate. Optoisolatori e trasformatori permettono di operare con tecniche di modo comune e nel contempo offrono un ottimo isolamento da terra. E' abbastanza comune in tal caso usare codifiche prive di componente continua e autosincronizzate quali la RZ polare o la modulazione digitale binaria di fase.
- 3) E' necessario limitare il numero totale di porte di un sistema multiplex in modo tale che la combinazione in parallelo delle impedenze di ingresso dei ricevitori e di quelle di uscita dei trasmettitori disabilitati risulti comunque molto maggiore dell'impedenza caratteristica della linea.
- 4) Per il corretto funzionamento dei trasmettitori e dei ricevitori si rende necessario un ritorno comune di terra. Esso puo' venir realizzato collegando lo schermo della linea ai piedini di terra degli integrati ad essa collegati.
- 5) Per velocita' di trasmissione superiori a 10 Mbit/sec. e' necessario utilizzare elementi ECL anziche' TTL. I trasmettitori e i ricevitori TTL compatibili hanno infatti ritardi di propagazione eccessivi, compresi tra 20 e 50 nsec.
- 6) Le alimentazioni dei ricevitori e dei trasmettitori di linea vanno disaccoppiate con condensatori di valore compreso tra 10 e 100 nanofarad. E' di solito sufficiente un condensatore ogni 2/4 dispositivi.