

Circuiti sequenziali

Capitolo 5



Introduzione

- Nei circuiti combinatori
 - L'uscita dipende solo dagli ingressi
 - La variabile temporale non appare esplicitamente
- Nei circuiti sequenziali
 - L'uscita dipende dalla storia passata
 - Deve esistere una “memoria” della storia passata

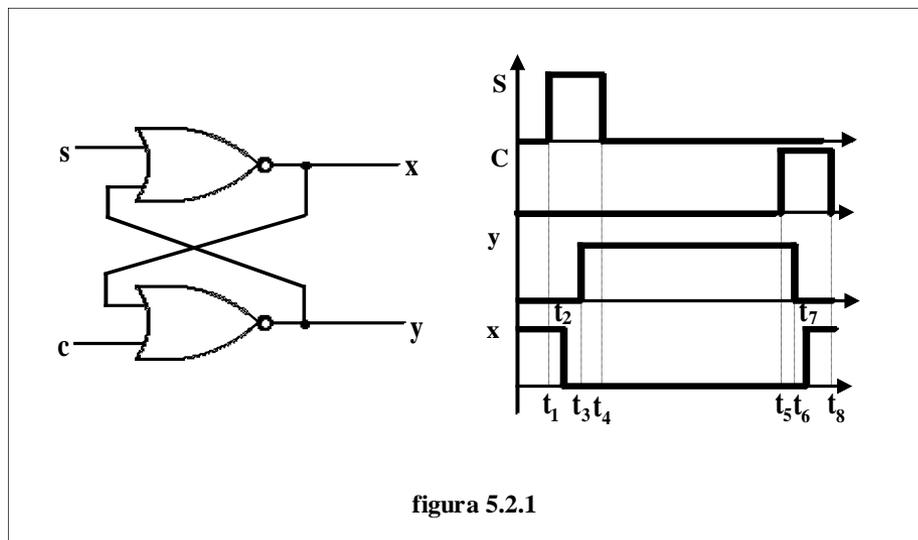


Flip Flop

■ Circuito bistabile

- Con gli ingressi a 0 sono possibili 2 stati di equilibrio
 - $x=0$ e $y=1$ oppure $x=1$ e $y=0$
 - L'uscita $x=0$ e $y=0$ oppure $x=1$ e $y=1$ non sono stabili
- Un impulso su s (set) pone $y=1$ e $x=0$
- Un impulso su c (clear) pone $y=0$ e $x=1$
- Un impulso sia su 'c' che su 's' NON e' previsto
 - porterebbe le uscite $x=0$ ed $y=0$ dalla quale l'evoluzione e' incerta

Notare i tempi "fisici" di commutazione ed il conseguente limite alla durata dell'impulso di commutazione



Flip Flop Set-Reset (tipo RS)

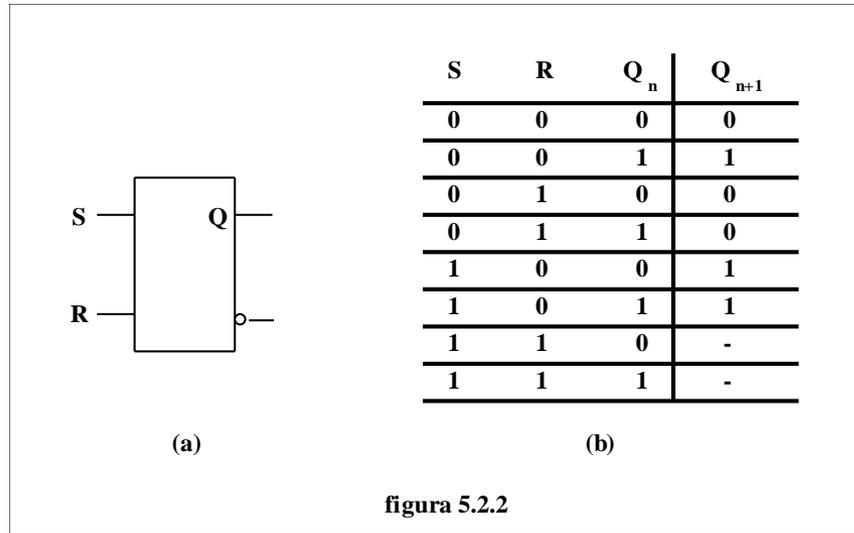


figura 5.2.2

$$Q_{n+1} = S + Q_n \bar{R}$$

vincolo: $S \cdot R = 0$

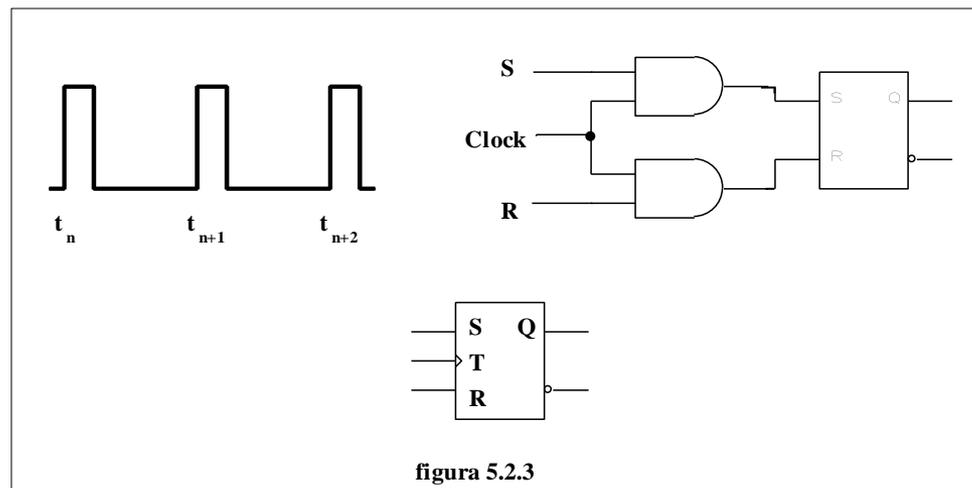


Circuiti sincronizzati

- In quasi tutti i circuiti sequenziali le commutazioni avvengono solo in precisi istanti di campionamento
 - Presenza di un segnale di sincronizzazione (Clock)
 - La loro realizzazione risulta semplificata
 - Il loro funzionamento risulta piu' affidabile
- Ovvero:
 - Un circuito sequenziale sincronizzato da un impulso di clock puo' cambiare stato solo in corrispondenza a tale impulso e cambiera' stato non piu' di una volta per ciascun impulso di clock.

Esempio:

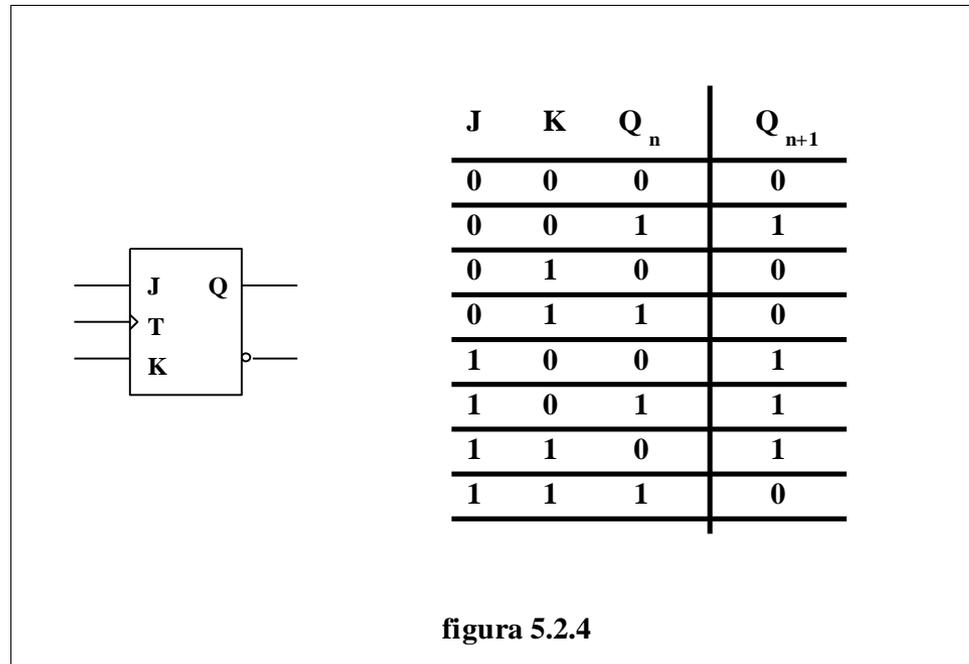
Vincolo : S ed R non devono commutare quando $T = 1$



Altri tipi di Flip Flop

■ Flip Flop JK

- E' piu' comune del RS perche' prevede anche la possibilita' che entrambi gli ingressi siano alti (in tal caso si ha la commutazione di stato)



$$Q_{n+1} = \bar{K} \cdot Q_n + J \cdot \bar{Q}_n$$



Altri tipi di Flip Flop

■ Flip Flop T (**T**oggle)

- Ad ogni impulso di clock cambia di stato ... o meglio

$$Q_{n+1} = \overline{Q_n}$$

- se come di solito possiede due ingressi (T e clk)
- Ad ogni impulso di clock, se T=1 l'uscita commuta di stato

$$Q_{n+1} = Q_n \cdot \overline{T_n} + \overline{Q_n} \cdot T_n = Q_n \oplus T_n$$

- Puo' essere ottenuto partendo da un Flip Flop JK con entrambi gli ingressi posti in parallelo (ingresso T)



Altri tipi di Flip Flop

- Flip Flop D (Delay)

- Ad ogni impulso di clock l'uscita prende il valore presente sull'ingresso D

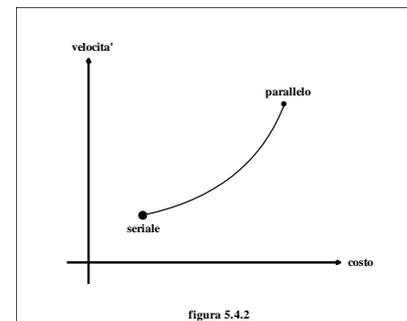
$$Q_{n+1} = D_n$$

- Può essere realizzato a partire da un FF di tipo JK portando sui piedini J e K due segnali che siano uno il negato dell'altro



Paragone circuiti combinatori e sequenziali

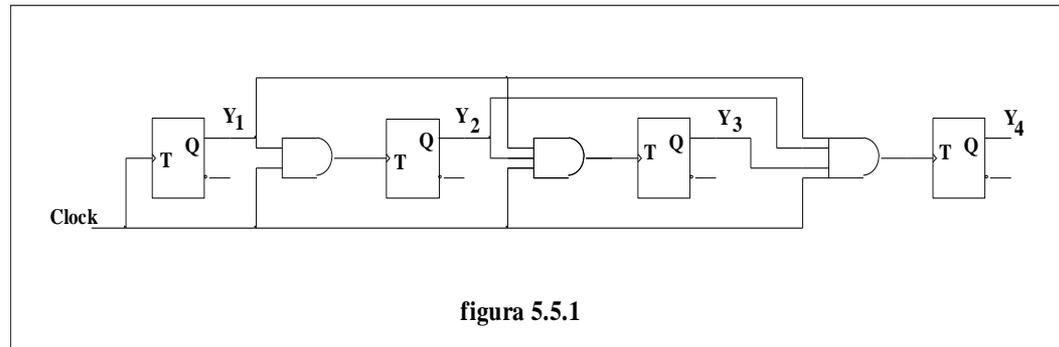
- Dato un problema, questo solitamente puo' spesso essere risolto tanto in forma sequenziale che combinatoria
 - Esempi
 - Gioco della "tria"
 - Controllo di parita' in una parola ad N bit
 - Addizione di numeri a N bit
 - La presenza di una "memoria" consente di usare lo stesso operatore piu' volte sequenzialmente
 - In linea di principio
 - Un circuito combinatorio sara' piu' complesso ma veloce
 - Un circuito sequenziale sara' meno complesso ma piu' lento
 - Esistono soluzioni intermedie (pipelines)



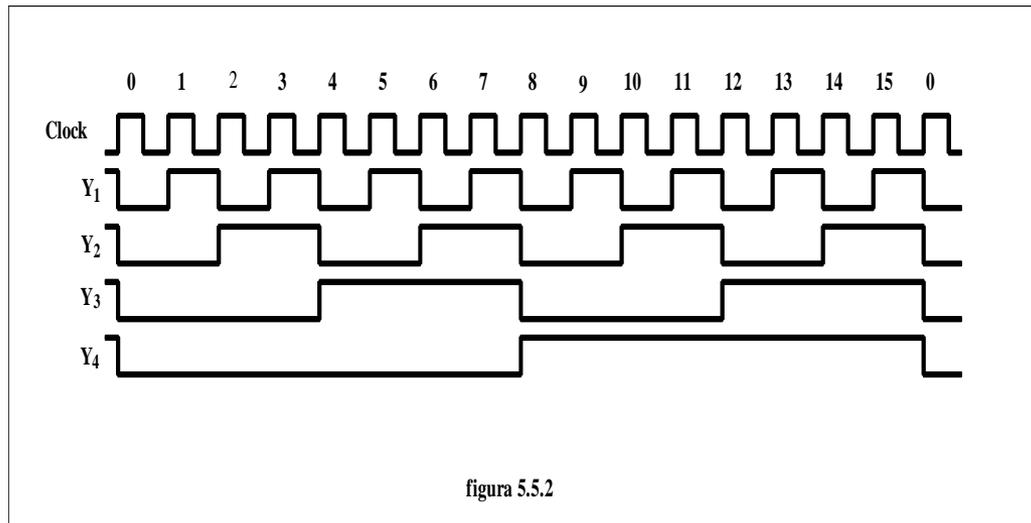
Contatori

- Usano una serie di FF per memorizzare una parola di n bits
 - Si possono memorizzare 2^N differenti parole
 - Ad ogni impulso di clock si passa da una parola alla seguente
 - Comuni sono i contatori in codice binario

Es: contatore modulo 16

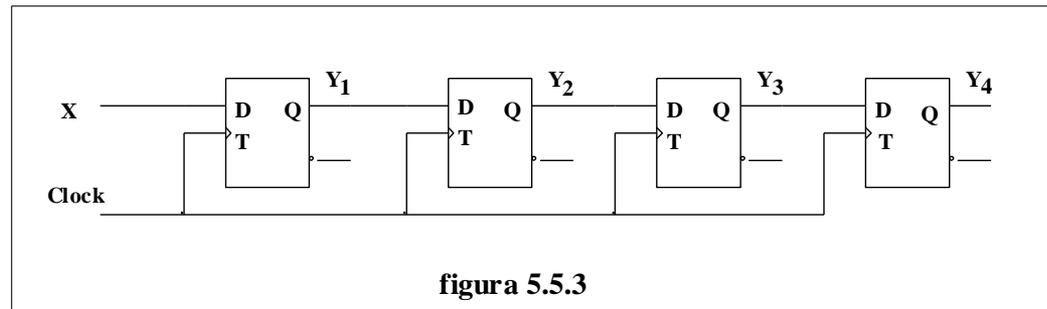


Nota: si possono pensare diverse soluzioni. In genere e' sconsigliabile usare porte logiche sulla linea del clock

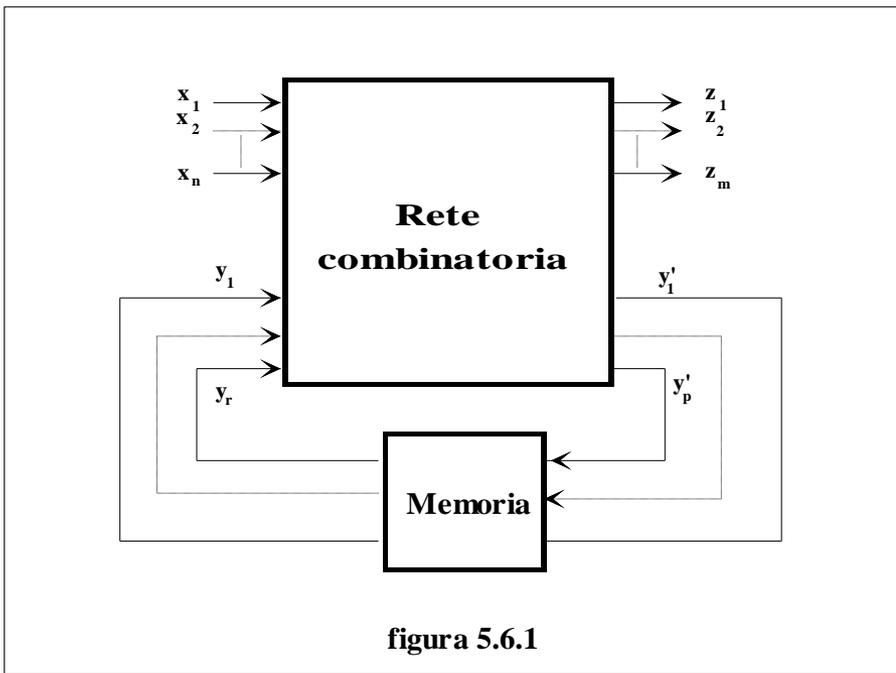


Registri a scorrimento

- Sono una catena di FF ove la parola entra serialmente
 - Utili per la conversione seriale / parallelo



Modello generale per circuiti sequenziali



equazioni d'uscita

equazioni di stato o interne

- Una memoria mantiene informazione dello stato
- Lo stato e' rappresentato dalle 2^r possibili combinazioni delle variabili y
- L'uscita dipende dagli ingressi e dallo stato
- Le variabili di eccitazione y' sono legate a y in base al tipo di memoria ad. esempio potrebbero essere $r=p$ ed

$$y(t + \Delta) = y'(t)$$

- Lo stato futuro dipende dagli ingressi e dallo stato attuale



Funzionamento sincrono

- La memoria sia sincronizzata su un clock
 - Lo stato e gli ingressi (della memoria) possono variare solo in istanti equi-intervallati
 - Non vi sia piu' di una commutazione per ogni impulso di clock
 - il clock sia sufficientemente breve da evitare al loop di chiudersi
 - Le uscite e le variabili di eccitazione sono a “livelli”
 - Durante il clock le variabili di eccitazione siano stabili
 - Gli istanti di clock siano t_n ($n=1,2,3 \dots$)
 - Ad ogni clock $y^n \rightarrow y^{n+1}=f(y^n)$ (lo stato si modifica)
 - Le variabili di uscita e di eccitazione si modificano e si stabilizzano prima dell'arrivo del nuovo clock



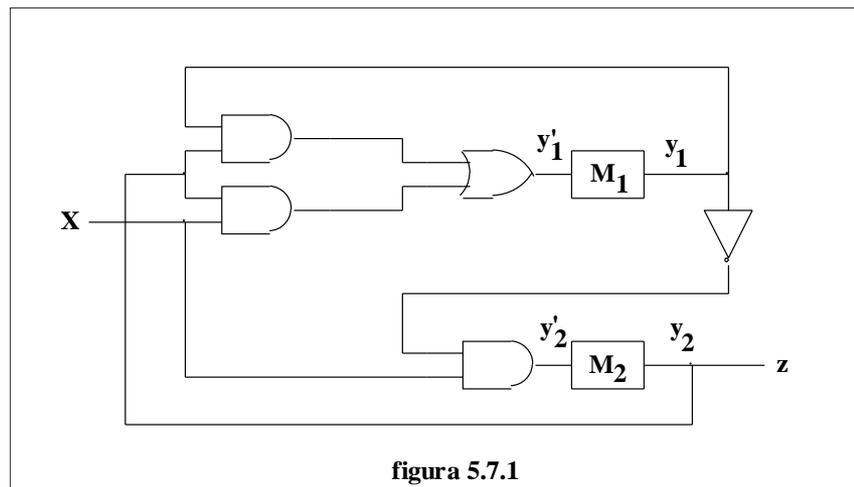
Funzionamento sincrono

Esempio

$$z = y_2$$

$$y_1' = y_1 \cdot y_2 + x \cdot y_2$$

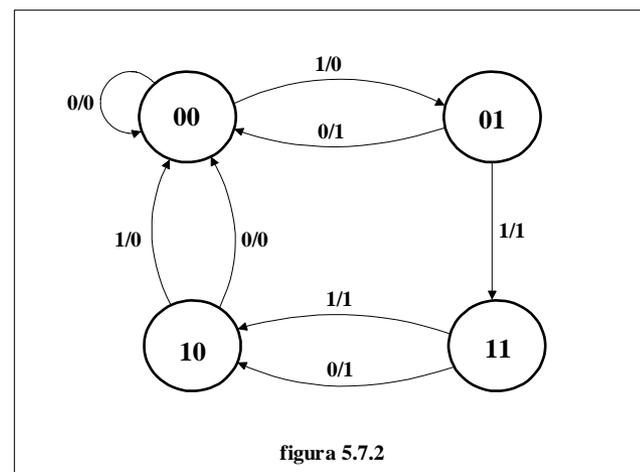
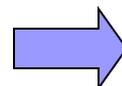
$$y_2' = x \cdot \overline{y_1}$$



Nota l'ingresso e lo stato con le equazioni di cui sopra si trova l'uscita e lo stato futuro

TABELLA 1

ingresso	stato a t	stato a t + Δ	Uscita
0	00	00	0
0	01	00	1
0	10	00	0
0	11	10	1
1	00	01	0
1	01	11	1
1	10	00	0
1	11	10	1



Flip Flop Master Slave

- Vincoli nei FF finora visti:

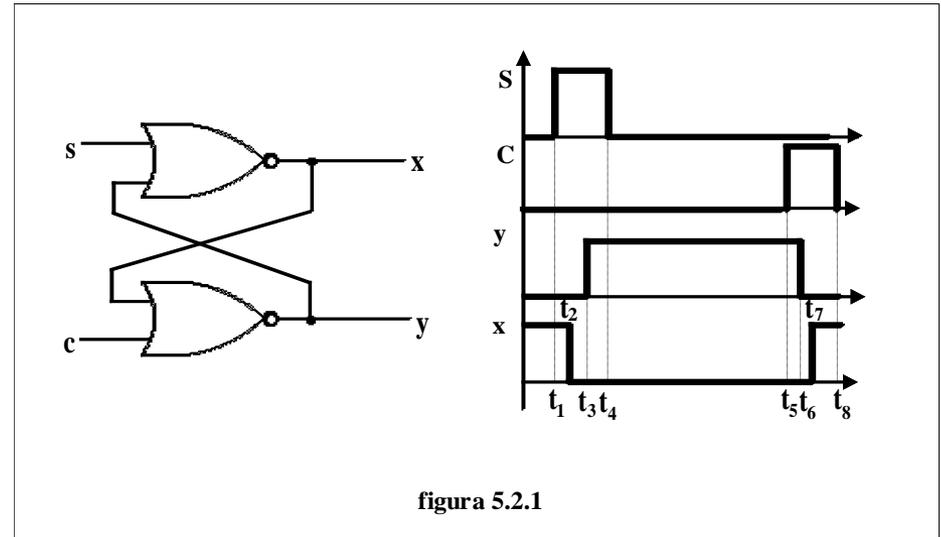
- Durata minima dell'impulso in ingresso

- Es: se l'impulso torna a zero prima di t_3

- Distanza tra gli impulsi sufficiente affinché' il circuito si stabilizzi (freq. massima di lavoro)

- In un circuito sincrono

- Bisogna eliminare la possibilità' di avere piu' commutazioni all'interno dello stesso impulso di clock



- Si possono pensare delle soluzioni particolari

- FF Master-Slave



Flip Flop Master Slave

■ Esempio

- X: onda quadra a $\frac{1}{2}$ freq. di clock
- Z: freq $\frac{1}{2}$ di X

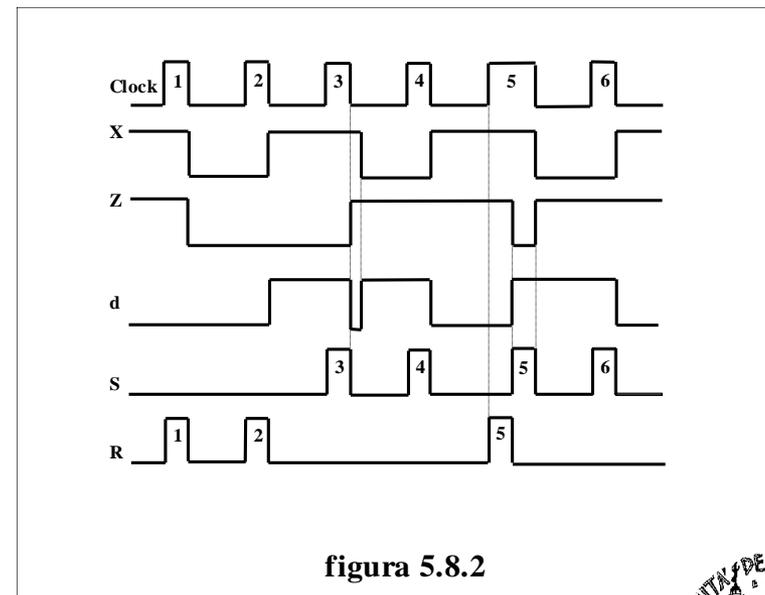
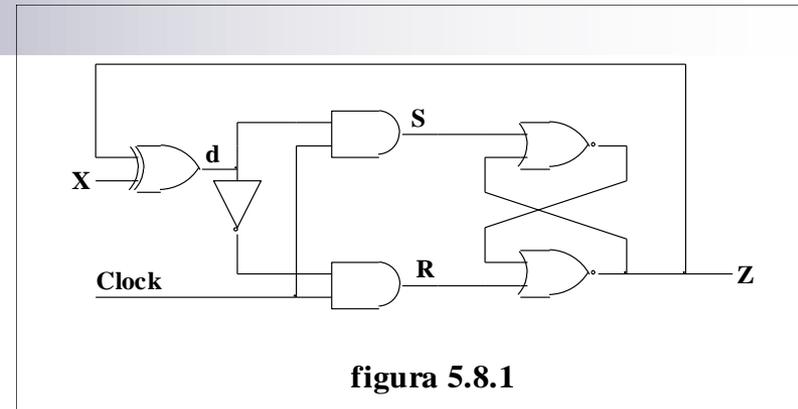
■ istante n=3

- l'abbassamento su d non si propaga (fuori dalla finestra di clock)

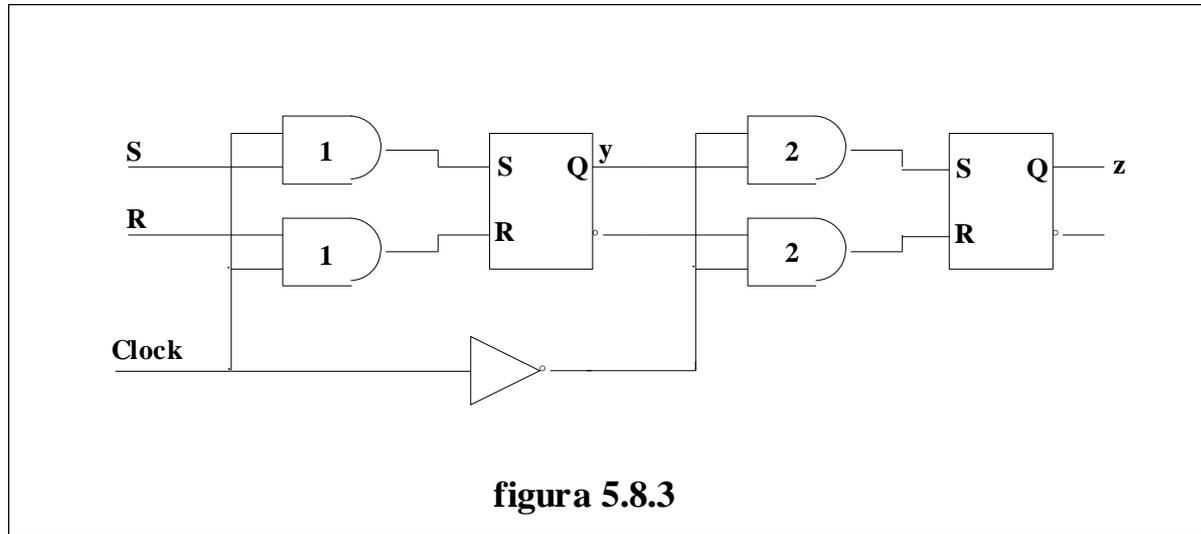
■ Istante n=5

- mentre il clock e' attivo
 - l'uscita commuta
 - si ripresenta all'ingresso
 - si modifica d
 - ulteriore impulso su S
 - l'uscita commuta nuovamente

■ La durata del clock e' eccessiva



Flip Flop Master Slave



- Quando il clock e' alto si pre-carica il primo FF con S e R
- Quando il clock e' basso questi valori arrivano al secondo FF
- **I FF piu' usati sono pero' quelli sincronizzati sul fronte (salita o discesa) del klok piuttosto che sullo stato**
 - Puo' pero' essere presente il fenomeno di commutazioni indesiderate quando ci si trovi nel caso di clock disallineati (clock-skew) particolarmente presenti in sistemi ad alta frequenza



Funzionamento Asincrono

- Non vi sia un clock
 - la transizione avveniva in particolari istanti
 - si imponevano vincoli sulla freq. max di lavoro
- Le memorie sono in pratica dei “ritardi”
- Vincoli:
 - Non commuti piu’ di un ingresso per volta (non esiste la “simultaneità”)
 - Le commutazioni avvengano solo quando i ritardi sono “inattivi”



Funzionamento Asincrono

Esempio

siano inizialmente:

$$x = y_1 = y_2 = y'_1 = y'_2 = 0$$

$$\Delta = \max(\Delta_1, \Delta_2)$$

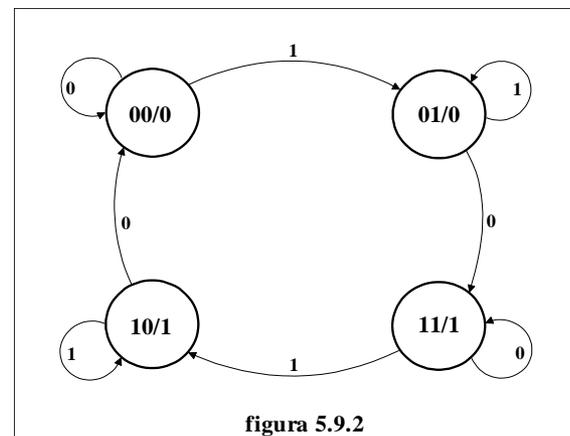
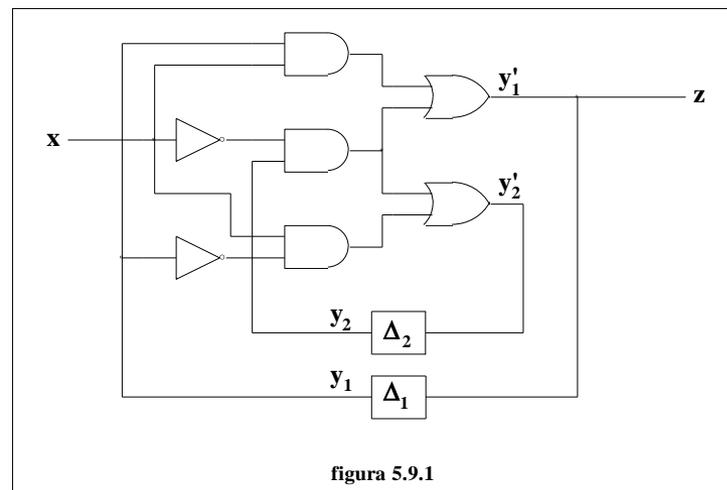
$$z = y'_1$$

$$y'_1 = x \cdot y_1 + \bar{x} \cdot y_2$$

$$y'_2 = x \cdot \bar{y}_1 + \bar{x} \cdot y_2$$

TABELLA 2

	Ingresso	stato a t	stato a t + Δ	Uscita
*	0	00	00	0
	1	00	01	0
*	1	01	01	0
	0	01	11	1
*	0	11	11	1
	1	11	10	1
*	1	10	10	1
	0	10	00	0



*: stati stabili

