

Fabbricazione sensori

Corso di Fisica dei Dispositivi Elettronici – 2023/2024

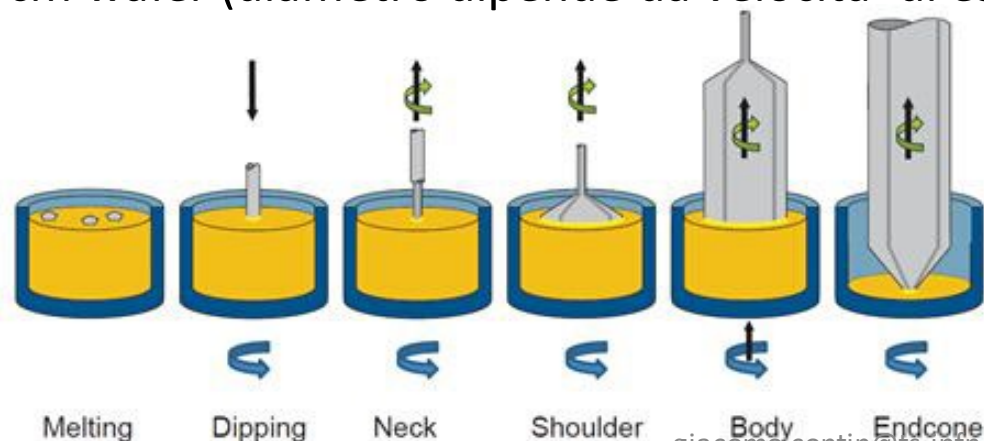
Materiale di partenza

- Il silicio viene isolato dalla quarzite, una forma abbastanza pura di sabbia, attraverso una riduzione col carbonio a $T > 1400$ C.
- Il silicio solido così ottenuto (98% puro) è trattato per formare un composto del Cloro (SiHCl_3) che può essere distillato per rimuovere le impurità
- Il triclorosilano è poi trasformato tramite riduzione con idrogeno in silicio solido con una concentrazione di impurità $< 10^{-9}$
- Il silicio solido è policristallino, ovvero formato da piccoli cristalli micrometrici con orientazioni casuali: polisilicio.
- Tale materiale serve poi da materiale di partenza per la crescita del cristallo di silicio per i sensori

Fabbricazione dei monocristalli di silicio

Metodo Czochralski

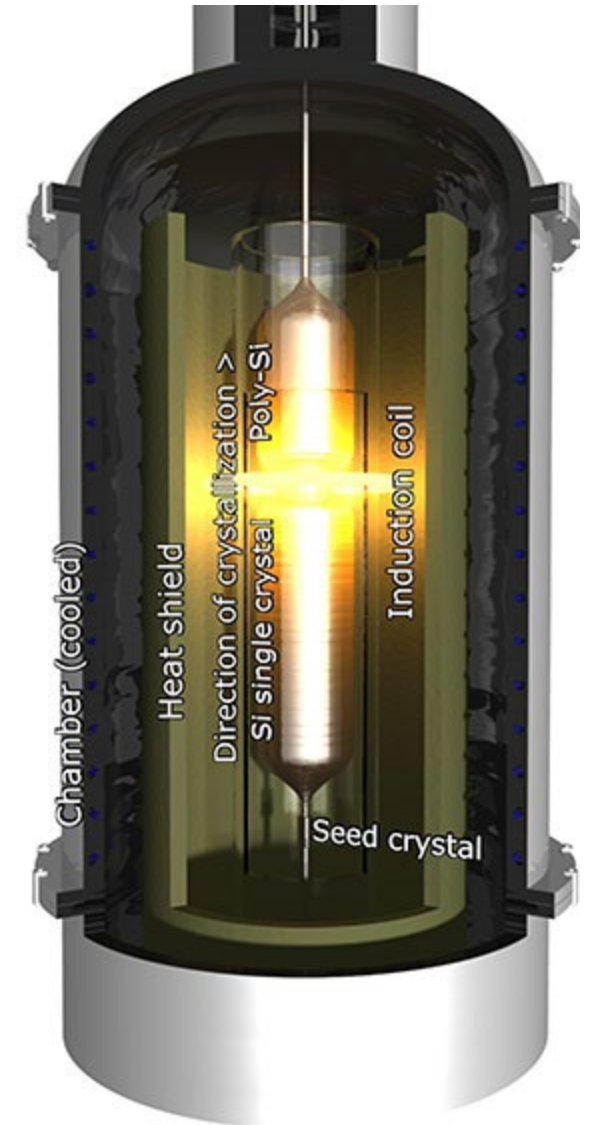
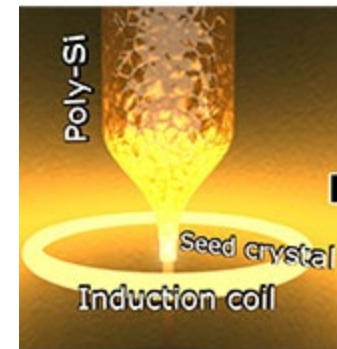
- Polisilicio fuso a 1420 C in crogiolo (fusione Si a 1412 C)
- Seme <111> purissimo immerse nel crogiolo
- Movimento di rotazione e estrazione ($\sim 10 \mu\text{m}/\text{sec}$)
- Interfaccia solido-liquido forma cristallo
- Purezza ok per CMOS, non per sensori (max $\rho = 10 \text{ Ohm cm}$)
- Ossigeno 10^{18} cm^{-3} presente nel contenitore irrobustisce il cristallo
- Centri di accumulazione (e se ben localizzati, di controllo) di atomi spuri
- Aggiunta Boro/Fosforo (10^{-7}) nel crogiolo per creare drogaggio p,n
- 30-45 cm wafer (diametro dipende da velocita' di estrazione)



Fabbricazione dei monocristalli di silicio

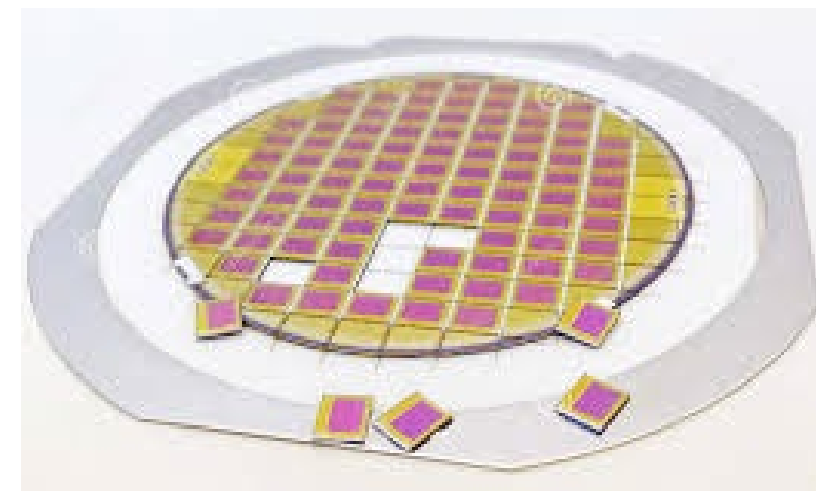
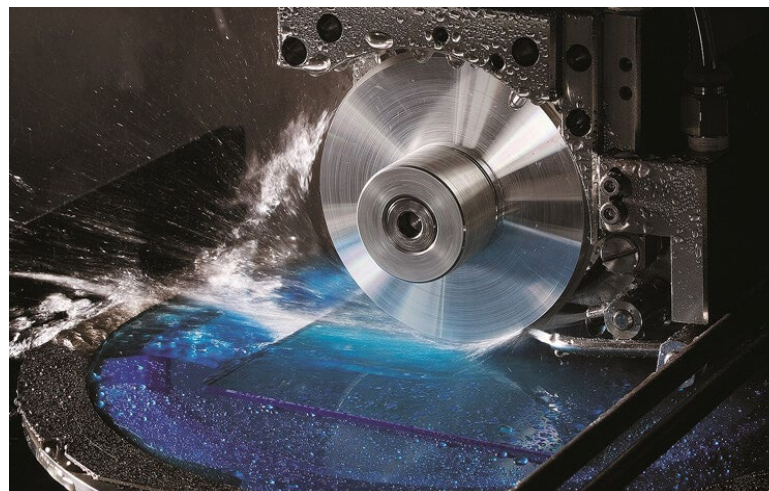
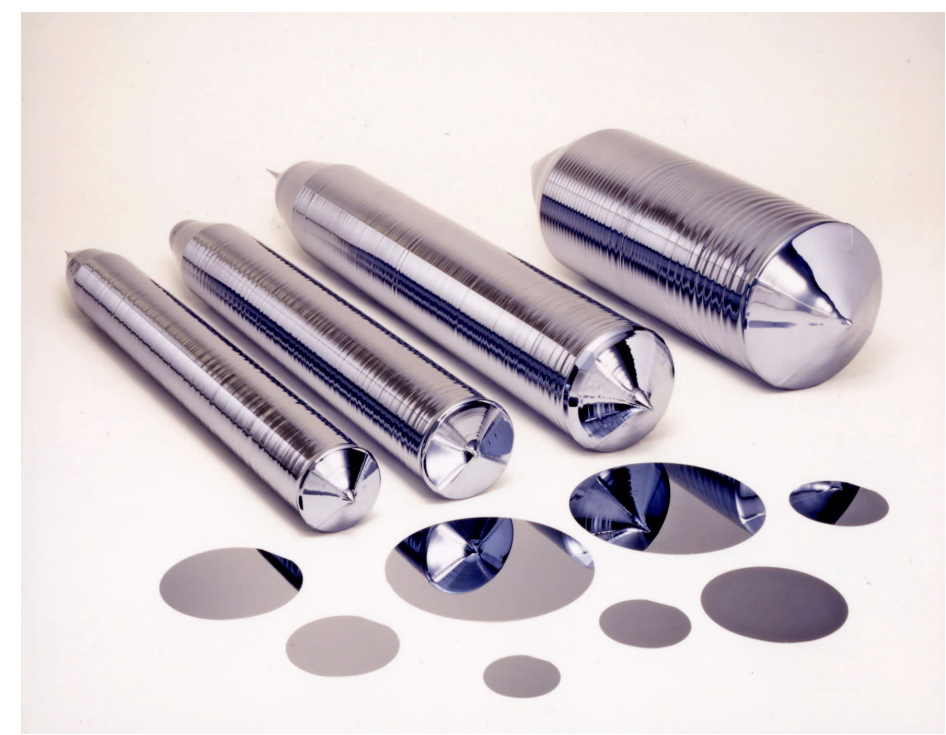
Metodo **Float-zone**

- Cilindro di Polisilicio attraverso bobina di riscaldamento
- Strato sottile fuso per induzione RF
- La sezione fusa viene spostata verticalmente e si porta via le impurita (poco solubili nel silicio e che volatilizzano presto)
- Purezza molto alta, aggiunta di azoto per irrobustire meccanicamente, adatta a giunzioni pn classiche (non a SDD)
- Dimensioni tipiche: 15cm
- Aggiunta Boro/Fosforo per creare p,n in atmosfera
- Resistivita' $5\text{k}\Omega\text{cm}$ (fino a $10\text{-}50\text{ k}\Omega\text{cm}$)

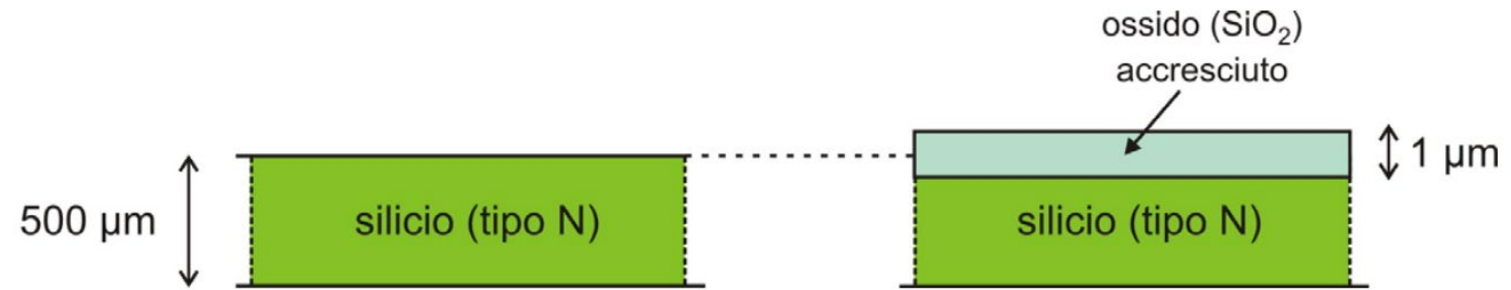


Taglio del wafer

- Cilindro lavorato al tornio per ottenere diametro voluto, e rettificato
- Segato in fette con utensili diamantati
- Rugosita' ridotta (lapping) con paste abrasive
- Si raggiunge uniformita 2um sulla superficie
- Rimozione chimica danni e lucidatura (rugosita' di pochi passi atomici su piccola scala)
- Spessori 200-750um
- Diametro fino a 45 cm
- Assottigliamento e taglio



Ossidazione SiO_2



- Il silicio e' un ottimo materiale anche perche' si puo' ossidare e il SiO_2 e' un ottimo isolante, protettore meccanico, schermo per fotolitografia.

Ossidazione per accrescimento

- La fetta viene inserita all'interno di un forno (reattore di quarzo) a temperatura elevata (900 - 1200°C)
 - Ossidazione secca (dry): in presenza di ossigeno (O_2) ad elevata purezza
 - Ossidazione umida (wet o steam): in presenza di vapor d'acqua (H_2O)
- Il biossido viene **accresciuto** sulla fetta a spese del silicio della fetta stessa
 - Si "espande" non solo verso l'alto ma anche in profondita'
 - Strato risultante di ossido di spessore pari a 0.1 - 1.0 μm con ottime caratteristiche dielettriche e tale che l'interfaccia Si / SiO_2 presenta bassa densità di difetti ed elevata mobilità superficiale dei portatori di carica.

Ossidazione per deposizione chimica

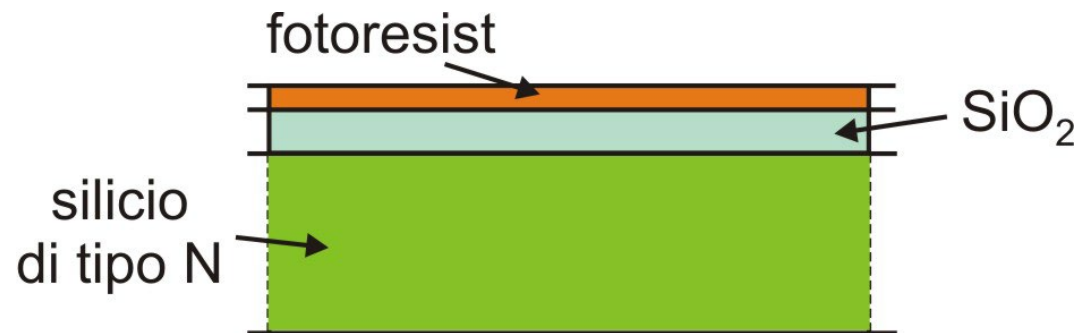
- Il coefficiente di diffusione dei tipici elementi donatori (fosforo, arsenico, antimonio) e del più comune elemento accettore (boro) è 2 - 3 ordini di grandezza inferiore nell'ossido rispetto al silicio
 - Consente di adoperare il biossido di silicio come “protezione” dall'introduzione di drogante in particolari zone della fetta, favorendo così il **drogaggio selettivo**.

Ossidazione per deposizione chimica

- Altro metodo: **deposizione chimica** da fase vapore (o CVD = Chemical Vapor Deposition)
 - In questo caso anche il silicio necessario per la reazione che porta al SiO_2 viene fornito dall'esterno
 - La fetta viene posta all'interno di un reattore a bassa temperatura (500°C) dove vengono introdotti gas di ossigeno (O_2) e silano (SiH_4). Il prodotto della reazione di questi gas è la deposizione di un film solido di biossido di silicio sul wafer

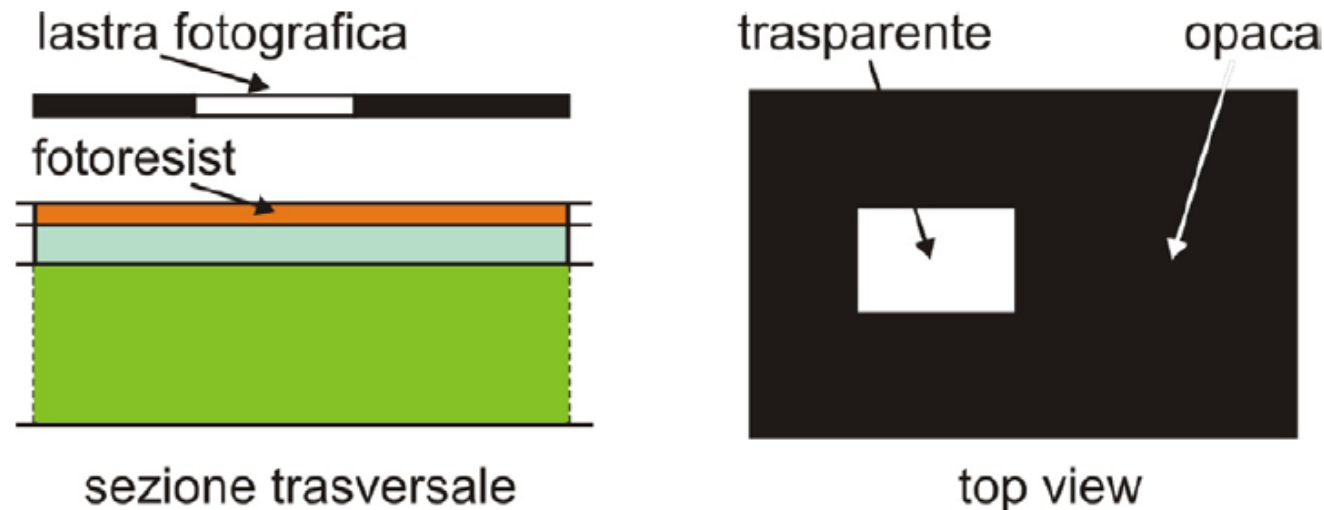
Fotolitografia: deposito del fotoresist

- Il processo di inserimento del drogante all'interno della fetta di tipo N avviene attraverso la *tecnica fotolitografica*
- Sullo strato accresciuto di SiO₂ viene deposta una pellicola (resina) che prende il nome di *resist* o *fotoresist*. Tale pellicola è sensibile alle radiazioni ultraviolette ($\lambda = 400 \text{ nm}$), nel senso che le sue proprietà chimiche e fisiche vengono alterate laddove essa viene investita da tali radiazioni.
- Il fotoresist viene deposto in forma liquida sulla fetta e distribuito attraverso una rotazione ad elevata velocità. All'uopo vengono adottate speciali centrifughe, dette *spinner*, capaci di raggiungere 5000 - 10000 giri al minuto. La rotazione serve per assicurare una copertura uniforme della superficie del wafer.
- Per la solidificazione viene eseguita una "cottura" a 100°C. Lo spessore finale della emulsione deposta è tipicamente dell'ordine di 0.5 - 1.0 μm .



Esposizione a radiazione

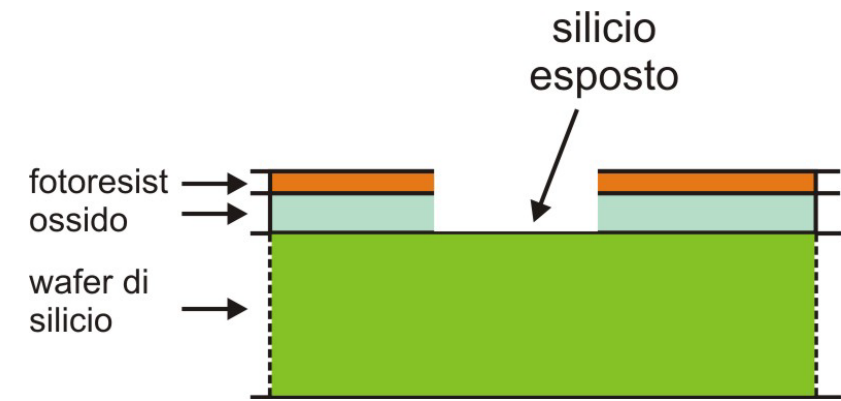
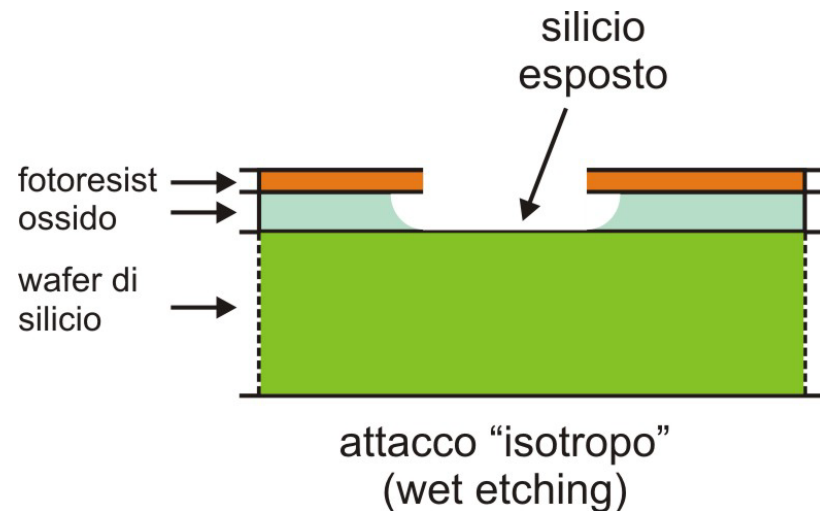
- Con fotoresist *positivo*, bisogna investire con la radiazione UV solo la zona da eliminare. All'uopo si ricopre la pellicola fotosensibile con una maschera (essenzialmente una lastra fotografica) trasparente nella zona che si vuole rimuovere ed opaca altrove.



- Con fotoresist *negativo*, il processo e' invertito, la maschera deve essere trasparente sulla zona cove si vuole che rimanga il fotoresist
- La maschera puo' essere in contatto (piu' preciso ma invasivo) o in prossimita' (meno risoluto ma la maschera puo' essere riutilizzata molte volte).

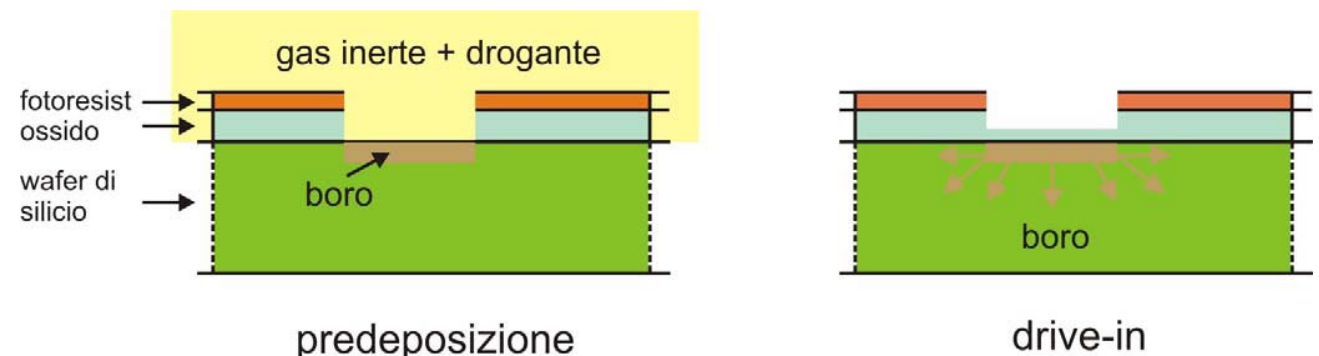
Sviluppo e *etching*

- I materiali inorganici (SiO_2) vengono rimossi con un *etching* (*scavo, attacco*) acido della superficie superiore, lasciando intoccati i materiali organici come il fotoresist.
- *Wet etching* (umido): la fetta e' immersa in soluzione con agente chimico – acido fluoridrico – che non attacca ne' silicio ne' fotoresist, agisce velocemente tuttavia intacca anche lateralmente sotto il fotoresist
- *Dry o plasma etching* (a secco): il wafer viene posto all'interno di un reattore ed esposto alla presenza di un plasma contenente ioni fluoro ed elettroni eccitati in un campo elettrico a radiofrequenza. Agisce in verticale (direzionale, rapporto verticale/laterale = 100/1)



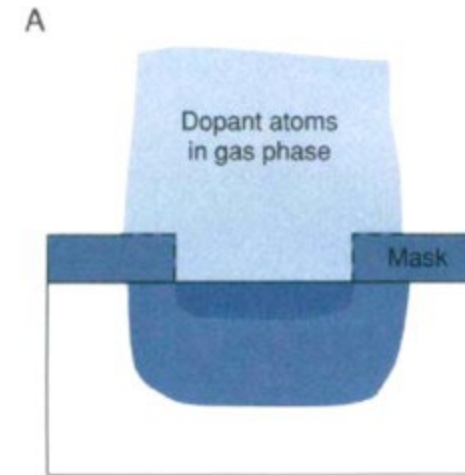
Metodi di drogaggio: diffusione

- Impianto di Boro/Fosforo or Arsenio per drogare p/n
- Wafer esposto ad atmosfera di gas inerte con il drogante a temperature ~ 1000 C per un certo tempo; tali gas sono infiammabili e tossici
- Uno strato di ossido copre le zone da non drogare (il fotoresist non puo' essere riscaldato cosi' tanto)
- Il gradiente di concentrazione porta il drogante a diffondere nel silicio, con una concentrazione massima in superficie e una profondita che dipende dal tempo di esposizione, dalla temperatura e la concentrazione in superficie (massimo alcuni μm) regolato tramite cicli termici
- I cicli termici vengono compiuti in assenza di drogante (la concentrazione totale e' fissata) ma in ambiente ossidante per crescere uno strato contenitivo
- Gradiente risultate e' molto dolce
- Diffusione laterale $\sim 0.8 \times$ profondita'

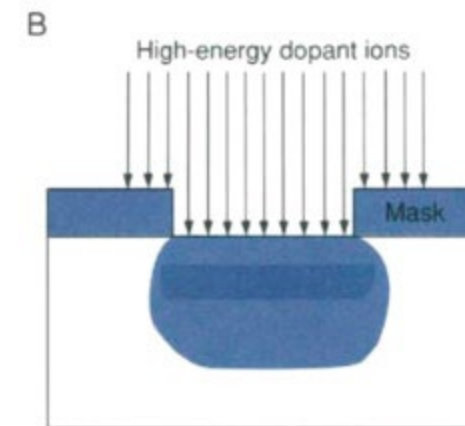
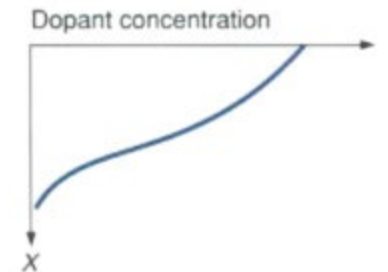


Metodi di drogaggio: impianto ionico

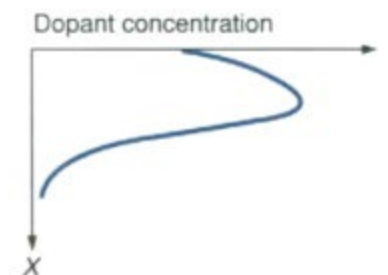
- Bombardamento dei wafer con ioni droganti agli acceleratori (keV-MeV) a temperature ambiente, con fasci piccoli per scan di precisione molto uniformi.
- L'uso di fotoresist e' premesso, e il suo spessore determina la profondita' di penetrazione degli ioni
- Anche strati di ossido o di poliresistori si puo' usare per auto-allineare strutture sottostanti
- Ioni inizialmente inattivi in posizione interstiziale (casuale) e cristallo danneggiato dall'impianto
- Annealing termico successivo per muovere gli atomi in posizione legata nel cristallo (1000 C per 30 minuti)
- La profondita' dipende dal potere penetrante degli ioni all'energia di impatto.



diffusione

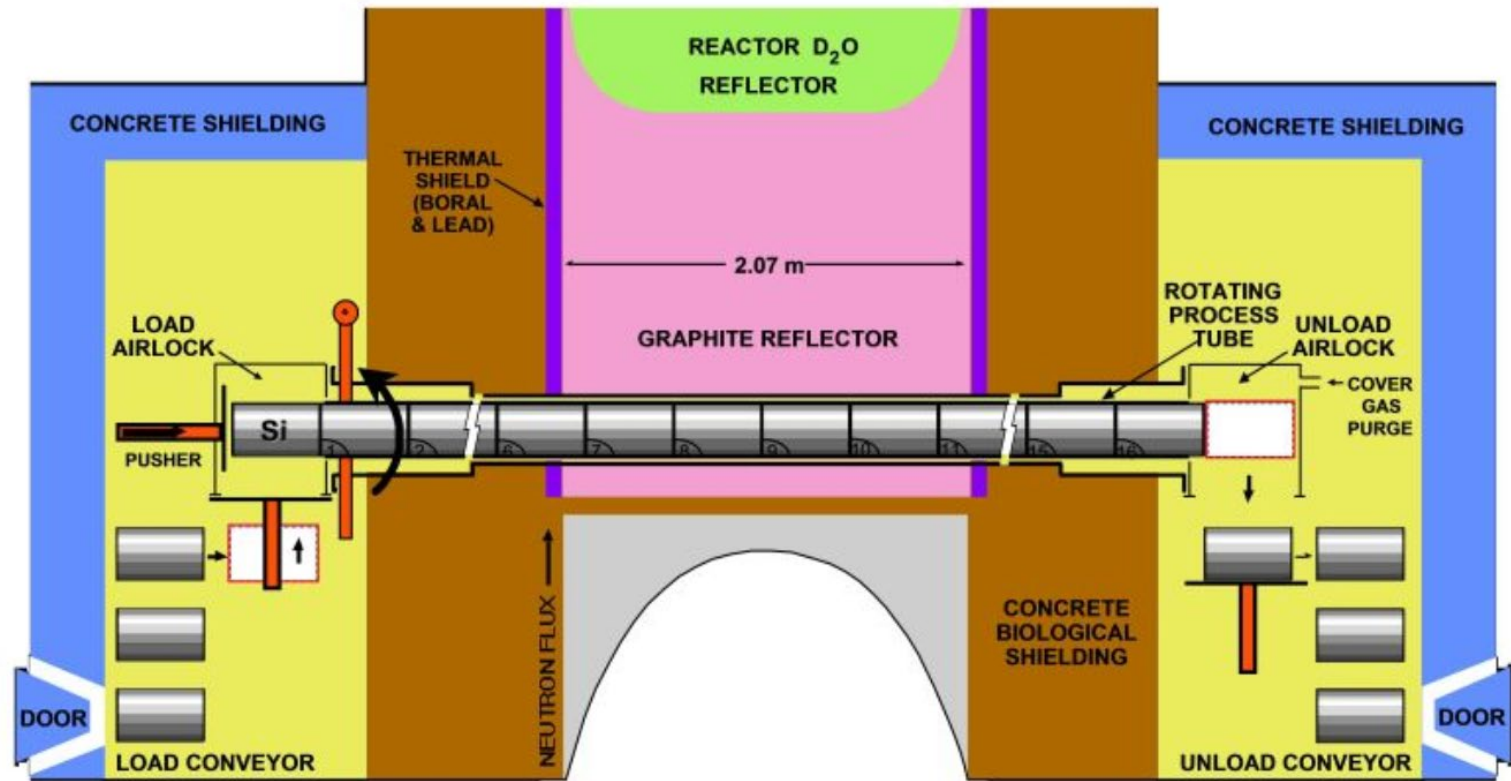


impianto ionico



Drogaggio a Trasmutazione Neutronica (NTD)

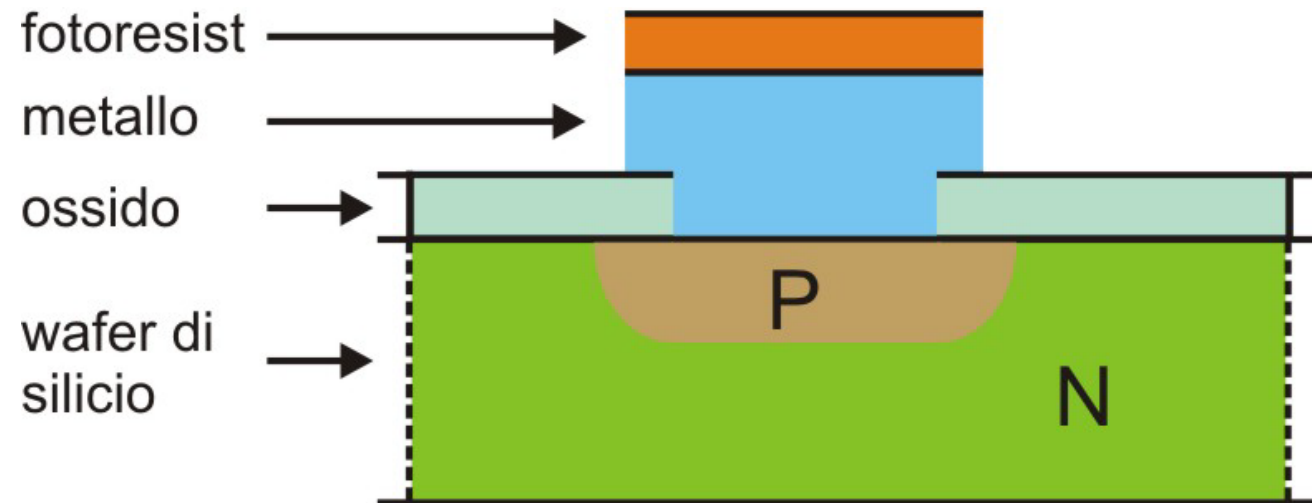
- Irraggiamento di silicio purissimo con flusso di neutroni termici.
- Il neutron termico viene catturato dal ^{30}Si , che ha abbondanza 3% nel Silicio puro
- Grazie all'alto rapporto neutroni/protoni nel ^{31}Si , rilascia un beta convertendo un neutrone in protone
- Il ^{31}Si si converte il ^{31}P , fosforo, drogando il Silicio.



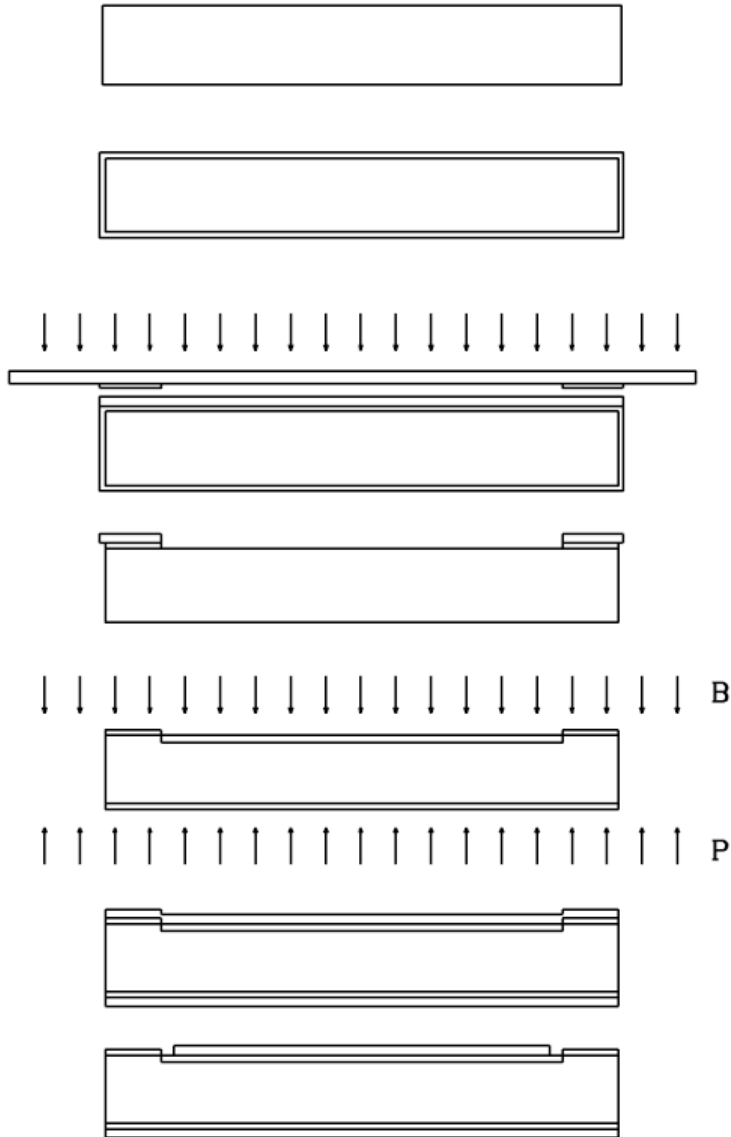
- Risultato: bassa resistività con grande omogeneità

Applicazione e fotolitografia contatti metallici

- Si ripete la deposizione, la litografia e l'etching per lo strato metallico di contatto.
- La deposizione avviene normalmente per evaporazione di alluminio in pompa a vuoto. Altre tecniche di post produzione possono essere usate, anche con metodi additivi 3D



Processo litografico planare



- Wafer lucidato (Si, Ge, GaAs)
- Ossidazione: deposito di vapore o crescita termica di SiO_2
- Fotolitografia:
 - Illuminazione attraverso maschera (positiva o negativa)
 - Su wafer rivestito con Fotoresist (centrifuga per controllo spessore)
- Sviluppo e rimozione chimica della parte (non) illuminata
 - Plasma etching (reagenti gassosi rimossi con frequenze) o wet etching
 - La parte non polimerizzata si dissolve
- Impianto di Boro/Fosforo per drogare p/n
- Deposito di alluminio
 - Per evaporazione o “spruzzamento” (sputtering)
- Rimozione alluminio dove non serve

Processo planare fabbricazione rivelatore

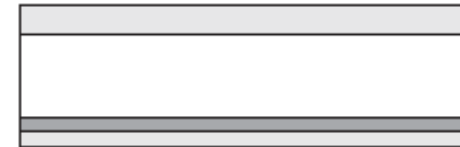
a) DEPOSIT P-DOPED POLY-Si
BACKSIDE CONTACT



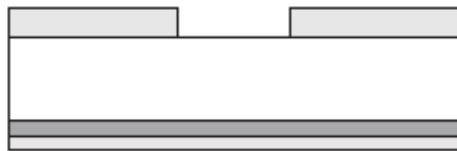
b) BACK CONTACT PROTECTED
BY Si-NITRIDE CAPPING LAYER



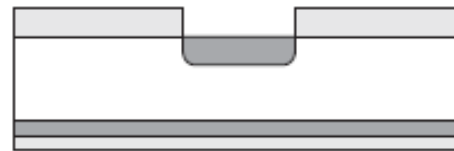
c) THERMAL OXIDATION OF
TOP SURFACE



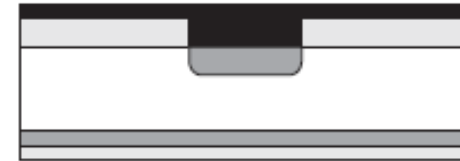
d) OPEN WINDOW FOR p+
ELECTRODE



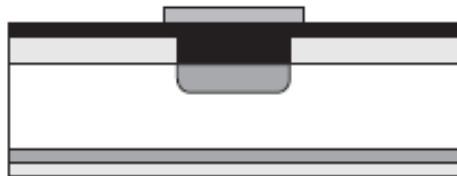
e) B-DOPING TO FORM p+
ELECTRODE



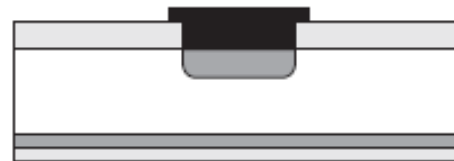
f) ALUMINUM METALLIZATION
FOR FRONT CONTACT



g) PHOTORESIST MASK
FOR FRONT CONTACT



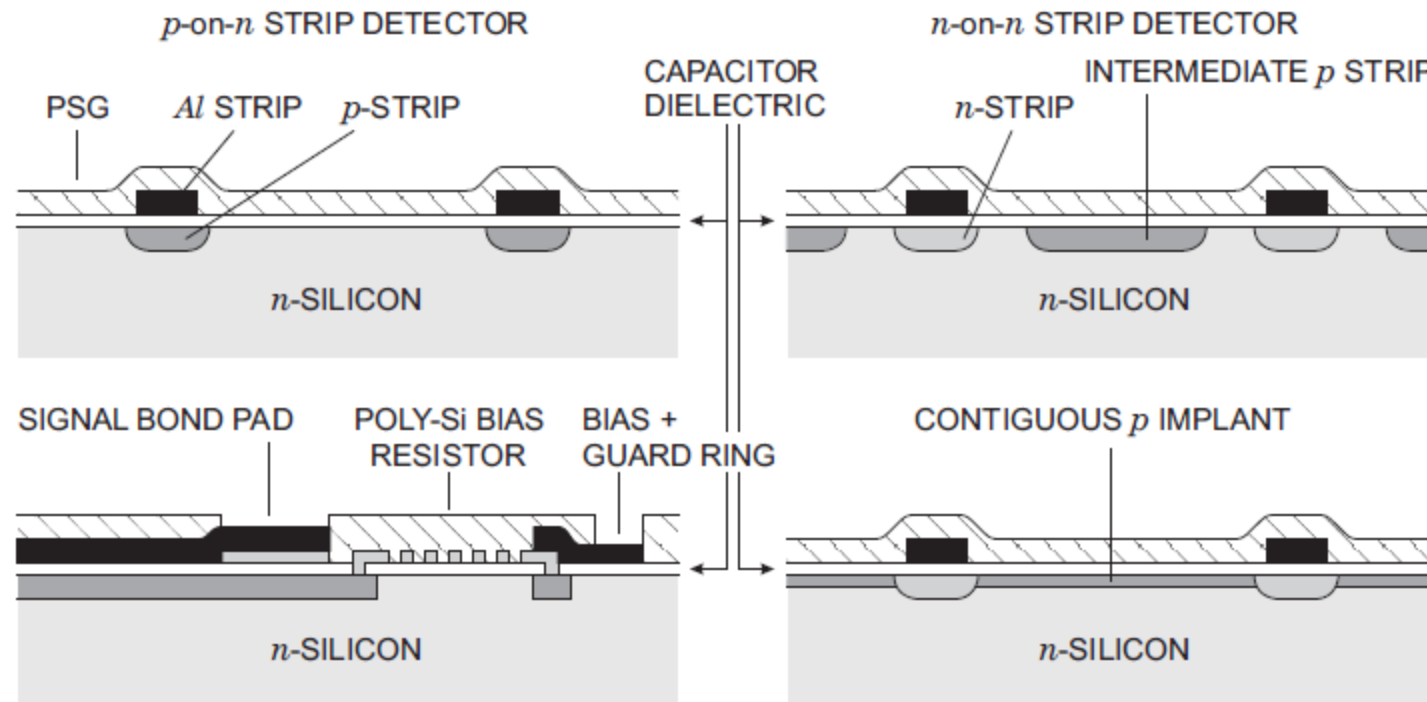
h) ETCH FRONT CONTACT



i) ALUMINUM METALLIZATION
FOR BACK CONTACT



Sezione trasversale Strip detector



Sezione trasversale struttura CMOS

