

Elettronica e dispositivi Programmabili

Docenti:

Stefano Marsi, Sergio Carrato

Giuseppe Cautero, Paolo Sirotti

Durata della II parte

- Il corso dura complessivamente circa 11-12 settimane (fino a metà maggio circa)
- Per la laurea SPECIALISTICA
 - 6 CFU di FPGA
 - 3 CFU di Applicazioni di FPGA e LabView

Com'è strutturato il corso

- Il Corso è sostanzialmente a carattere pratico
 - Relativamente poche lezioni teoriche
 - Diverse esercitazioni pomeridiane di laboratorio
 - Utilizzo di materiale didattico all'avanguardia
 - Circuiti programmabili
 - Schede di sviluppo
 - Software
 - Sala calcolatori
 - Disponibilità gratuita del software agli studenti.

Com'è strutturato il corso

- La frequenza del corso e delle esercitazioni garantisce il superamento dell'esame con **esito positivo**
- Se la frequenza è stata globale
NON ci saranno ne' temi scritti ne' appelli orali
- Il voto finale sarà funzione:
 - dei risultati conseguiti durante il corso
 - dell'impegno dimostrato durante le esercitazioni
 - dell'interesse manifestato nelle tematiche trattate
- Nel caso di frequenza "saltuaria" l'esame dovrà essere integrato con opportune prove scritte/pratiche/orali
- L'esame con esito positivo **NON è ripetibile!**
 - Ma eventualmente può essere integrato con una prova orale

Com'è strutturato il corso

- Verrà ricreato un moderno ambiente di Lavoro
- Verranno realizzati dei **GRUPPI DI LAVORO** composti da due, massimo tre studenti
- Detti gruppi verranno istituiti “d’ufficio” senza tener conto di eventuali “amicizie, corregionalita’, impegni omologhi ecc...
- Viene richiesto lo svolgimento di un “lavoro di squadra”

Com'è strutturato il corso

- All'atto pratico come si svolgerà il corso:
 - Circa 30 Ore di lezioni in aula per illustrare:
 - la struttura dei moderni circuiti programmabili
 - la struttura di una versatile scheda di sviluppo
 - il funzionamento di un opportuno tool di sviluppo
 - Il tutto corredato di dimostrazioni pratiche
 - Tre ore a settimana saranno dedicate a svolgere in modo autonomo un'esercitazione guidata o tutorial (con supervisione).
 - Il laboratorio rimarrà a disposizione degli studenti durante i normali orari d'ufficio (senza supervisione)
 - Ove necessario verrà istituito un sistema per gestire il “prestito” delle schede
 - Ogni 3 settimane verrà sviluppato un progetto ex-novo (che verrà valutato ai fini del voto finale) **provette differenziate**

Com'è strutturato il corso

- Concorrerà alla definizione del voto:
 - Una opportuna dimostrazione funzionale del corretto funzionamento del dispositivo in tempo reale
 - La stesura (a posteriori) di una buona relazione
 - NON prolissa
 - Ben documentata
 - Scritta con opportuna proprietà di linguaggio ed in modo scientificamente corretto.
 - La relazione dovrà essere presentata entro e non oltre 5 giorni dalla data dell'esercitazione.
- A fine corso ogni studente definirà concordemente col docente un progetto finale nel quale far convergere le conoscenze acquisite.
 - Tale progetto potrà essere svolto in modo autonomo o in gruppo
 - Non sono previste scadenze

Orario del Corso

■ Per le prime due settimane:

- Solamente lezioni frontali
 - Lunedì 8:30 – 11:00
 - Mercoledì 11:15-13:00 (→ 15:00 per laboratorio)
 - Giovedì 14-17

■ Per altre due settimane:

- Lezione frontali nelle giornate di Lun. e Merc. (5 ore)
- Laboratorio al Giovedì pomeriggio (3 ore)

■ Successivamente

- Lezione il Lunedì
- Laboratorio il Mercoledì

OBIETTIVI FORMATIVI

- Conoscenza della struttura di moderni circuiti programmabili
- Approfondimento della struttura di un moderno tool di sviluppo e degli strumenti a disposizione del progettista
- Applicazioni pratiche su di un versatile e moderno ambiente di sviluppo
- Conoscenza specifica di una scheda di sviluppo per il test di architetture in tempo reale (Board DE1)
- Conoscenze di base del linguaggio Verilog HDL

PREREQUISITI consigliati

- Algebra booleana
- Basi di elettronica digitale (porte logiche, flip flop, ecc...)
- Macchine a stati finiti
- Circuiti logici asincroni e sincroni
- Dimestichezza nell'uso di un PC

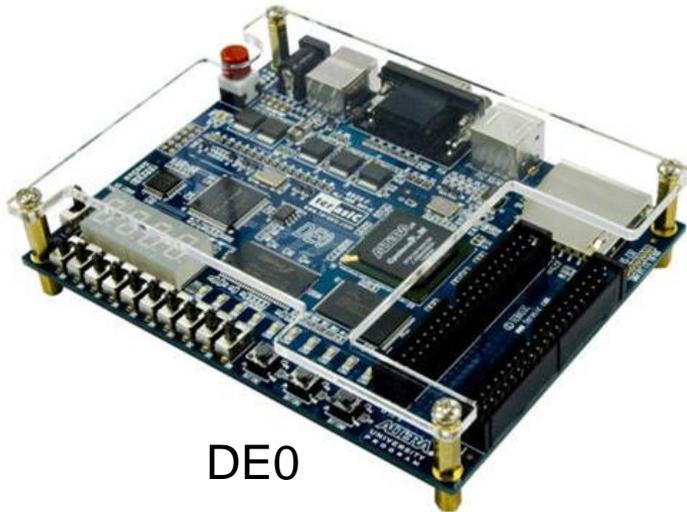
Materiale Didattico

- Il corso è stato parzialmente supportato da

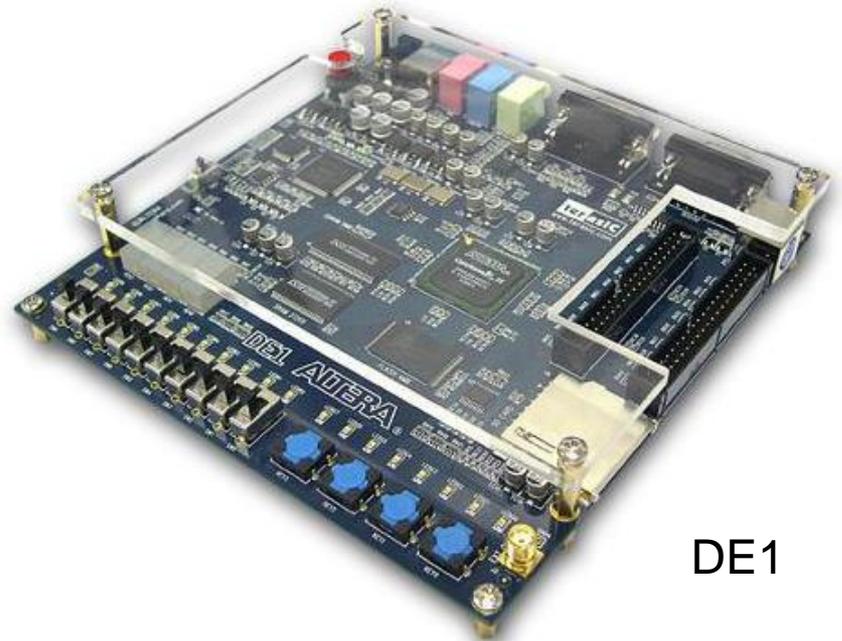


- “Donation” di
 - 12 schede DE1
 - 6 scheda DE2
 - 1 Sceda DE1-SoC
- Software gratuito
- Materiale didattico (Corsi, Tutorials, lab test, ...)

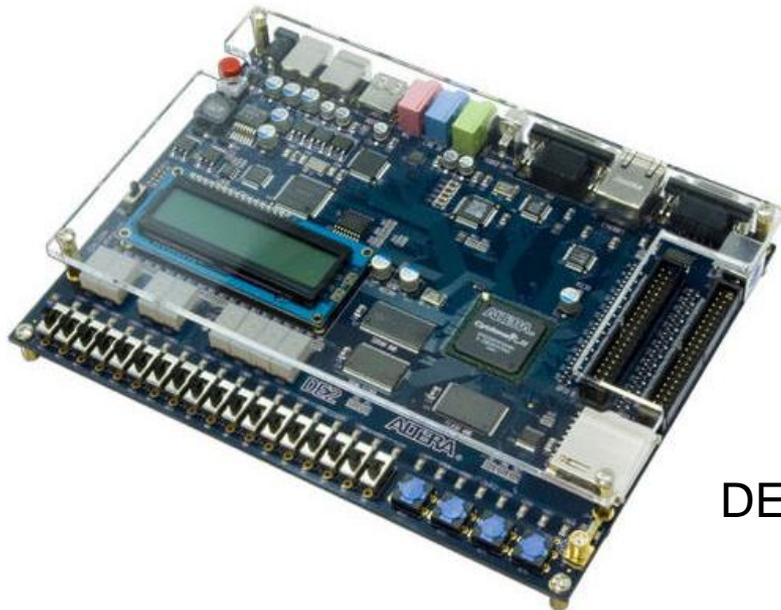
Schede di Sviluppo



DE0



DE1



DE2

Schede di Sviluppo

■ Per eventuali tesi future



Features

- Altera EP3C120F780 Development board
- Bitec HSMC Quad Video daughter card
 - 8 composite or 4 s-video inputs
 - 1 HD (1080p) DVI Output port or
 - 1 TV (PAL/NTSC) output with resolutions to 1024x768 and support for composite, s-video or SCART (RGB) outputs
- Bitec HSMC DVI daughter card
 - 1 HD (1080p) DVI Output port (HDMI with external adaptor)
 - 1 HD (1080p) DVI Input port (HDMI with external adaptor)
- Interfaces directly to the Altera Video and Image Processing (VIP) Suit
- Collection of video reference designs

Software di Sviluppo

- Quartus® II Software
 - Descrizione
 - Simulazione
 - Sintesi
 - Analisi dei risultati
 - SOPC Builder
- Altera Monitor Program
 - Compilazione e debugging
- Nios® II Embedded Design Suite
 - Compilazione, Debugging, Gestione di Drivers, Librerie, API
- ModelSim Simulation Software
 - Simulazione evoluta
- DSP Builder Toolkit
 - Da Matlab a HDL

MATERIALE didattico

- Materiali strettamente legati al corso:
 - Moodle – Sistemi Integrati su FPGA
 - <http://moodle.units.it/moodle/course/view.php?id=670>
- Materiali inerenti i circuiti programmabili, il tool di sviluppo, la scheda adottata, comprensivi di tutorial e University Program.
 - <http://www.altera.com>
- Comunicazioni:
 - Mailing-list specifica ai corsi di Elettronica
 - Forum su moodle

NOTA: Tutto il materiale è in costante stato di aggiornamento

Materiale Didattico

- Sito Moodle-UNITS del corso (key: 2542)
 - Lucidi, tutorials, manuali, software, visual analyzer, links, relazioni studenti, mailing list,...
- Sito Altera
 - Training (ottimo per autodidatti)
 - Training Courses
 - University Program
 - Video
 - Demonstration

Libri di testo

- [Rapid Prototyping of Digital Systems](#)

James O. Hamblen and Michael D. Furman

Includes:

Two tutorials on the Altera design tool environment

Overview of programmable logic

Design library

Also includes a CD-ROM containing logic simulation and design examples

- [Hdl Chip Design:](#)

A Practical Guide for Designing, Synthesizing & Simulating Asics & Fpgas L
Verilog

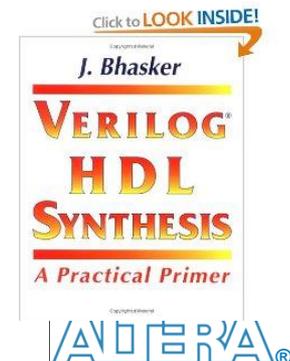
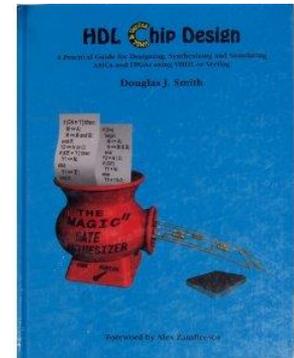
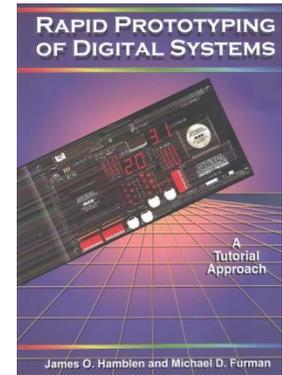
Douglas J. Smith

- [Verilog HDL Synthesis](#)

A Practical Primer

J. Bhasker

- [Moltissimo altro materiale reperibile in rete](#)



Altera Innovate Italy



- Gara Annuale
 - Donation DE1
 - Sfruttabile come “tesina finale”
 - Arricchisce il curriculum
 - Potreste anche vincere !!
- Info su:
 - <http://www.innovateitaly.com/it/>