

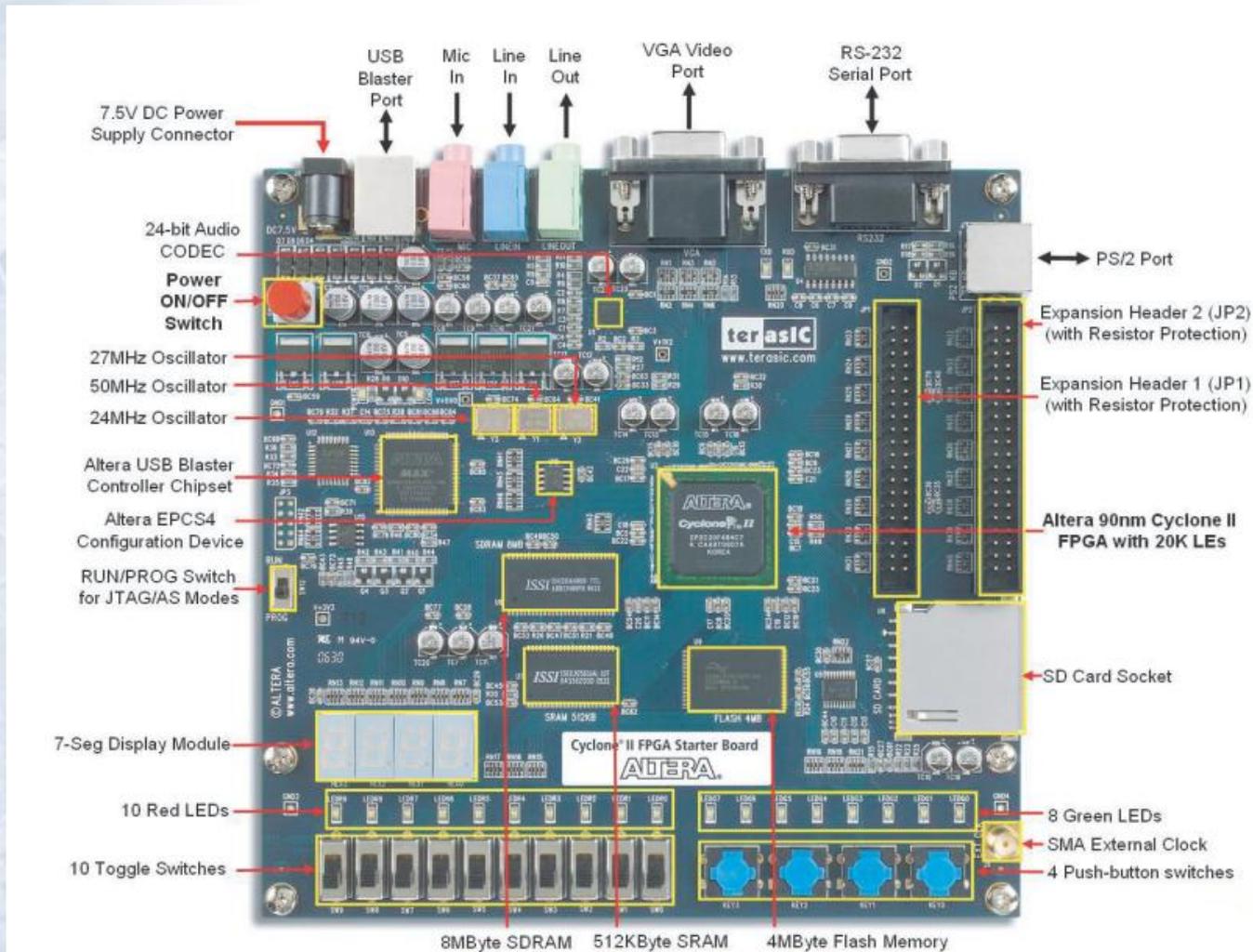


ALTERA®

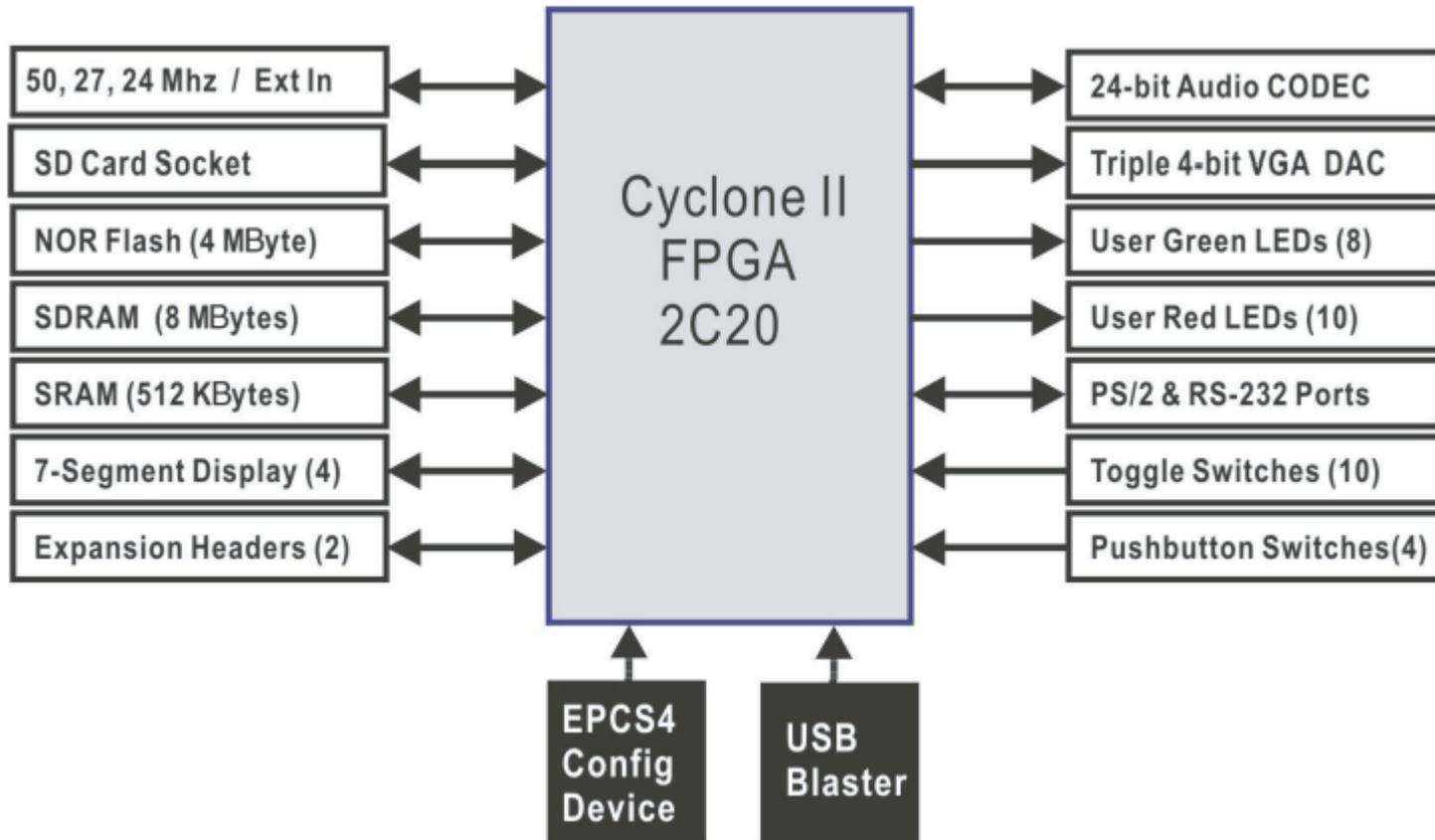
DE1 Board

*Un sistema di sviluppo basato su
FPGA Cyclone II*

Vista d'insieme



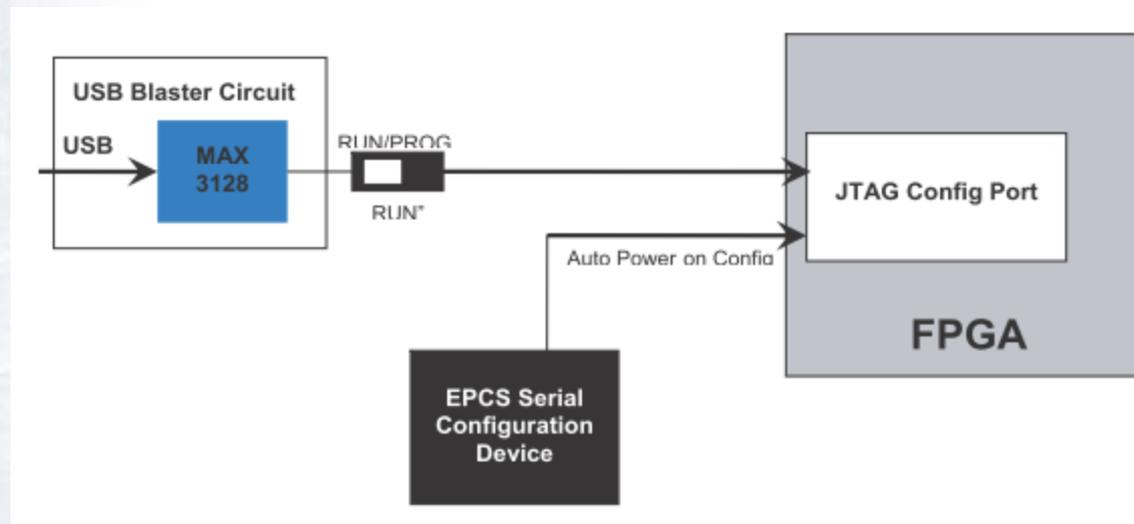
Schema a blocchi



Configurazione

■ JTAG

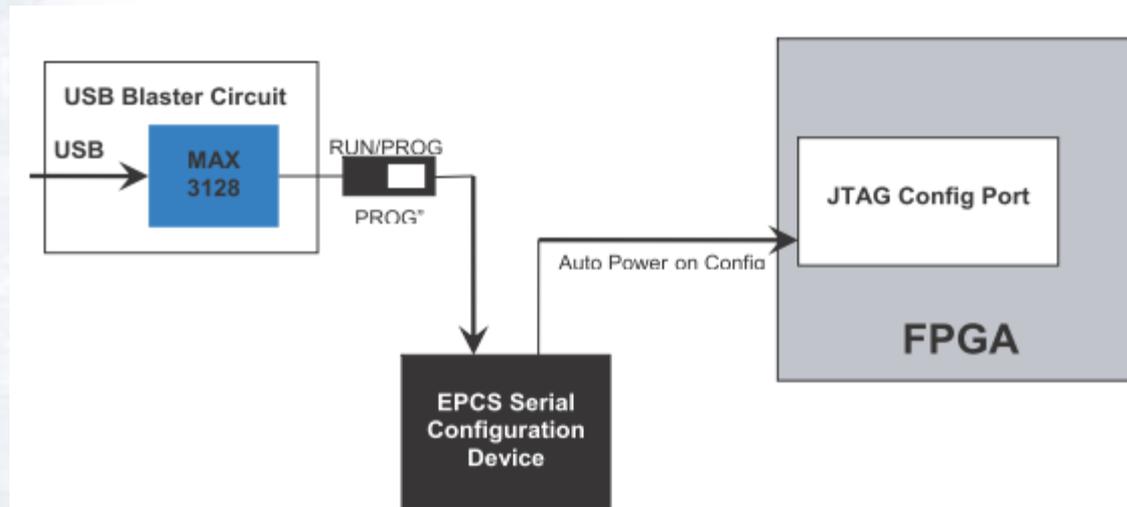
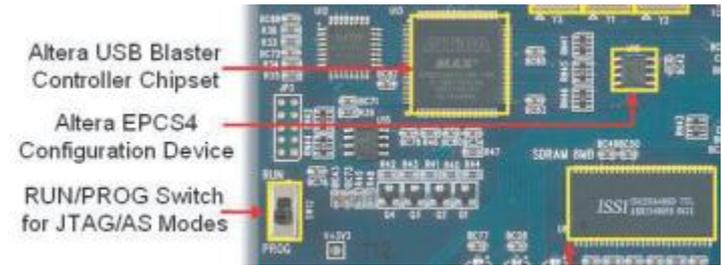
- Configurazione “volatile”
- Download del bitstream direttamente su FPGA



Configurazione

■ AS (Active serial)

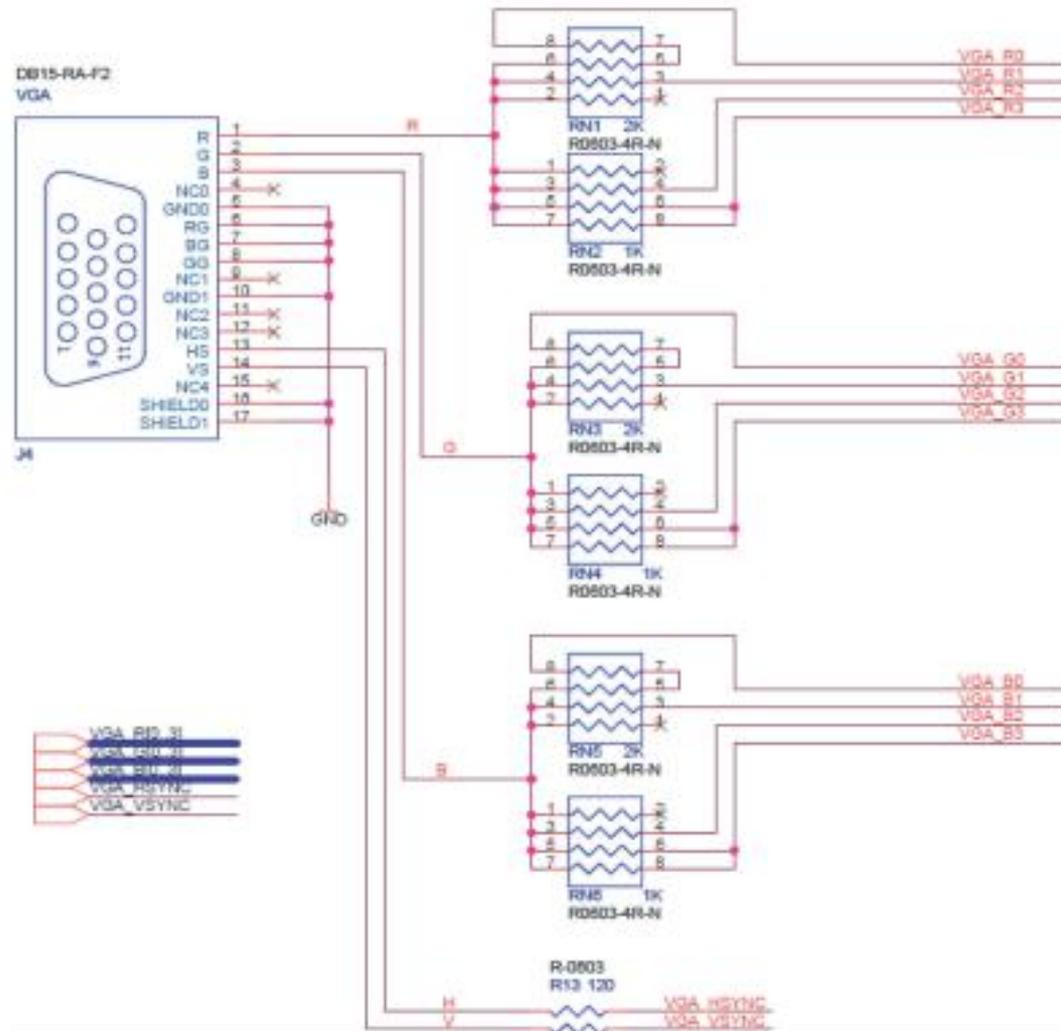
- Configurazione “non volatile”
- Download del bitstream su EEPROM (EPCS4)
- Reset per programmare l’FPGA



Configurazione

- Più approfonditamente il sistema fa uso
 - Di un chipset comprendente anche una CPLD opportunamente preconfigurata.
 - Questo si occupa
 - Della gestione del protocollo seriale della EEPROM (in lettura e scrittura)
 - Di generare i segnali di configurazione nello std. JTAG per programmare l'FPGA
 - Di interfacciarsi verso la porta USB
 - Di interpretare i dati provenienti dal programmatore
 - Di supervisionare le diverse procedure di configurazione
 - La CPLD potrebbe venir riconfigurata (sempre attraverso il protocollo JTAG) sfruttando il JP3

VGA DAC



Temporizzazioni VGA

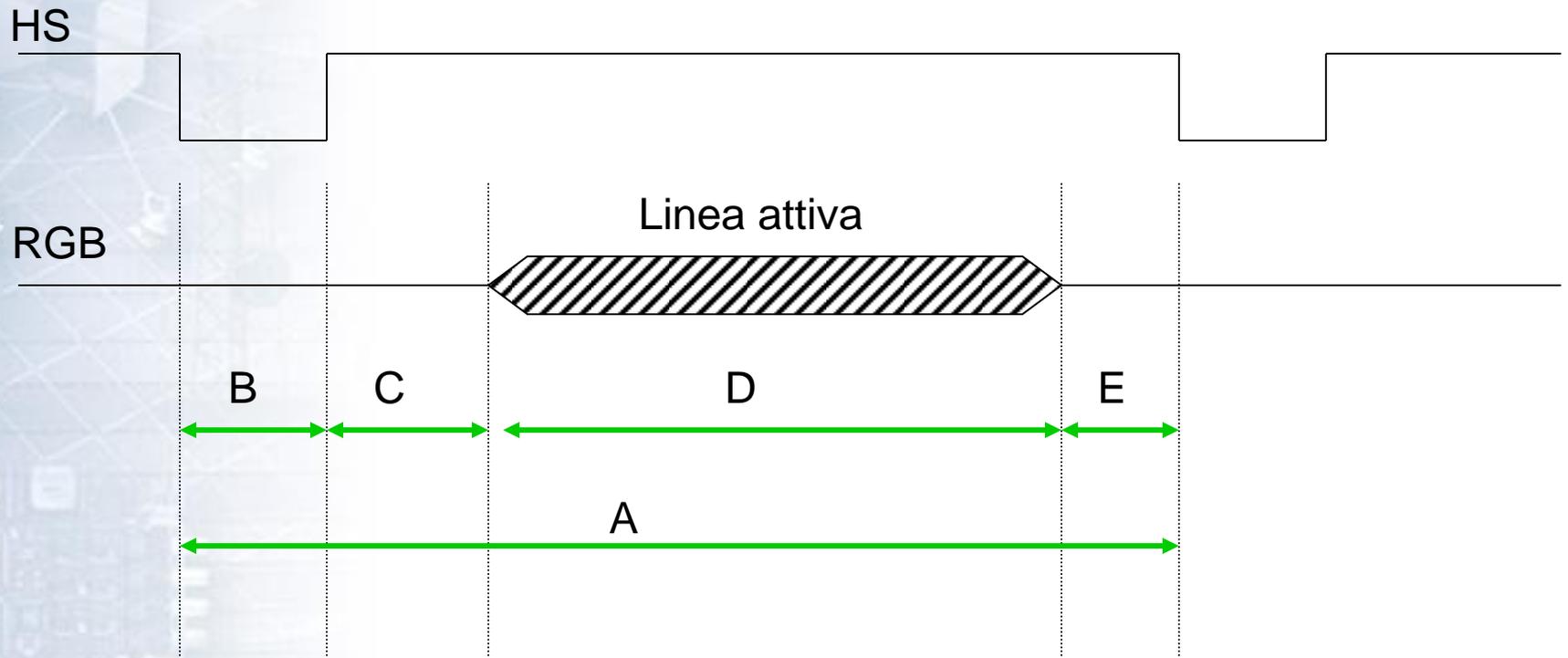
- Esistono varie “risoluzioni VGA”
 - 640 x 480
 - 800 x 600
 - 1024 x 768
 - ...
- Con diverse frequenze di quadro
 - 50 Hz, 60 Hz, 75 Hz
- Con segnale “interlacciato” o “progressivo”
- Ciascuna di queste prevede una certa “cadenza” o “clock” con cui fornire i dati ed inoltre due segnali di sincronismo
 - HS (sincronismo di riga)
 - VS (sincronismo di quadro)

Porta VGA

- I segnali alla porta VGA sono tipicamente segnali **ANALOGICI**, di cui:
 - I sincronismi prevedono solo due livelli di tensione
 - I dati prevedono un'ampiezza proporzionale alla luminosità del singolo canale RGB per il pixel in esame
- In questo caso si può definire l'ampiezza di ogni segnale analogico agendo con quattro segnali digitali su un semplice partitore resistivo con resistenze di valori proporzionali alle potenze di 2 (e' un semplicissimo convertitore D/A)

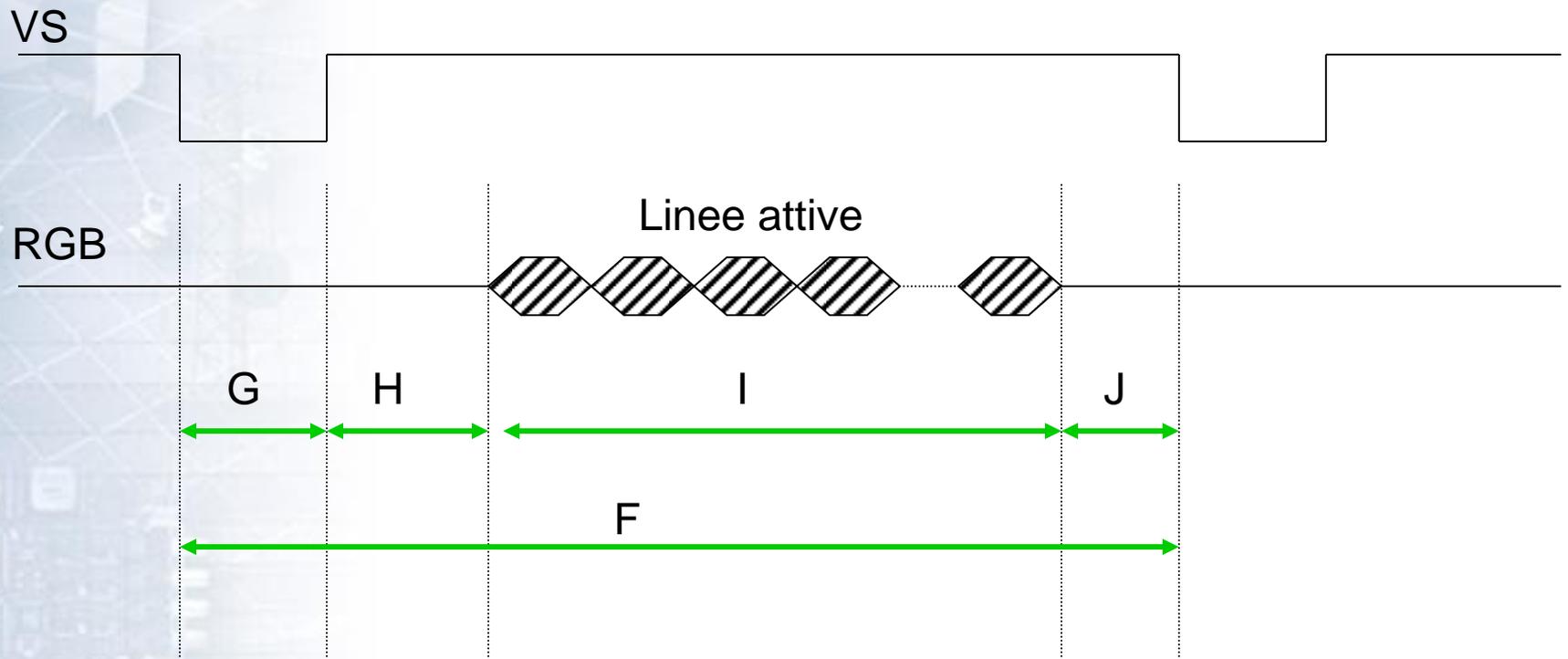
Temporizzazioni VGA

- Sincronismo di riga (HS)



Temporizzazioni VGA

- Sincronismo di quadro (VS)



Temporizzazioni VGA

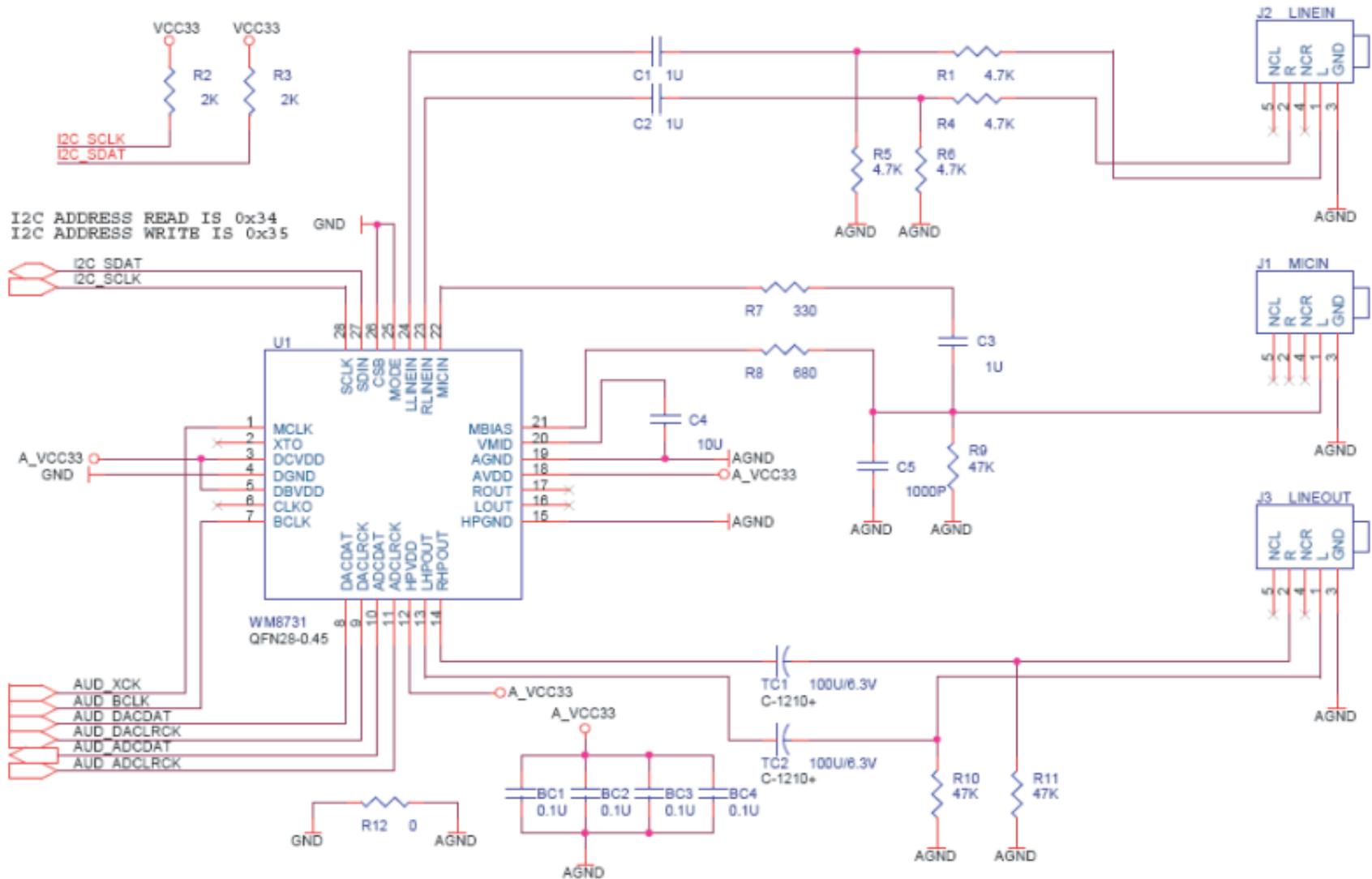
- MODE 640 x 480 x 60 Hz (clock: 25.175 MHz)

A	Line period	31.77 u	800	pix
B	HS Sync	3.77 u	95	pix
C	HS Back Porch	1.89 u	40	pix
D	Active video	25.17 u	640	pix
E	HS Front Porch	0.94 u	25	pix
F	Frame Period	16.6 m	525	line
G	VS Sync	64 u	2	line
H	VS Back Porch	1.02 m	32	line
I	Active Frame	15.24 m	480	line
J	VS Front Porch	0.35 m	11	line

Temporizzazioni VGA

Mode	Refresh	H sync	Dot Clock	Interlaced?	Vesa?
640 x 480	60 Hz	31,5 K	25,175 M	No	No
640 x 480	60 Hz	31,5 K	25,175 M	No	No
640 x 480	63 Hz	32,8 K	28,322 M	No	No
640 x 480	70 Hz	36,5 K	31,5 M	No	No
640 x 480	72 Hz	37,9 K	31,5 M	No	Yes
800 x 600	56 Hz	35,1 K	36 M	No	Yes
800 x 600	56 Hz	35,4 K	36 M	No	No
800 x 600	60 Hz	37,9 K	40 M	No	Yes
800 x 600	60 Hz	37,9 K	40 M	No	No
800 x 600	72 Hz	48 K	50 M	No	Yes
1024 x 768	43,5 Hz	35,5 K	44,9 M	Yes	No
1024 x 768	60 Hz	48,4 K	65 M	No	Yes
1024 x 768	60 Hz	48,4 K	62 M	No	No
1024 x 768	70 Hz	56,5 K	75 M	No	Yes
1024 x 768	70 Hz	56,25 K	72 M	No	No
1024 x 768	76 Hz	62,5 K	85 M	No	No
1280 x 1024	44 Hz	51 K	80 M	Yes	No
1280 x 1024	44 Hz	47,6 K	75 M	Yes	No
1280 x 1024	59 Hz	63,6 K	110 M	No	No
1280 x 1024	61 Hz	64,24 K	110 M	No	No
1280 x 1024	74 Hz	78,85 K	135 M	No	No

AUDIO Codec

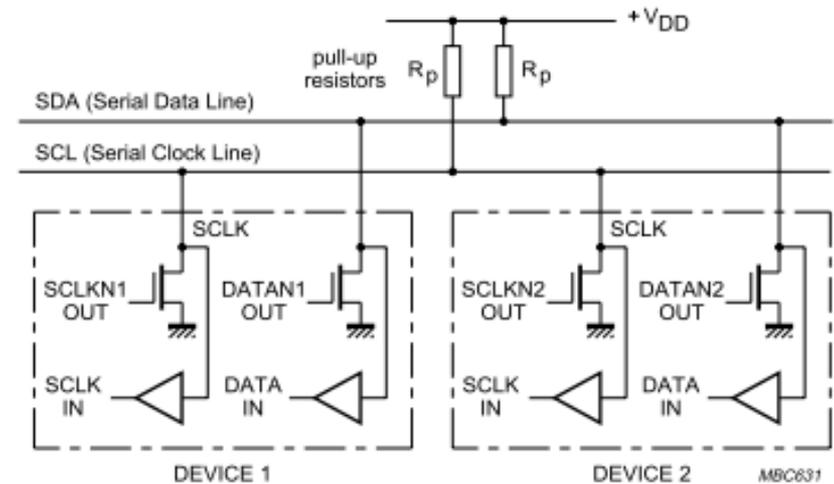
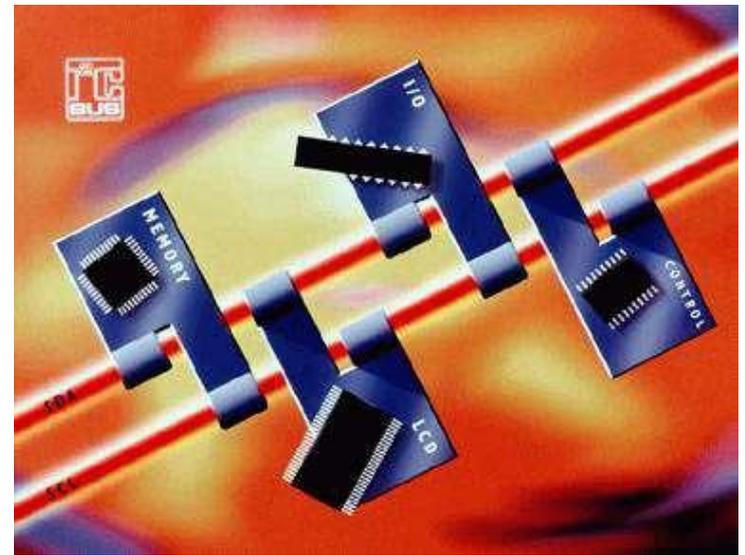


Audio Codec

- Configurabile tramite protocollo I2C
- Ingressi: (non si possono elaborare contemporaneamente)
 - line (stereo)
 - microfono (mono) con possibilità di amplificare di 20dB
- Uscite
 - Line
 - Headphone (con amplificazione regolabile [+6db -73db])
- Zero cross detection (modifica il volume solo se il segnale è basso)
- Bypass ingresso/uscita opzionale
- Sidetone (il microfono entra direttamente in uscita) con un' attenuazione regolabile.
- Numero di bit variabile (16,20,24,32)

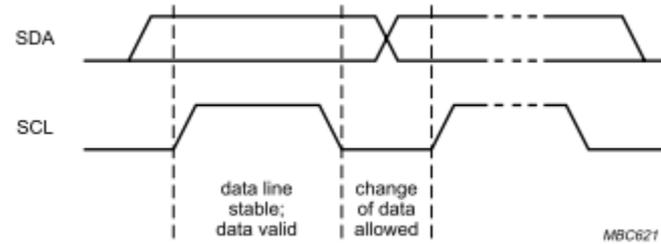
Protocollo I2C

- Protocollo seriale sviluppato da Philips
- Usa due linee (SDA, SCL) con 2 stati logici
 - Stato basso (forte)
 - Stato alto (debole) (Alta impedenza + resistenza di pullup)
- Può comunicare con diversi dispositivi (multimaster)
- Nella versione Standard funziona fino 100kb/s
- Esistono anche versioni Fast 400kb/s ed HS 3,4 Mb

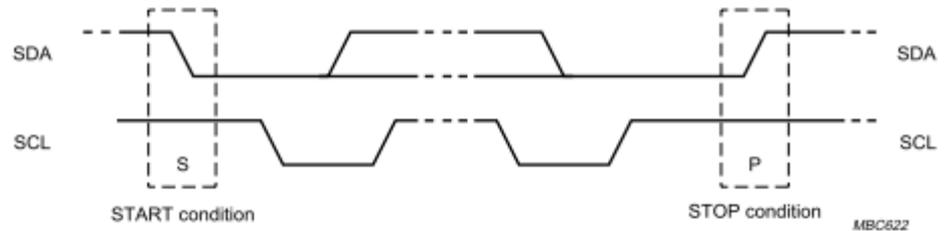


Protocollo I2C

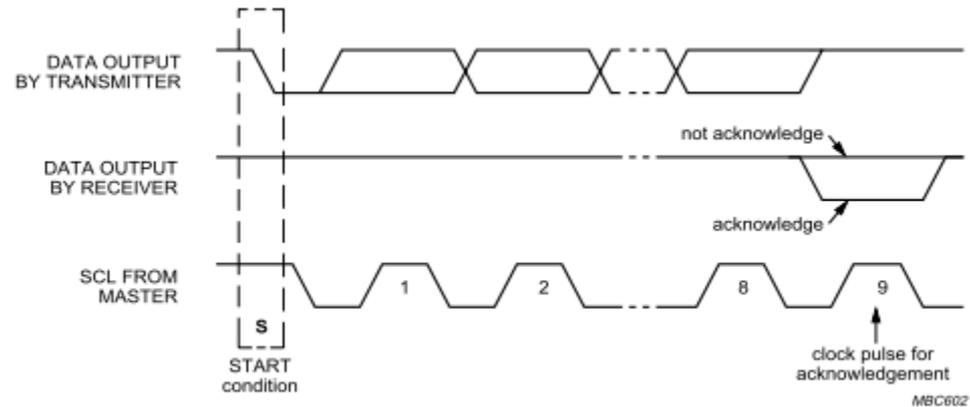
■ Bit transmission



■ Start-Stop transmission



■ Acknowledge



Protocollo I2C

Trasferimento con pacchetti di 8bits (+1 ack)

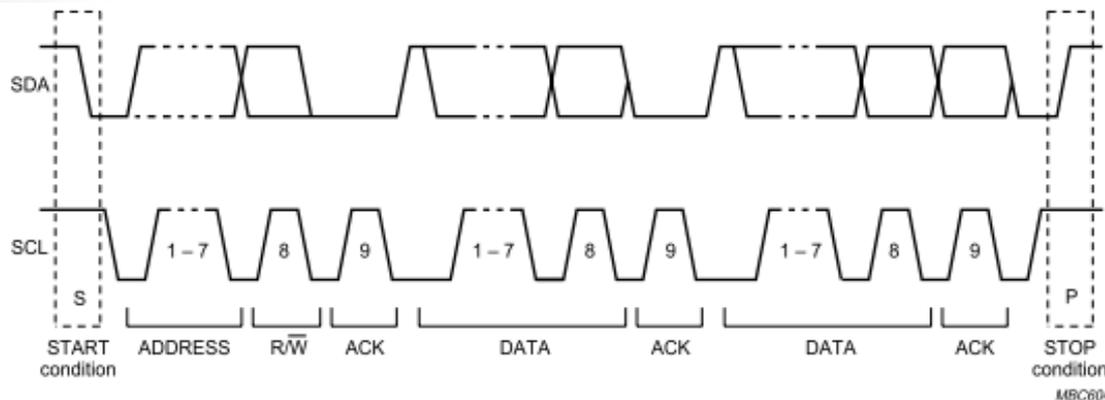
Tipicamente l'ultimo bit dell'indirizzo del dispositivo è il bit R/W

■ Un dato alla volta

- Start
- Indirizzo dispositivo
- Indirizzo del registro
- Dato
- Stop

■ Più dati alla volta

- Start
- Indirizzo dispositivo
- Indirizzo di Reg0
- Dato Reg0
- Dato Reg1
-
- Stop

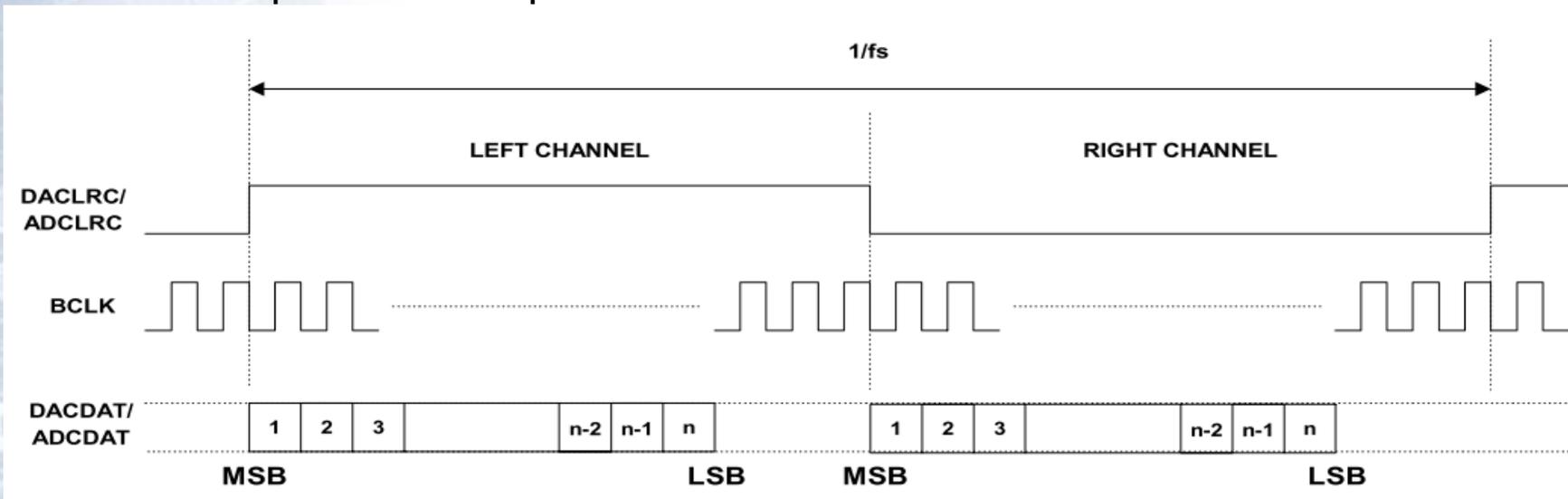


Audio Codec (registri)

REGISTER	B 15	B 14	B 13	B 12	B 11	B 10	B 9	B8	B7	B6	B5	B4	B3	B2	B1	B0
R0 (00h)	0	0	0	0	0	0	0	LRIN BOTH	LIN MUTE	0	0	LINVOL				
R1 (02h)	0	0	0	0	0	0	1	RLIN BOTH	RIN MUTE	0	0	RINVOL				
R2 (04h)	0	0	0	0	0	1	0	LRHP BOTH	LZCEN	LHPVOL						
R3 (06h)	0	0	0	0	0	1	1	RLHP BOTH	RZCEN	RHPVOL						
R4 (08h)	0	0	0	0	1	0	0	0	SIDEATT		SIDETONE	DAC SEL	BY PASS	INSEL	MUTE MIC	MIC BOOST
R5 (0Ah)	0	0	0	0	1	0	1	0	0	0	0	HPOR	DAC MU	DEEMPH		ADC HPD
R6 (0Ch)	0	0	0	0	1	1	0	0	PWR OFF	CLK OUTPD	OSCPD	OUTPD	DACPD	ADCPD	MICPD	LINEINPD
R7 (0Eh)	0	0	0	0	1	1	1	0	BCLK INV	MS	LR SWAP	LRP	IWL		FORMAT	
R8 (10h)	0	0	0	1	0	0	0	0	CLKO DIV2	CLKI DIV2	SR				BOSR	USB/NORM
R9 (12h)	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	ACTIVE
R15(1Eh)	0	0	0	1	1	1	1	RESET								
	ADDRESS							DATA								

Audio Codec (Segnali digitali)

- Sia in ingresso che in uscita:
 - Sincronismo Left Right
 - Clock
 - Dati seriali
 - sincronizzati sul fronte di discesa
 - espressi in complemento a due

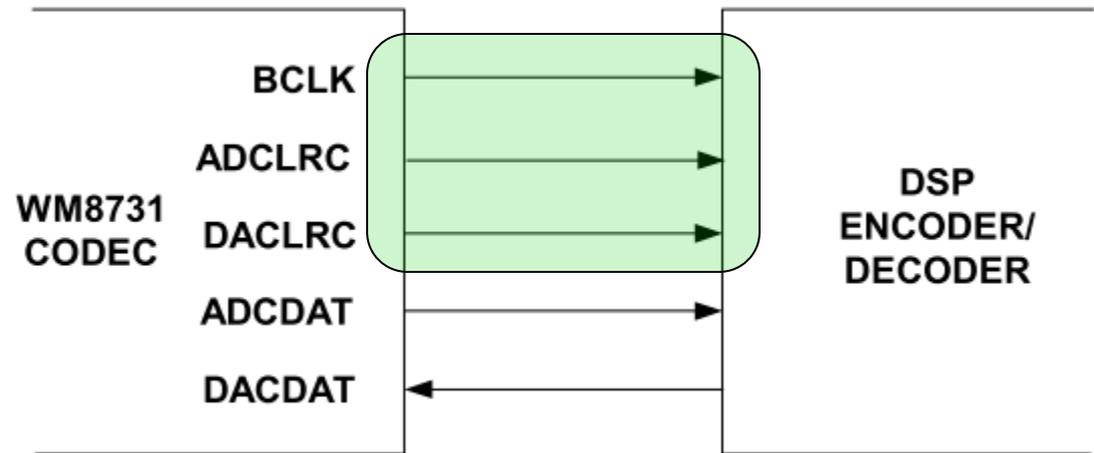


Audio Codec (Modi di funzionamento)

REG 7: Bit 6

■ Master mode

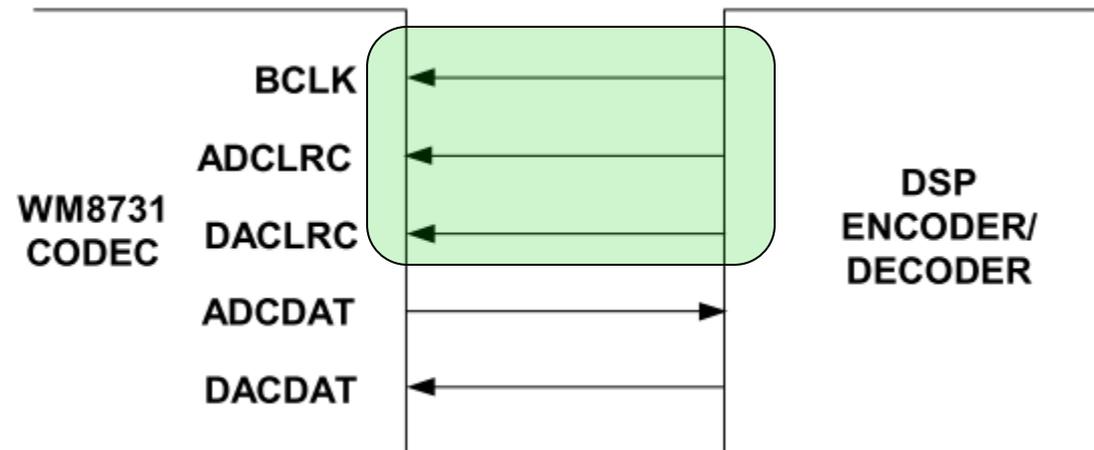
Genera i sincronismi



Note: ADC and DAC can run at different rates

■ Slave mode

Riceve i sincronismi



Note: The ADC and DAC can run at different rates

Nota: in entrambi i modi per il funzionamento del codec esso deve ricevere comunque anche un MasterCLK

Audio Codec (Modi di funzionamento)

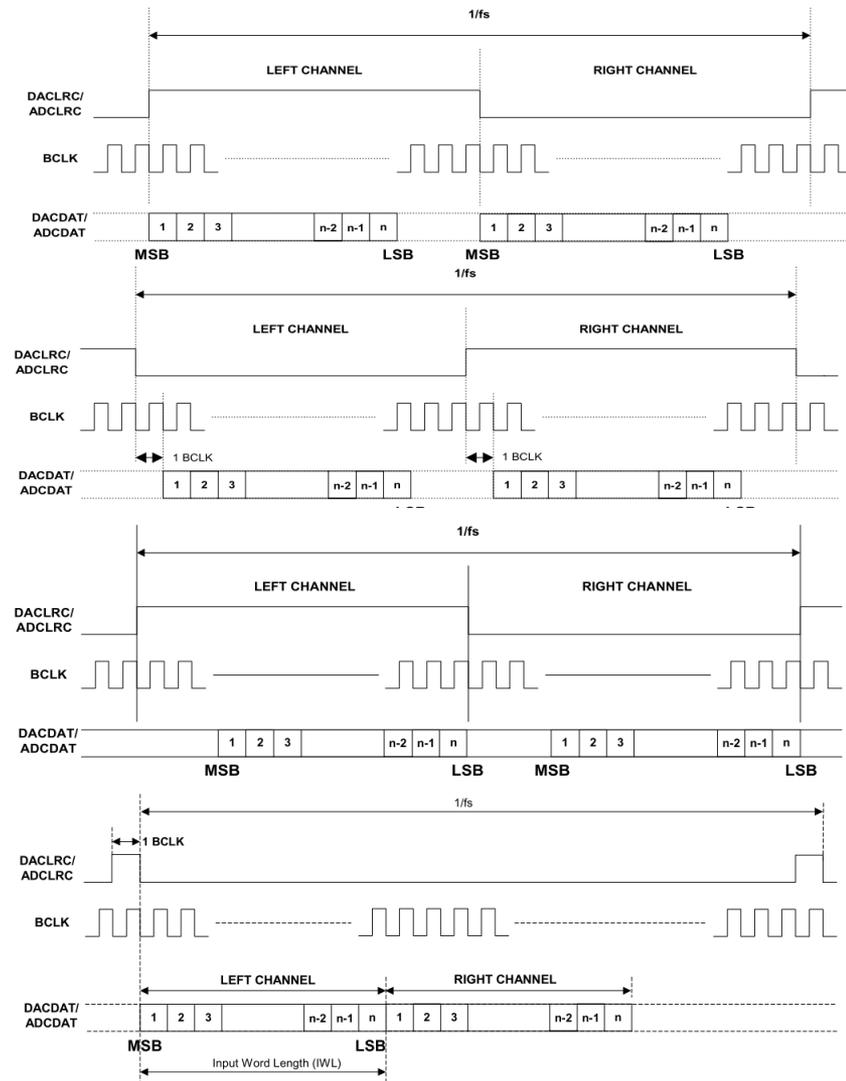
REG 7: Bit 1:0

■ Left justified

■ I2S

■ Right justified

■ DSP



Audio Codec (data length)

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
0000111 Digital Audio Interface Format	1:0	FORMAT[1:0]	10	Audio Data Format Select 11 = DSP Mode, frame sync + 2 data packed words 10 = I ² S Format, MSB-First left-1 justified 01 = MSB-First, left justified 00 = MSB-First, right justified
	3:2	IWL[1:0]	10	Input Audio Data Bit Length Select 11 = 32 bits 10 = 24 bits 01 = 20 bits 00 = 16 bits

Audio Codec (sample freq.)

- Due set di frequenze
 - $F_s = 8, 32, 48, 96$ kHz
 - $F_s = 8.018, 44.1, 88.2$ kHz
- F_s diverse in input ed output
- Non tutte le coppie sono supportate
- Si configurano attraverso
 - Modalità e MCLK opportuno
 - Modalità USB (MCLK = 12MHz)
 - Modalità Normal (diversi clock possibili (256fs) o (384fs))
 - Registri BOSR e OR[3..0] (Reg.8)

Audio Codec (sample freq.)

REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION								
0001000 Sampling Control	0	USB/ NORMAL	0	Mode Select 1 = USB mode (250/272fs) 0 = Normal mode (256/384fs)								
	1	BOSR	0	Base Over-Sampling Rate								
				<table border="1"> <tr> <td>USB Mode</td> <td>Normal Mode</td> </tr> <tr> <td>0 = 250fs</td> <td>96/88.2kHz</td> </tr> <tr> <td>1 = 272fs</td> <td>0 = 256fs</td> </tr> <tr> <td></td> <td>1 = 128fs</td> </tr> <tr> <td></td> <td>1 = 384fs</td> </tr> <tr> <td></td> <td>1 = 192fs</td> </tr> </table>	USB Mode	Normal Mode	0 = 250fs	96/88.2kHz	1 = 272fs	0 = 256fs		1 = 128fs
USB Mode	Normal Mode											
0 = 250fs	96/88.2kHz											
1 = 272fs	0 = 256fs											
	1 = 128fs											
	1 = 384fs											
	1 = 192fs											
5:2	SR[3:0]	0000	ADC and DAC sample rate control; See USB Mode and Normal Mode Sample Rate sections for operation									

Table 17 Sample Rate Control

Audio Codec (sample freq.)

SAMPLING RATE		MCLK FREQUENCY	SAMPLE RATE REGISTER SETTINGS					DIGITAL FILTER TYPE
ADC	DAC		BOSR	SR3	SR2	SR1	SR0	
kHz	kHz	MHz						
48	48	12.288	0 (256fs)	0	0	0	0	1
		18.432	1 (384fs)	0	0	0	0	
48	8	12.288	0 (256fs)	0	0	0	1	1
		18.432	1 (384fs)	0	0	0	1	
8	48	12.288	0 (256fs)	0	0	1	0	1
		18.432	1 (384fs)	0	0	1	0	
8	8	12.288	0 (256fs)	0	0	1	1	1
		18.432	1 (384fs)	0	0	1	1	
32	32	12.288	0 (256fs)	0	1	1	0	1
		18.432	1 (384fs)	0	1	1	0	
96	96	12.288	0 (128fs)	0	1	1	1	2
		18.432	1 (192fs)	0	1	1	1	
44.1	44.1	11.2896	0 (256fs)	1	0	0	0	1
		16.9344	1 (384fs)	1	0	0	0	
44.1	8 (Note 1)	11.2896	0 (256fs)	1	0	0	1	1
		16.9344	1 (384fs)	1	0	0	1	
8 (Note 1)	44.1	11.2896	0 (256fs)	1	0	1	0	1
		16.9344	1 (384fs)	1	0	1	0	
8 (Note 1)	8 (Note 1)	11.2896	0 (256fs)	1	0	1	1	1
		16.9344	1 (384fs)	1	0	1	1	
88.2	88.2	11.2896	0 (128fs)	1	1	1	1	2
		16.9344	1 (192fs)	1	1	1	1	

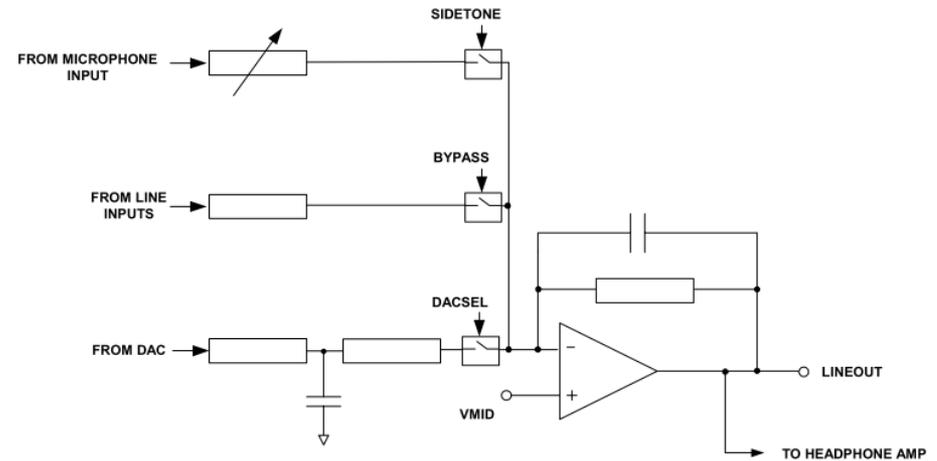
Table 18 Normal Mode Sample Rate Look-up Table

Audio Codec (sample freq.)

SAMPLING RATE		MCLK FREQUENCY	SAMPLE RATE REGISTER SETTINGS					DIGITAL FILTER TYPE
ADC	DAC		BOSR	SR3	SR2	SR1	SR0	
kHz	kHz	MHz						
48	48	12.000	0	0	0	0	0	0
44.1 (Note 2)	44.1 (Note 2)	12.000	1	1	0	0	0	1
48	8	12.000	0	0	0	0	1	0
44.1 (Note 2)	8 (Note 1)	12.000	1	1	0	0	1	1
8	48	12.000	0	0	0	1	0	0
8 (Note 1)	44.1 (Note 2)	12.000	1	1	0	1	0	1
8	8	12.000	0	0	0	1	1	0
8 (Note 1)	8 (Note 1)	12.000	1	1	0	1	1	1
32	32	12.000	0	0	1	1	0	0
96	96	12.000	0	0	1	1	1	3
88.2 (Note 3)	88.2 (Note 3)	12.000	1	1	1	1	1	2

Table 21 USB Mode Sample Rate Look-up Table

Audio Codec (altri registri)



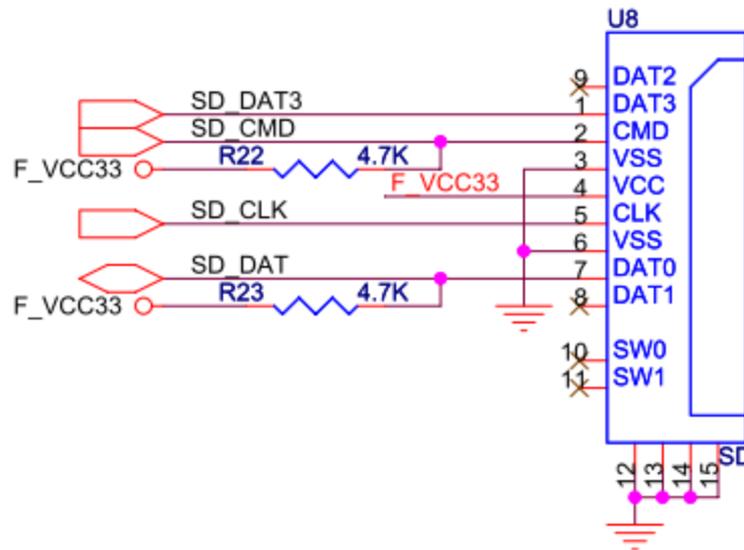
REGISTER ADDRESS	BIT	LABEL	DEFAULT	DESCRIPTION
0000100 Analogue Audio Path Control	3	BYPASS	1	Bypass Switch 1 = Enable Bypass 0 = Disable Bypass
	4	DACSEL	0	DAC Select 1 = Select DAC 0 = Don't select DAC
	5	SIDETONE	0	Side Tone Switch 1 = Enable SideTone 0 = Disable Side Tone

Audio Codec (opzioni)

- Sono disponibili inoltre
 - 4 tipi di filtri per la conversione AD, DA
 - Un filtro passa-alto per la rimozione dell'offset
 - Filtri di de-enfasi
 - Opzioni per limitare i consumi
 - Un registro di “attivazione”

DE1 Memory

- A 512-KByte SRAM
- An 8-MByte (64Mbit) SDRAM
- A 4-MByte flash memory
- Un connettore per memorie SD



RS232

- Protocollo seriale a bassa velocità (asincrono)

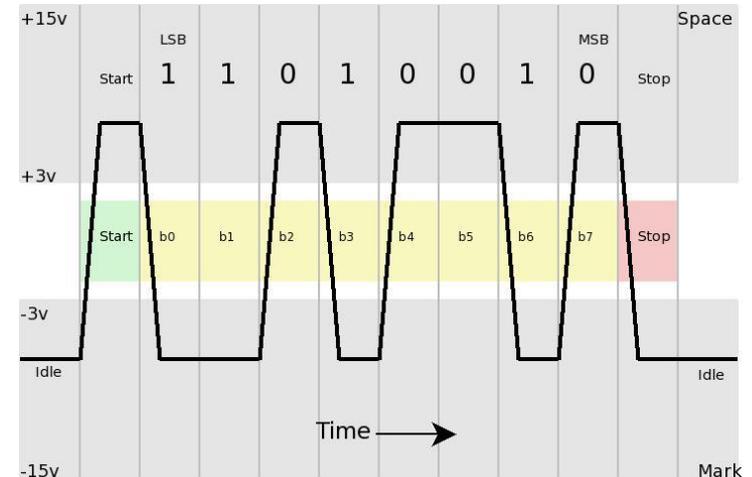
- Tensioni:

- Uno logico (tra -3V e -15V)
- Zero logico (tra 3V e 15V)

- Tempistiche precise

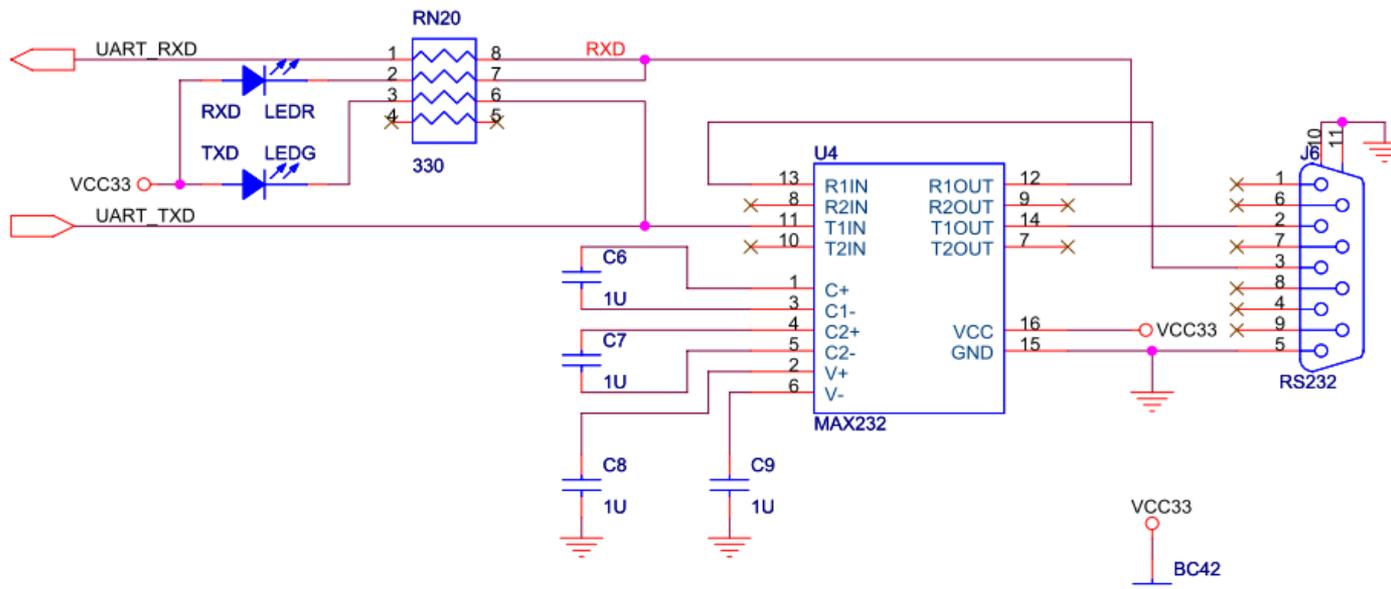
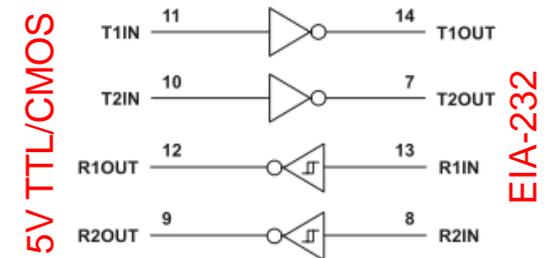
- Definite dal Baud rate

- Es: 104 usec (1/9600) per un Baud rate=9600
- Bit di Start
- Bit dal LSB al MSB
- Eventuale controllo di parità
- Almeno due bit di stop (208 usec)



RS232

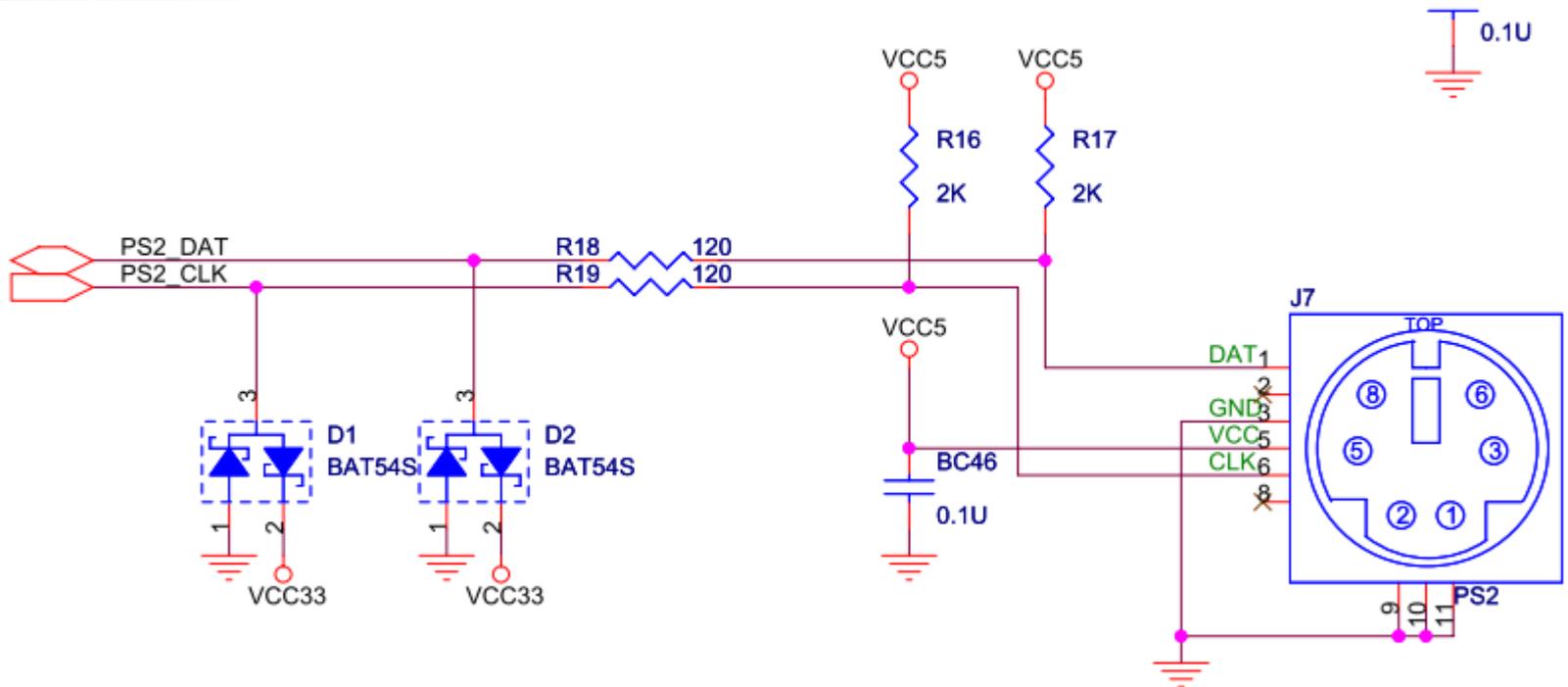
- Per interfacciarsi da e verso logica 5V CMOS/TTL c'è la necessità di introdurre opportuni circuiti (in genere invertenti)
- MAX232
 - Pompa di carica per poter funzionare con una sola alimentazione
 - 2 “drivers” da 5v TTL/CMOS a EIA-232
 - 2 “receivers” da EIA-232 a 5v TTL/CMOS



PS2

■ Protocollo Bidirezionale sincrono

- Due linee: Data e Clock
- Uso di Driver TriState + Pull-up resistor (stati : 0 e Z)
- Il Bus è libero quando entrambe le linee sono alte
- Livelli CMOS/TTL

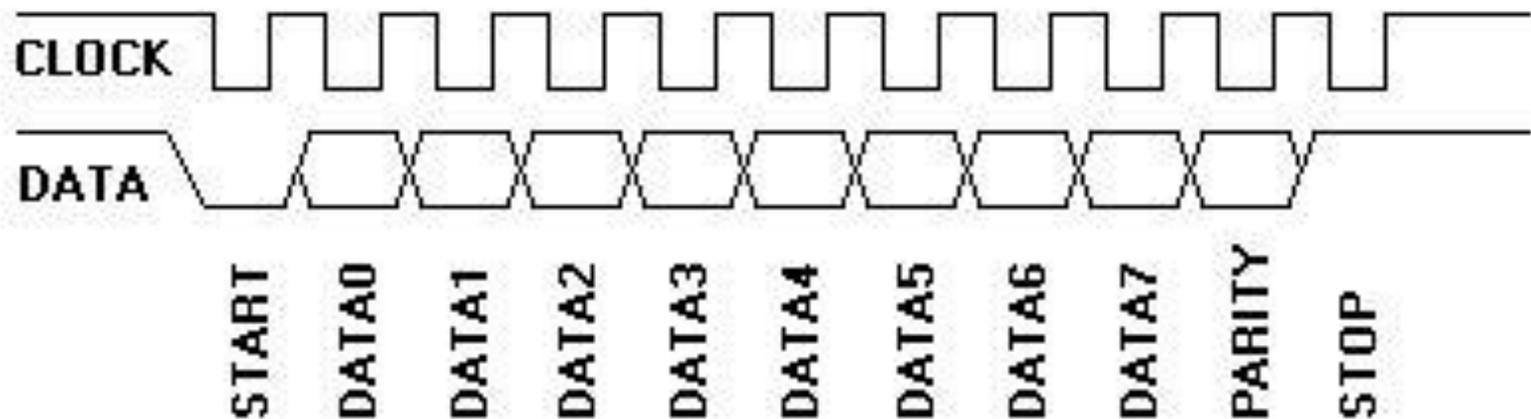


PS2 Generalità

- Host + device
 - il clock è generato SEMPRE dal device
 - L'host controlla la comunicazione
- Comunicazioni dall'Host
 - Data = H, Clock = H: *Idle state.*
 - Data = H, Clock = L: *Communication Inhibited.*
 - Data = L, Clock = H: *Host Request-to-Send*
- Clock freq: tra 10 kHz e 16,7 kHz
- Lettura dei dati
 - Dal device all'host: l'host legge sul fronte di discesa
 - Dall'host al device: il device legge sul fronte di salita
- Comunicazione
 - 1 start bit. Sempre 0.
 - 8 data bits, LSB first.
 - 1 bit di parità
 - 1 stop bit. Sempre 1.
 - 1 acknowledge bit (solo nella comunicazione host-to-device)

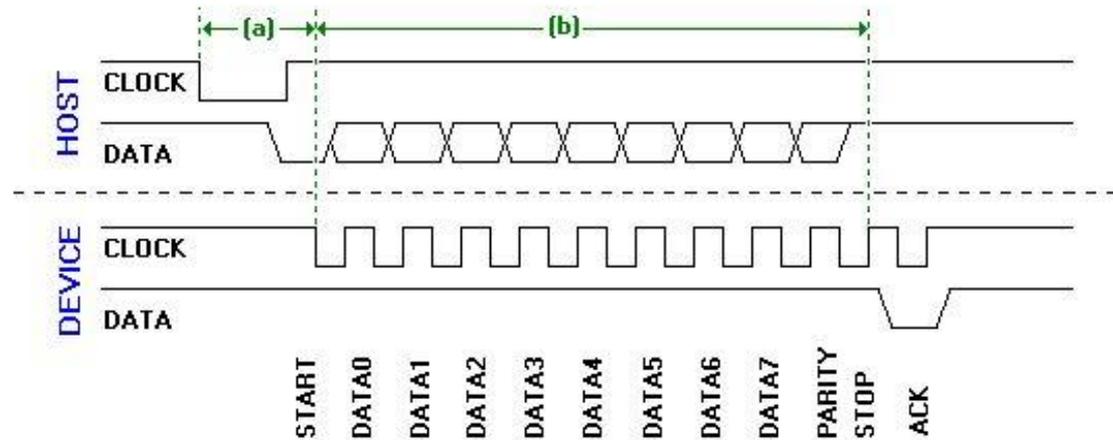
PS2 Device to Host Comm.

- D controlla che il bus sia libero da almeno 50us poi inizia la trasmissione di dato e clock
- Il dato viene scritto da D quando il clock è alto
- Il dato viene letto da H quando il clock è basso ovvero su fronte di discesa



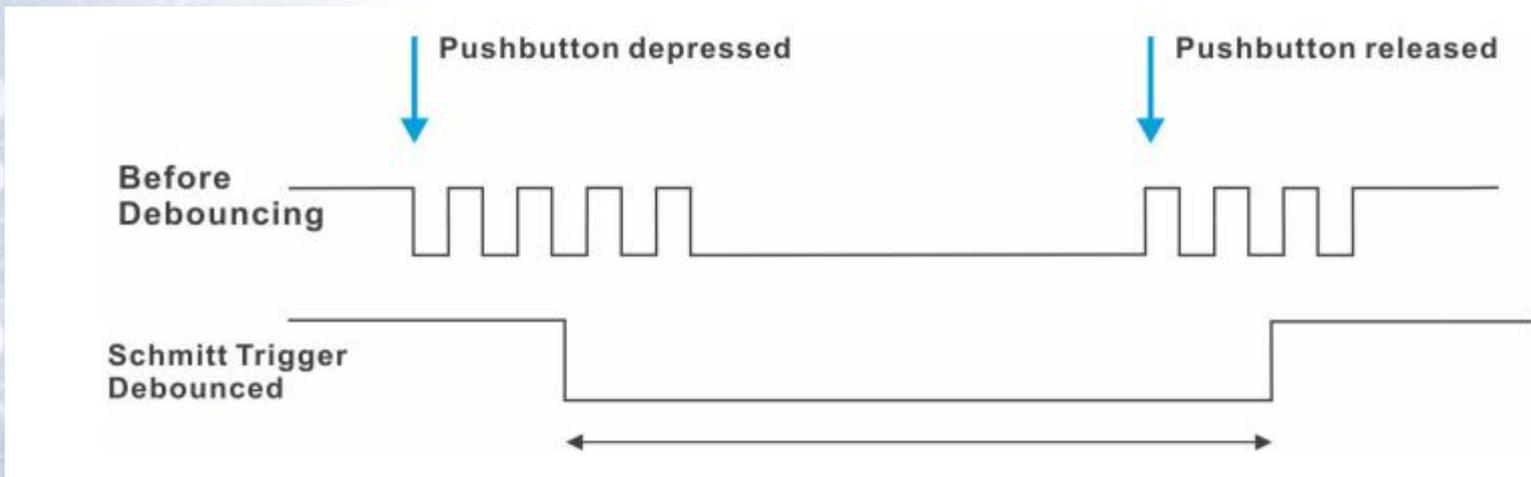
PS2 Host to Device Comm.

- H abbassa clk (inabilita la trasmissione) per almeno 100us
- H abbassa data e rilascia clk (richiesta di comunicazione + start bit)
- D (che controlla i segnali ogni 10us) genera il 8+1 clk
- H scrive i dati quando clk è basso e D li legge quando clk è alto (fronte di salita)
- D controlla la parità e genera un ed un'ulteriore clk + ack
- H legge ACK sul fronte di discesa
- D rilascia le linee
- Se la linea data rimane bassa (trattenuta da H) D genera un'altra sequenza di clk
- H può sempre abortire la comunicazione abbassando clk per almeno 100us

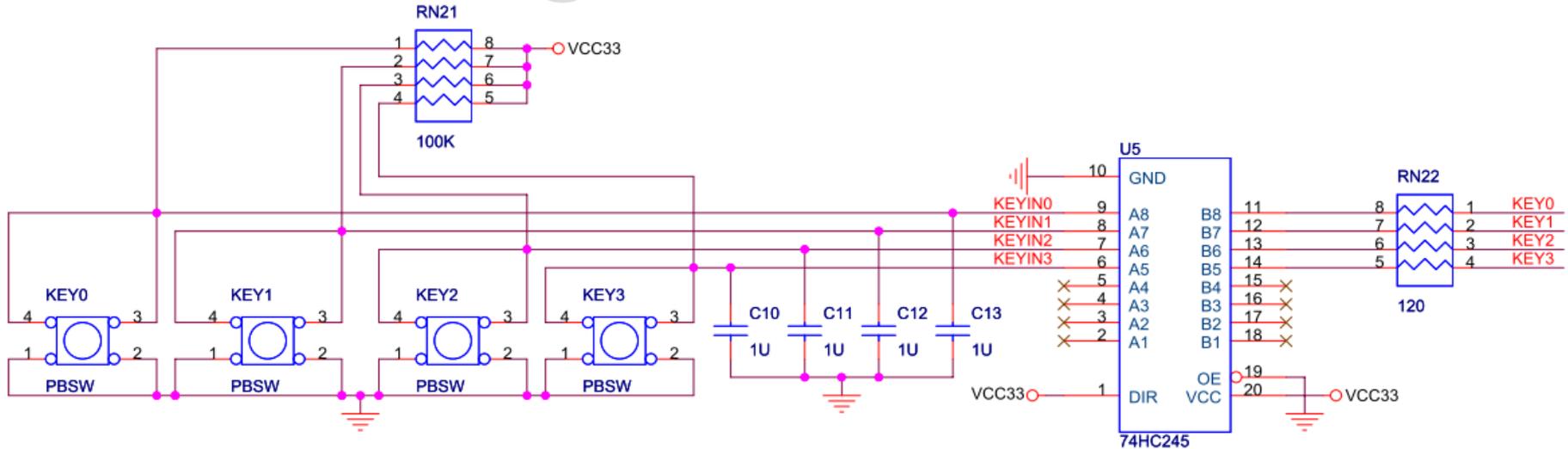


Accessori

- 3 oscillatori (clock gen) da 24, 27 e 50 Mhz + external clk
- 10 LED rossi + 8 LED rossi
- 4 Display a sette segmenti
- 10 interruttori
- 4 Pulsanti con de-bouncing
 - Premuto: 0 logico
 - Rilasciato: 1 Logico



Debouncing



■ Filtro passa basso

per eliminare i rimbalzi

– $R = 100K$

$\tau = 0,1 \text{ sec}$

– $C = 1 \text{ u}$

Tempo si salita 10-90% = 2.2τ

■ Trigger di Schmitt

per compensare, dato il basso slew-rate
il possibile rumore sovrapposto

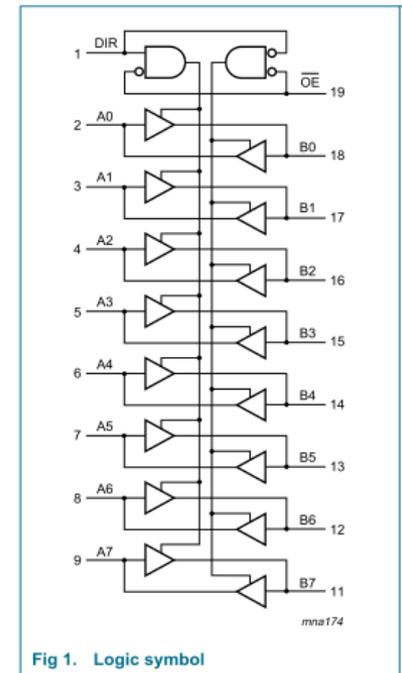
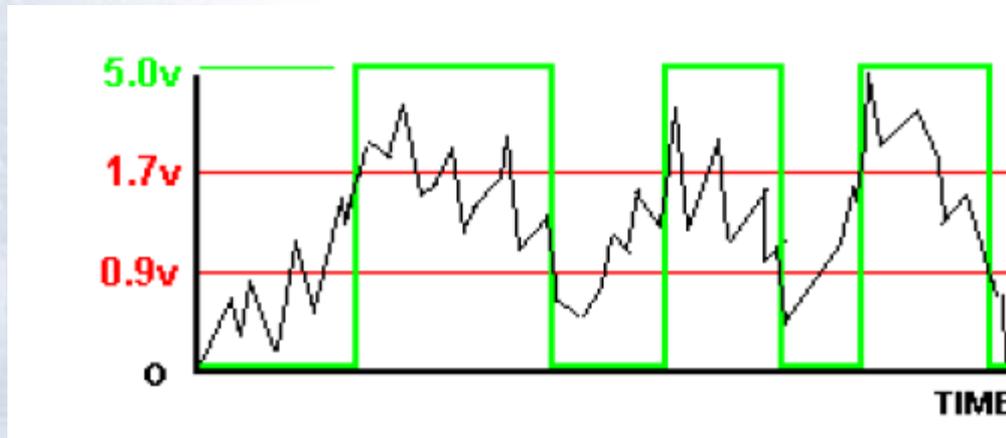
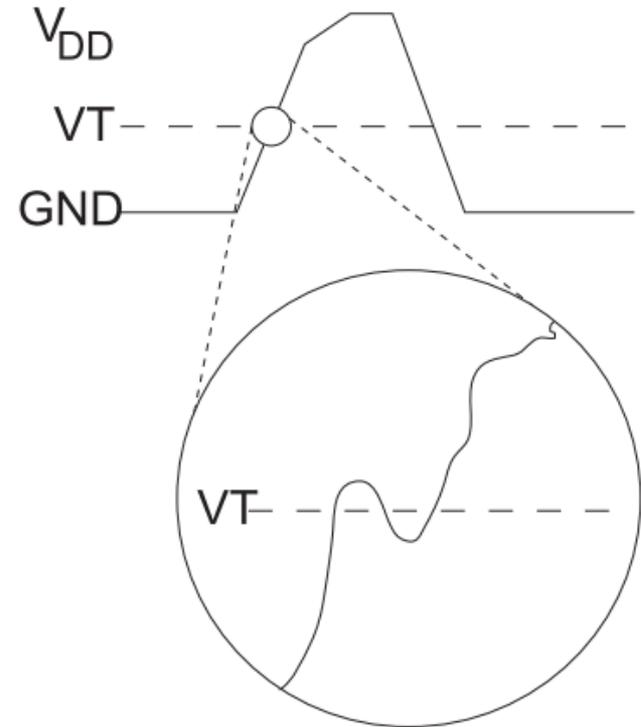
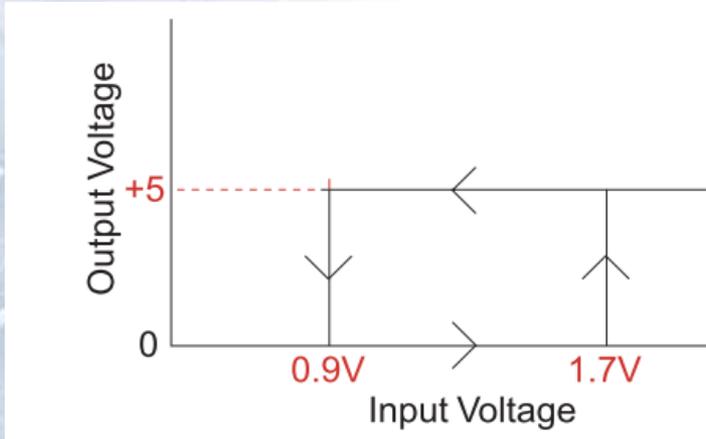


Fig 1. Logic symbol

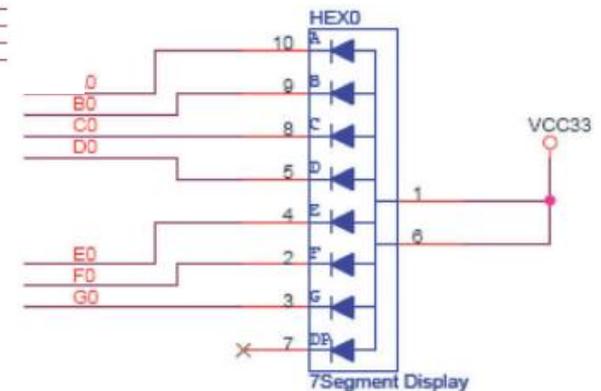
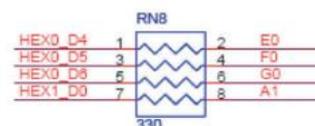
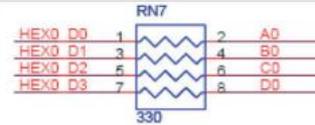
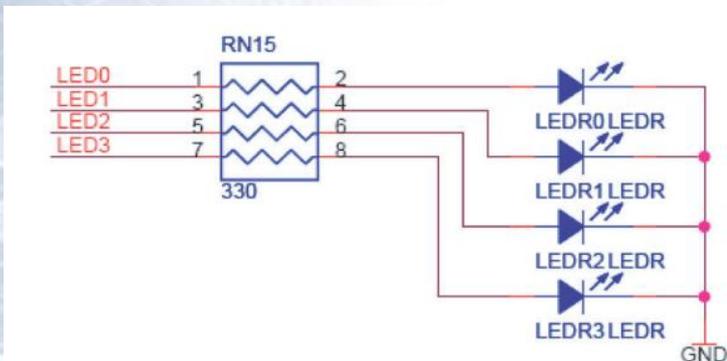
Trigger di Schmitt

■ Circuito con isteresi



LEDs

- LED singoli (rossi e verdi)
 - **Spenti** se la corrispondente uscita è bassa
- Display 7 seg.
 - **Accesi** se la corrispondente uscita è bassa



Pulsanti ed Interruttori

- Pulsanti ed interruttori sono utilizzabili solo come ingressi (ovvio)
 - Sebbene i pulsanti siano protetti da una resistenza in serie
 - Gli interruttori sono stati collegati con i piedini dedicati al clock dell'FPGA e pertanto NON è consentito nemmeno dal softwareconfigurarli come uscita