

Fabbricazione sensori e circuiti integrati

Fisica dei Dispositivi Elettronici

a.a. 2024/2025

Introduzione

- Il **silicio** è un elemento abbondante e si presenta naturalmente sotto forma di sabbia
 - Può essere raffinato utilizzando tecniche consolidate di purificazione e crescita dei cristalli
 - Presenta anche proprietà fisiche adatte alla fabbricazione di dispositivi attivi (transistors) con buone caratteristiche elettriche
- Inoltre, il silicio può essere facilmente ossidato per formare un ottimo isolante, **SiO₂**
 - Questo ossido nativo è utile per costruire condensatori e MOSFET
 - Serve anche come barriera per la diffusione di impurità indesiderate nel silicio ad elevata purezza
 - Questa proprietà consente di alterare le proprietà elettriche del silicio in aree predefinite
 - Pertanto, sullo stesso pezzo di silicio possono essere costruiti elementi attivi (transistors) e passivi (e.g. condensatori, resistenze)
- I componenti possono poi essere interconnessi utilizzando **strati metallici** per formare un sensore o circuito integrato

Fasi di fabbricazione

1. Wafers di silicio
2. Ossidazione
3. Fotolitografia
4. Drogaggio
5. Contatti metallici

Alcuni di questi passaggi possono essere effettuati più volte, in diverse combinazioni e/o condizioni di lavorazione durante un ciclo di fabbricazione completo

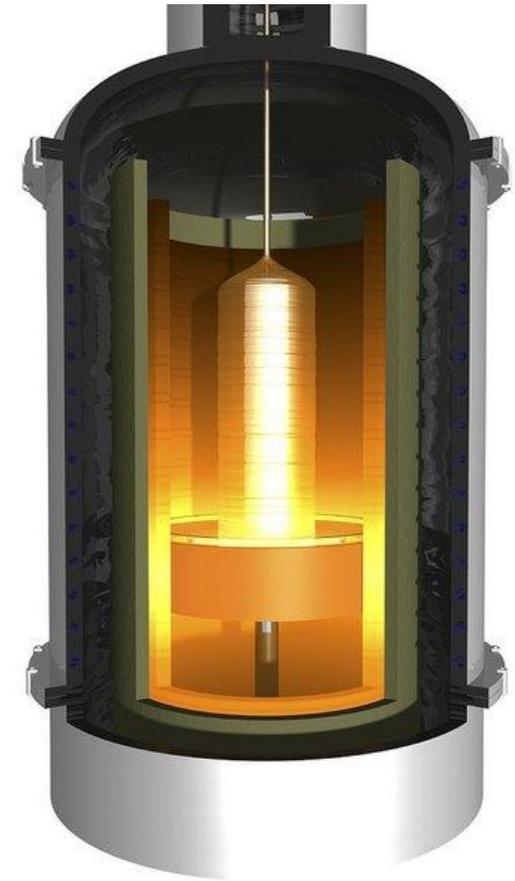
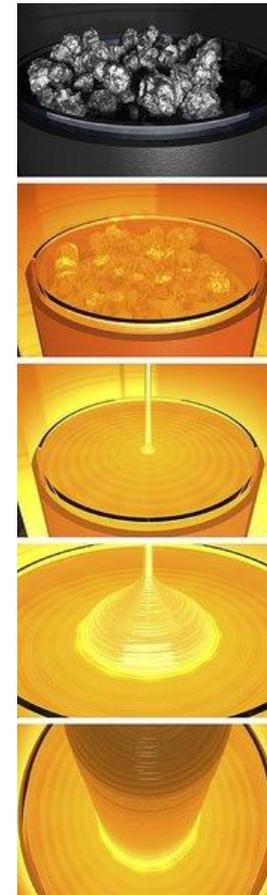
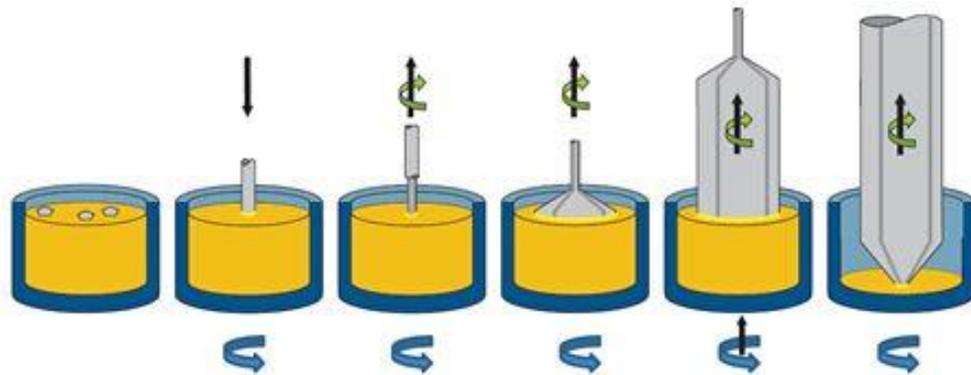
Materiale di partenza

- Il silicio viene isolato dalla quarzite, una forma abbastanza pura di sabbia, attraverso una riduzione col carbonio a $T > 1400\text{ C}$
- Il silicio solido così ottenuto (98% puro) è trattato per formare un composto del Cloro (SiHCl_3) che può essere distillato per rimuovere le impurità
- Il triclorosilano è poi trasformato tramite riduzione con idrogeno in silicio solido con una concentrazione di impurità $< 10^{-9}\text{ cm}^{-3}$
- Il silicio solido è policristallino, ovvero formato da piccoli cristalli micrometrici con orientazioni casuali: polisilicio
- Tale materiale serve poi da materiale di partenza per la crescita del cristallo di silicio per i sensori e l'elettronica

Fabbricazione dei monocristalli di silicio

Metodo **Czochralski**

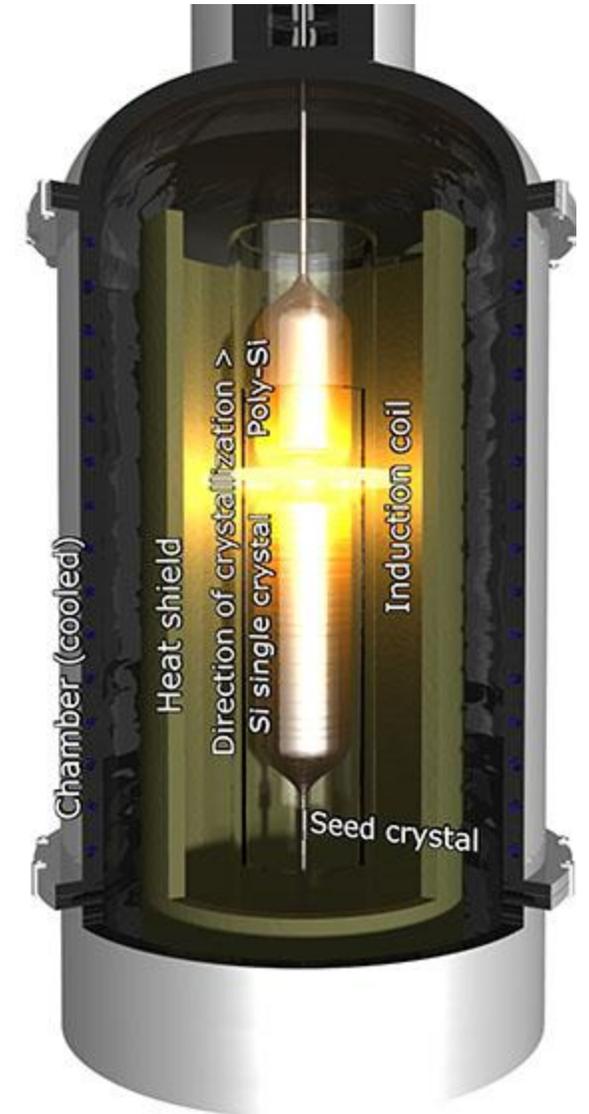
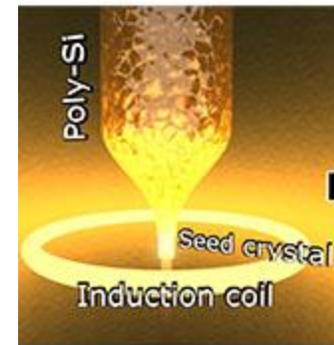
- Polisilicio fuso a 1420 C in crogiolo (fusione Si a 1412 C)
- Seme <111> purissimo immerso nel crogiolo
- Movimento di rotazione e estrazione ($\sim 10 \mu\text{m}/\text{sec}$)
- Interfaccia solido-liquido forma cristallo
- Purezza ok per CMOS, non per sensori (max $\rho = 10 \text{ Ohm cm}$)
- Ossigeno 10^{18} cm^{-3} presente nel contenitore irrobustisce il cristallo
- Centri di accumulazione (e se ben localizzati, di controllo) di atomi spuri
- Aggiunta Boro/Fosforo nel crogiolo per creare drogaggio p,n
- 10 - 45 cm wafer (diametro dipende da velocità di estrazione)



Fabbricazione dei monocristalli di silicio

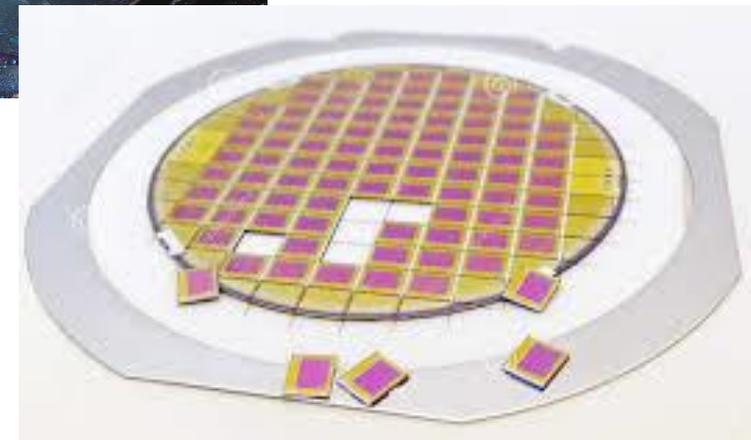
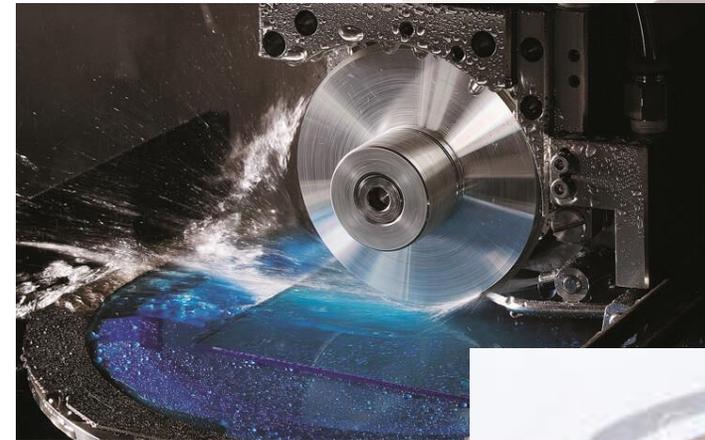
Metodo **Float-zone**

- Cilindro di Polisilicio attraverso bobina di riscaldamento
 - Strato sottile fuso per induzione RF
- La sezione fusa viene spostata verticalmente e si porta via le impurità (poco solubili nel silicio e che volatilizzano presto)
- Purezza molto alta, aggiunta di azoto per irrobustire meccanicamente, adatta a giunzioni pn classiche
- Dimensioni tipiche: 15 cm
- Aggiunta Boro/Fosforo per creare p,n in atmosfera
- Resistività 5 k Ω cm (fino a 10-50 k Ω cm) adatta per sensori



Taglio del wafer

- Cilindro lavorato al tornio per ottenere diametro voluto, e rettificato
- Segato in fette con utensili diamantati
- Tecniche di lucidatura chimica e meccanica (**Chemical Mechanical Polish, CMP**)
 - Rugosità ridotta (lapping) con paste abrasive
 - Si raggiunge uniformità di $2\ \mu\text{m}$ sulla superficie
 - Rimozione chimica di danni e lucidatura (rugosità di pochi passi atomici su piccola scala)
- Spessori 200-750 μm
- Diametro fino a 45 cm
- Assottigliamento del wafer e taglio dei singoli dispositivi



Proprietà dei wafers

- Le proprietà elettriche e meccaniche dei wafers dipendono dall'orientamento della struttura cristallina, dalle concentrazioni di impurità e dal tipo di impurità presenti
 - Queste variabili sono strettamente controllate durante la crescita dei cristalli
- Il drogaggio altera le proprietà del silicio, in particolare la resistività
 - Silicio fortemente drogato: concentrazione $> \sim 10^{18}$ atomi/cm³
 - Si indica con il segno "+"; n+, p+
 - Silicio debolmente drogato: concentrazione $> \sim 10^{16}$ atomi/cm³
 - Si indica con il segno "-"; n-, p-
- La capacità di controllare il tipo di impurità e la concentrazione di drogante nel silicio consente la formazione di diodi, transistor e resistori nei circuiti integrati

Ossidazione: SiO_2

- Il silicio è un ottimo materiale anche perché si può ossidare e il SiO_2 è un ottimo **isolante, protettore meccanico, schermo per fotolitografia**
- Il coefficiente di diffusione dei tipici elementi donori (fosforo, arsenico, antimonio) e del più comune elemento accettore (boro) è 2 - 3 ordini di grandezza inferiore nell'ossido rispetto al silicio
 - Consente di adoperare il biossido di silicio come "protezione" dall'introduzione di drogante in particolari zone della fetta di silicio, favorendo così il **drogaggio selettivo**.
- Per evitare l'introduzione anche di piccole quantità di contaminanti (che potrebbero alterare significativamente le proprietà elettriche del silicio), è necessario operare in una camera pulita



Ossidazione per accrescimento

- La fetta di silicio viene inserita all'interno di un forno (reattore di quarzo) a temperatura elevata (900 - 1200°C)
 - **Ossidazione secca (dry)**: in presenza di ossigeno (O_2) ad elevata purezza
 - **Ossidazione umida (wet o steam)**: in presenza di vapor d'acqua (H_2O)
 - In generale, l'ossidazione umida ha un tasso di crescita più rapido, ma l'ossidazione a secco conferisce migliori caratteristiche elettriche
- Il biossido viene **accresciuto** sulla fetta di silicio a spese del silicio della fetta stessa
 - Si "espande" non solo verso l'alto ma anche in profondità
 - Strato risultante di ossido di spessore pari a 0.1 - 1.0 μm con ottime caratteristiche dielettriche e tale che l'interfaccia Si / SiO_2 presenta bassa densità di difetti ed elevata mobilità superficiale dei portatori di carica

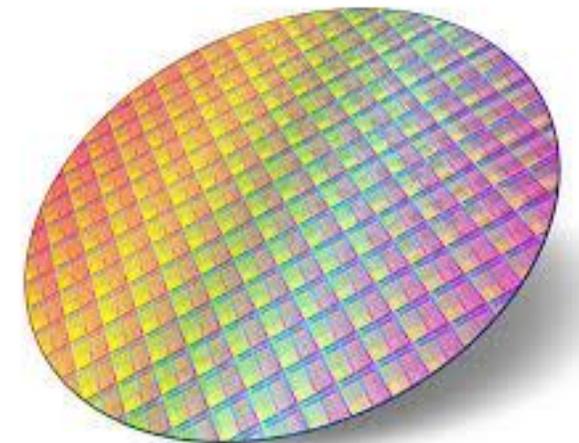
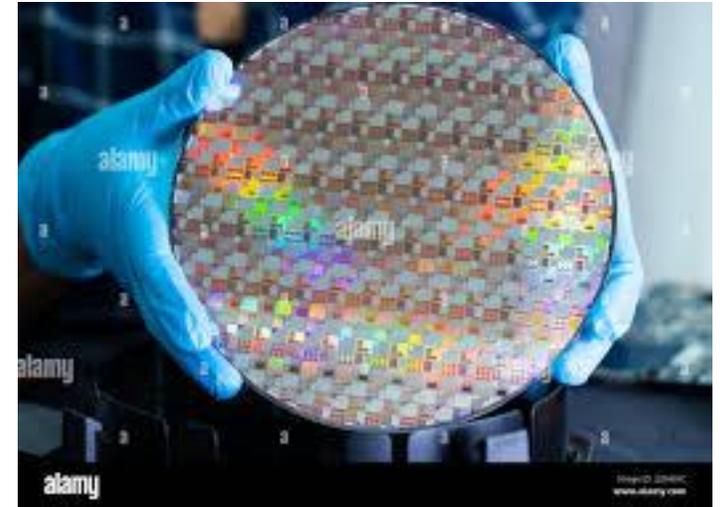


Ossidazione per deposizione chimica

- Altro metodo: **deposizione chimica** da fase vapore (o CVD = Chemical Vapor Deposition)
 - In questo caso anche il silicio necessario per la reazione che porta al SiO_2 viene fornito dall'esterno
 - La fetta di silicio viene posta all'interno di un reattore a bassa temperatura (500°C) dove vengono introdotti gas di ossigeno (O_2) e silano (SiH_4)
 - Il prodotto della reazione di questi gas è la deposizione di un film solido di biossido di silicio sul wafer

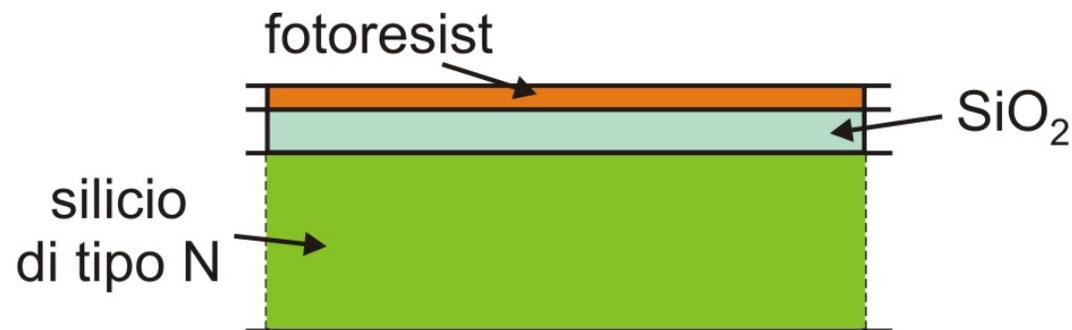
Ossido su silicio

- Il biossido di silicio è una **pellicola trasparente** e la superficie del silicio è altamente riflettente
- Se un wafer ossidato viene illuminato con luce bianca, l'interferenza costruttiva e distruttiva farà sì che determinati colori vengano riflessi
- Le lunghezze d'onda della luce riflessa dipendono dallo spessore dello strato di ossido
- **Dal colore della superficie del wafer, si può dedurre lo spessore dello strato di ossido**
- Su un wafer lavorato ci saranno regioni con diversi spessori di ossido
- I colori possono essere piuttosto vividi e sono immediatamente evidenti quando un wafer finito viene visto ad occhio nudo



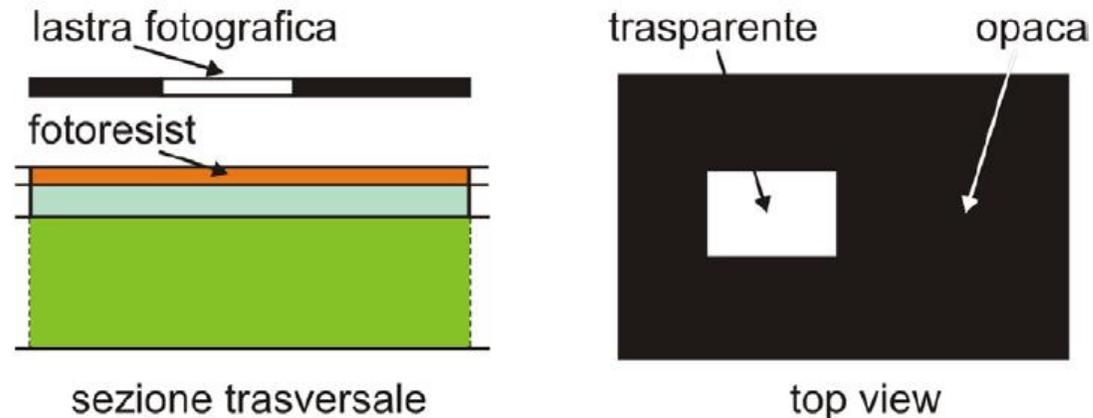
Fotolitografia: deposito del fotoresist

- Il processo di inserimento del drogante all'interno della fetta di silicio, la deposizione selettiva di strati di ossido e di metallo, avviene attraverso la *tecnica fotolitografica*
- Sullo strato accresciuto di SiO_2 viene deposta una pellicola (resina) che prende il nome di *resist* o *fotoresist*. Tale pellicola è sensibile alle radiazioni ultraviolette ($\lambda = 400 \text{ nm}$), nel senso che le sue proprietà chimiche e fisiche vengono alterate laddove essa viene investita da tali radiazioni
- Il fotoresist viene deposto in forma liquida sulla fetta di silicio e distribuito attraverso una rotazione ad elevata velocità. All'uopo vengono adottate speciali centrifughe, dette *spinner*, capaci di raggiungere 5000 - 10000 giri al minuto. La rotazione serve per assicurare una copertura uniforme della superficie del wafer
- Per la solidificazione viene eseguita una "cottura" a 100°C . Lo spessore finale della emulsione deposta è tipicamente dell'ordine di $0.5 - 1.0 \mu\text{m}$



Fotolitografia: Esposizione a radiazione

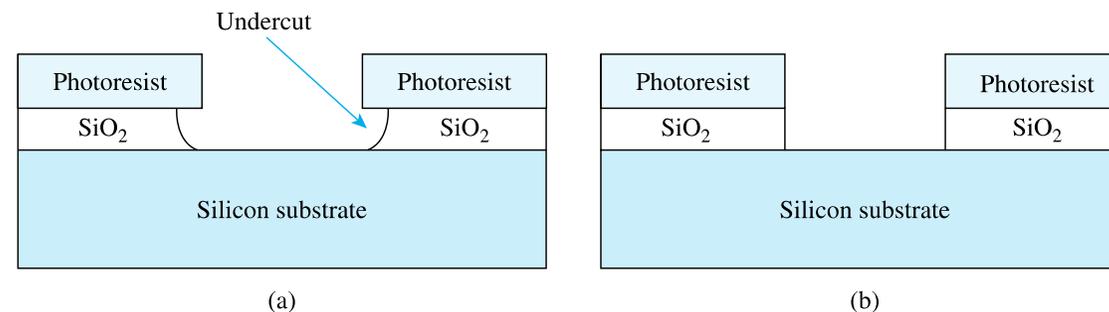
- Con **fotoresist positivo**, bisogna illuminare con radiazione UV solo la zona da eliminare.
 - All'uopo si ricopre la pellicola fotosensibile con una maschera (essenzialmente una lastra fotografica) trasparente nella zona che si vuole rimuovere ed opaca altrove
- Con **fotoresist negativo**, il processo è invertito, la maschera deve essere trasparente sulla zona dove si vuole che rimanga il fotoresist



- La maschera può essere in contatto (più preciso ma invasivo) o in prossimità (meno preciso ma la maschera può essere riutilizzata molte volte) del wafer

Sviluppo e *etching*

- Le aree esposte del fotoresist si ammorbidiranno/induriranno (fotoresist positivo/negativo). Lo strato esposto/non esposto può quindi essere rimosso utilizzando uno sviluppatore chimico, così da duplicare sul wafer la geometria della maschera
- I materiali inorganici (SiO_2) vengono rimossi con un *etching* (scavo, attacco) acido della superficie superiore, lasciando intatti i materiali organici come il fotoresist
 - *Wet etching* (umido): la fetta di silicio è immersa in soluzione con agente chimico – acido fluoridrico – che non attacca né silicio né fotoresist, agisce velocemente, tuttavia intacca anche lateralmente sotto il fotoresist
 - *Dry o plasma etching* (a secco): il wafer viene posto all'interno di un reattore ed esposto alla presenza di un plasma contenente ioni fluoro ed elettroni eccitati in un campo elettrico a radiofrequenza. Agisce in verticale (direzionale, rapporto verticale/laterale = 100/1)
- Dopo il processo di etching, il fotoresist viene rimosso, lasciando una copia permanente della maschera sulla superficie del wafer



Processo fotolitografico

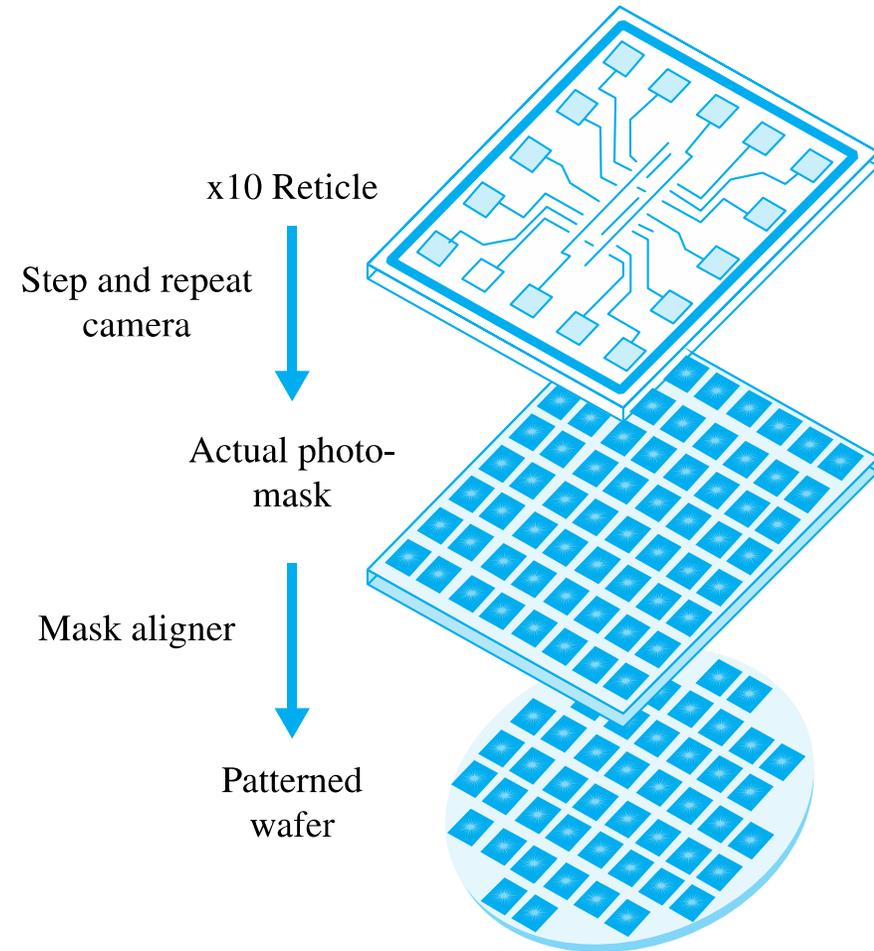
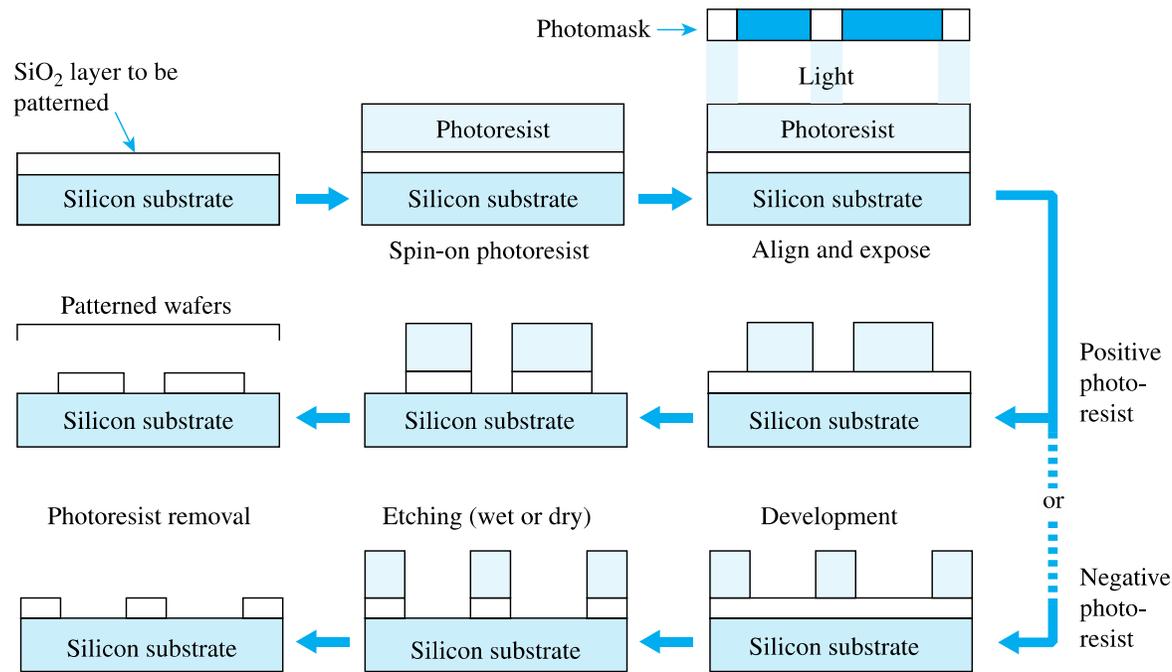


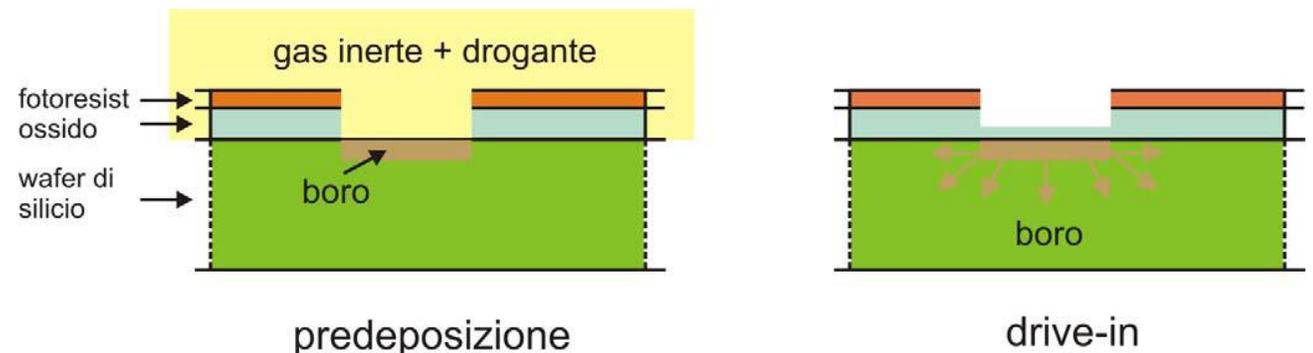
Figure A.1 Photolithography using positive or negative photoresist.

Processo fotolitografico

- Il processo fotolitografico prevede l'esposizione del substrato di silicio a un **numero elevato di maschere** (più di 20 nei processi avanzati di fabbricazione VLSI)
- Ogni maschera deve essere allineata esattamente sopra gli strati precedenti
 - Questo deve essere fatto con una precisione ancora più fine della dimensione minima dei pattern sulla maschera
- Questo requisito impone notevoli vincoli meccanici e ottici sull'attrezzatura fotolitografica

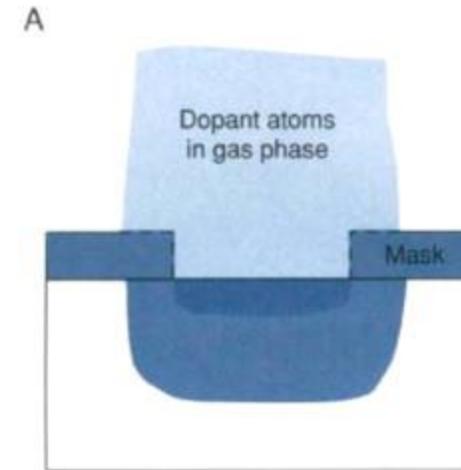
Metodi di drogaggio: diffusione

- Impianto di Boro/Fosforo or Arsenio per drogare p/n
- Wafer esposto ad atmosfera di gas inerte con il drogante a **temperature ~1000 C** per un certo tempo; tali gas sono infiammabili e tossici
- Uno strato di ossido copre le zone da non drogare (il fotoresist non può essere riscaldato così tanto)
- **Il gradiente di concentrazione porta il drogante a diffondere nel silicio**, con una concentrazione massima in superficie e una profondità che dipende dal tempo di esposizione, dalla temperatura e dalla concentrazione in superficie (massimo alcuni μm), ed è regolato tramite cicli termici
 - I cicli termici vengono compiuti in assenza di drogante (la concentrazione totale è fissata) ma in ambiente ossidante per crescere uno strato contenitivo
- Gradiente risultate è molto dolce
- Diffusione laterale $\sim 0.8 \times$ profondità

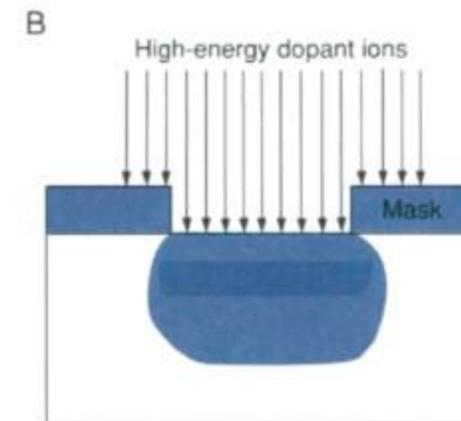
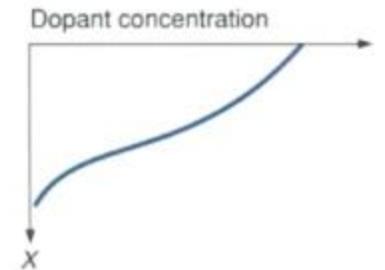


Metodi di drogaggio: impianto ionico

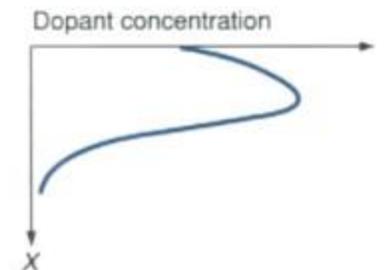
- Bombardamento dei wafer con ioni droganti agli acceleratori (keV-MeV) a **temperatura ambiente**, con fasci piccoli per scan di precisione, molto uniformi
- L'uso di fotoresist è premesso, e il suo spessore determina la profondità di penetrazione degli ioni
 - Si possono usare anche strati di ossido o di poliresistori per auto-allineare strutture sottostanti
- Ioni inizialmente inattivi in posizione interstiziale (casuale) e cristallo danneggiato dall'impianto
- **Annealing termico** per muovere gli atomi in posizione legata nel cristallo (1000 C per 30 minuti)



diffusione

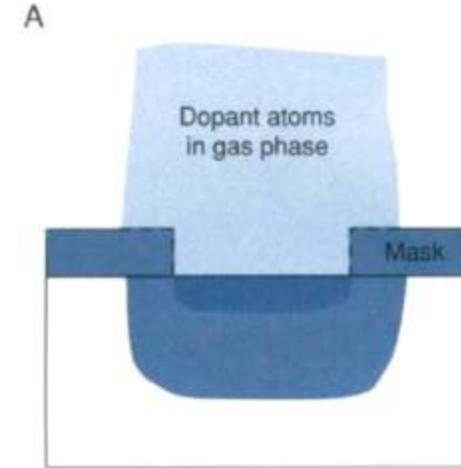


impianto ionico

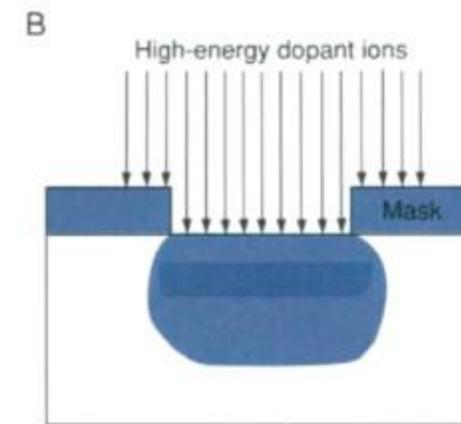
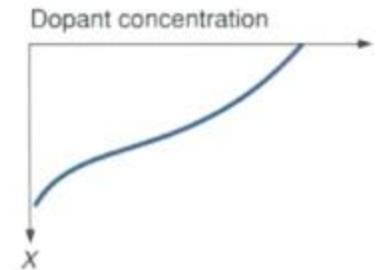


Metodi di drogaggio: impianto ionico

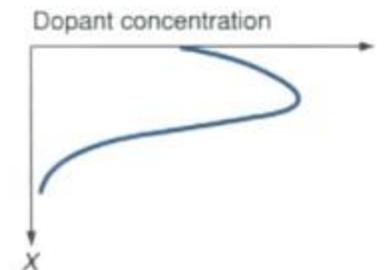
- La **profondità** di penetrazione è correlata **all'energia del fascio ionico**, che può essere controllato dalla tensione del campo di accelerazione
- La **quantità di ioni impiantati** può essere controllata variando la **corrente del fascio** (flusso di ioni)
- Poiché sia la tensione che la corrente possono essere precisamente misurate e controllate, l'impianto ionico si traduce in **profili di impurità molto più accurati e riproducibili di quelli ottenibili mediante diffusione**
- L'impianto ionico viene normalmente utilizzato quando un controllo accurato del profilo di drogaggio è essenziale per il funzionamento del dispositivo



diffusione

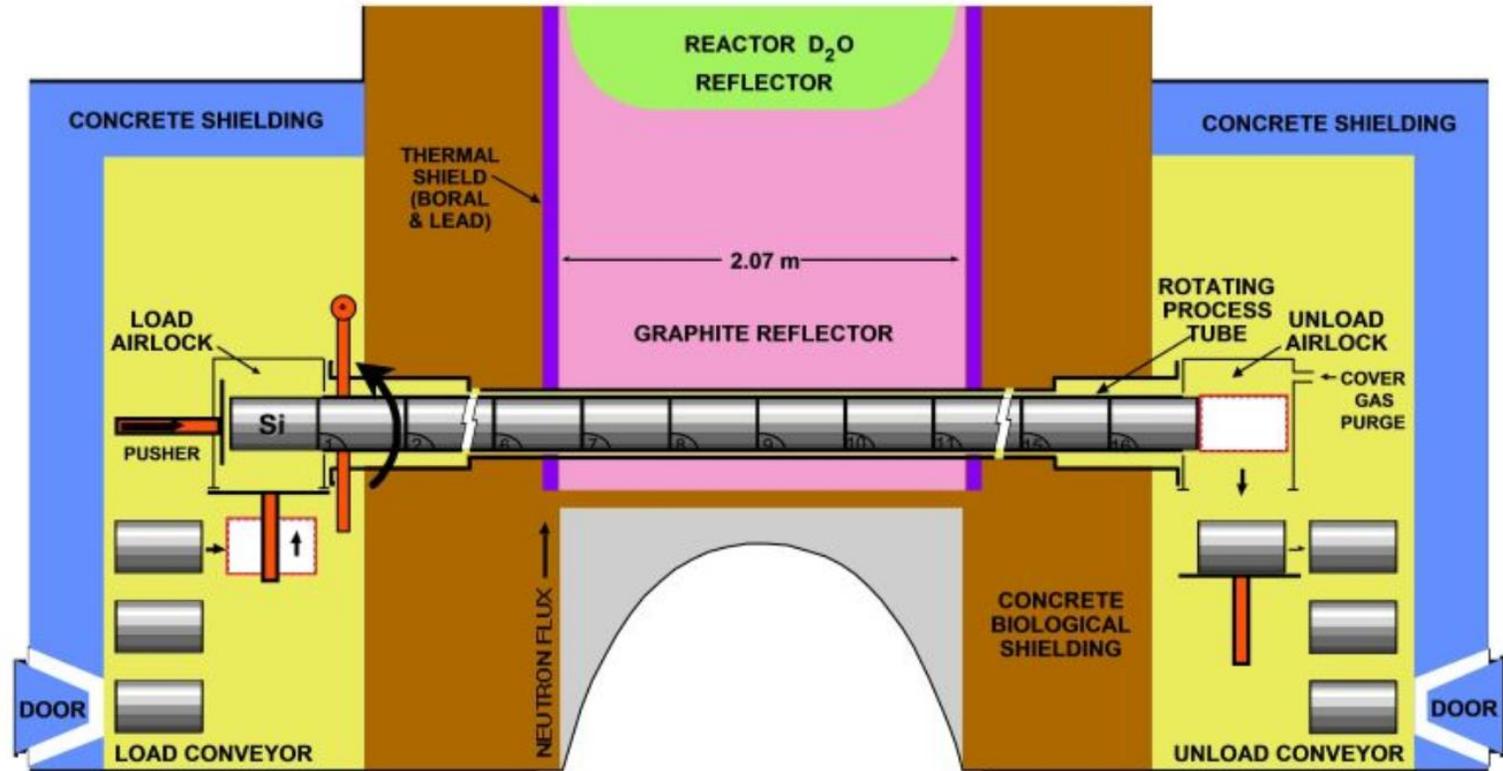


impianto ionico



Drogaggio a Trasmutazione Neutronica (NTD)

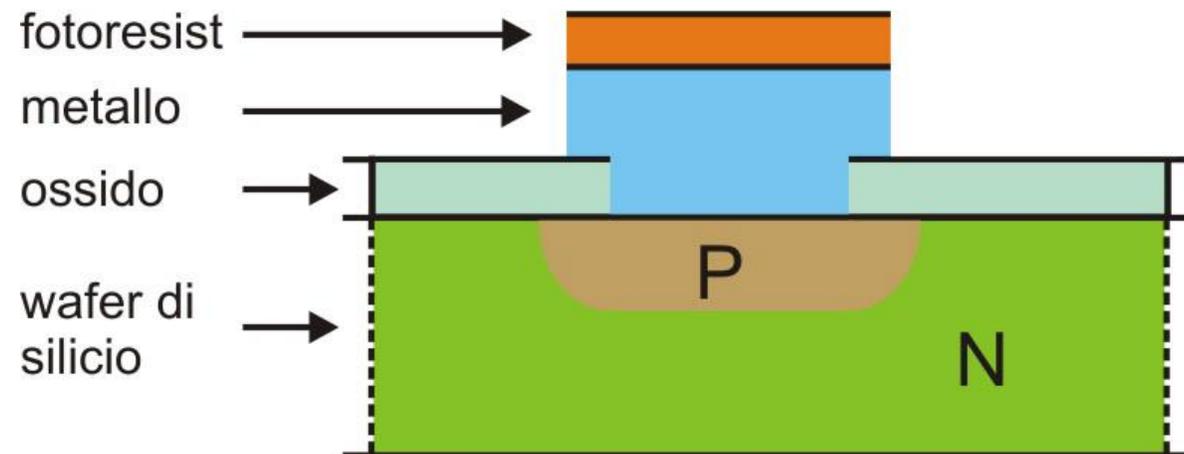
- Irraggiamento di silicio purissimo con flusso di neutroni termici
- Il neutrone termico viene catturato dal ^{30}Si , che ha abbondanza 3% nel Silicio puro
- Grazie all'alto rapporto neutroni/protoni nel ^{31}Si , rilascia un beta convertendo un neutrone in protone
- Il ^{31}Si si converte il ^{31}P , fosforo, drogando il Silicio



- Risultato: bassa resistività con grande omogeneità

Applicazione e fotolitografia contatti metallici

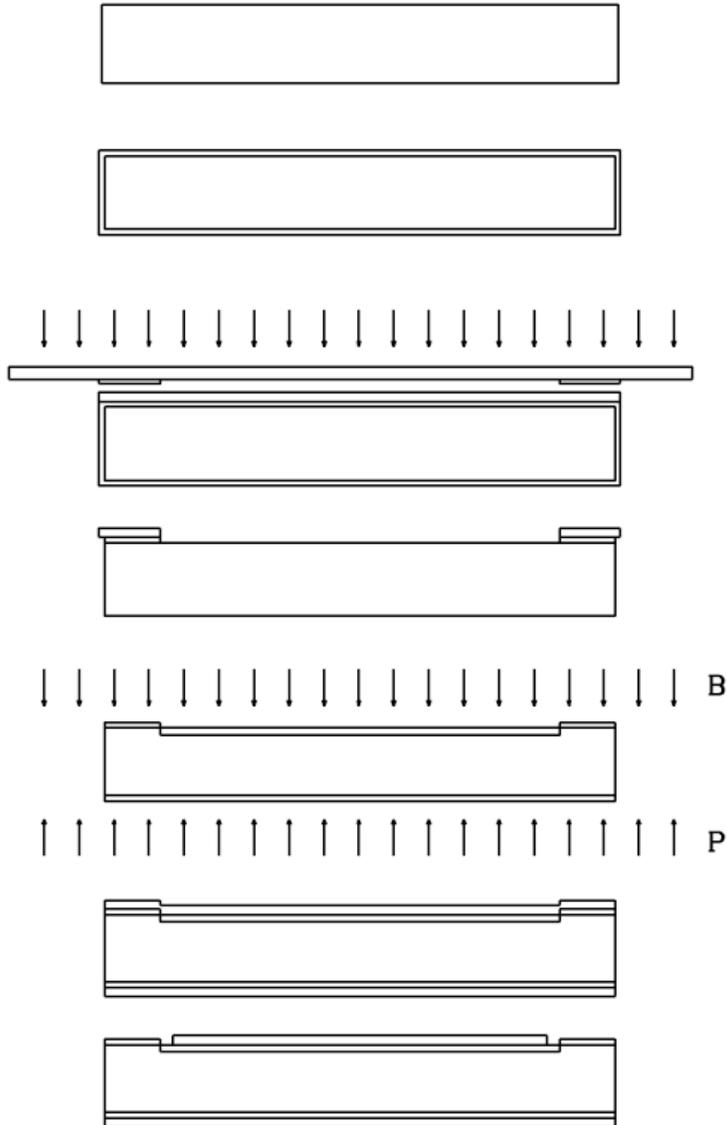
- Si ripete la deposizione, la litografia e l'etching per lo strato metallico di contatto
- La deposizione avviene normalmente per evaporazione di alluminio in pompa a vuoto
 - Altre tecniche di post produzione possono essere usate, anche con metodi additivi 3D



Contatti metallici

- Lo scopo della metallizzazione è quello di **interconnettere i vari componenti (transistor, condensatori, ecc.) per formare il circuito integrato desiderato**
- La metallizzazione comporta la deposizione di un metallo su tutta la superficie del silicio
- Le interconnessioni metalliche sono definite utilizzando la fotolitografia e etching
- Lo strato metallico viene normalmente depositato tramite un processo di **sputtering**
 - Un disco di metallo puro, tipicamente alluminio al 99,99% viene posizionato sotto una pistola ionica Ar (argon) all'interno di una camera a vuoto
 - I wafer vengono montati all'interno della camera
 - Gli ioni Ar non reagiscono con il metallo, poiché l'argon è un gas nobile. Tuttavia, gli ioni bombardano fisicamente il bersaglio e rimuovono gli atomi di metallo dal bersaglio
 - Questi atomi di metallo rivestiranno tutta la superficie all'interno della camera, compresi i wafer
- Lo spessore del metallo può essere controllato dalla durata del tempo di sputtering, che normalmente rientra nell'intervallo di 1 o 2 minuti

Processo litografico planare



- Wafer lucidato (Si, Ge, GaAs)
- Ossidazione: deposito di vapore o crescita termica di SiO_2
- Fotolitografia:
 - Illuminazione attraverso maschera (positiva o negativa)
 - Su wafer rivestito con Fotoresist (centrifuga per controllo spessore)
- Sviluppo e rimozione chimica della parte (non) illuminata
 - Plasma etching (reagenti gassosi rimossi con frequenze) o wet etching
 - La parte non polimerizzata si dissolve
- Impianto di Boro/Fosforo per drogare p/n
- Deposito di alluminio
 - Per evaporazione o “spruzzamento” (sputtering)
- Rimozione alluminio dove non serve

Processo planare fabbricazione rivelatore

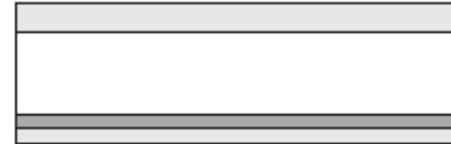
a) DEPOSIT P-DOPED POLY-Si
BACKSIDE CONTACT



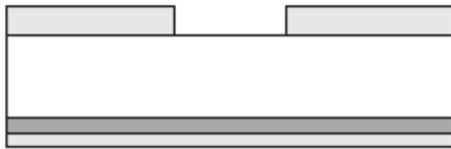
b) BACK CONTACT PROTECTED
BY SI-NITRIDE CAPPING LAYER



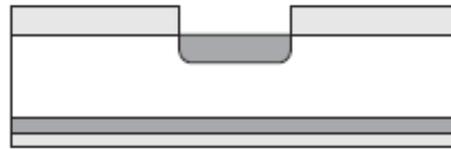
c) THERMAL OXIDATION OF
TOP SURFACE



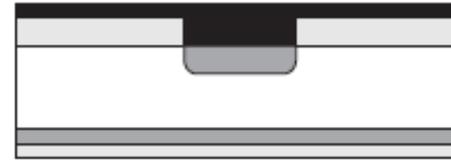
d) OPEN WINDOW FOR p+
ELECTRODE



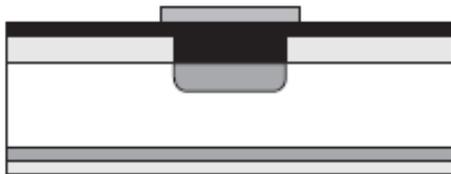
e) B-DOPING TO FORM p+
ELECTRODE



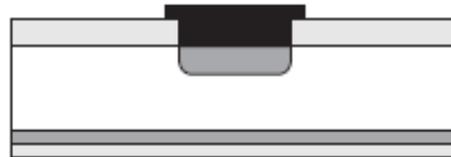
f) ALUMINUM METALLIZATION
FOR FRONT CONTACT



g) PHOTORESIST MASK
FOR FRONT CONTACT



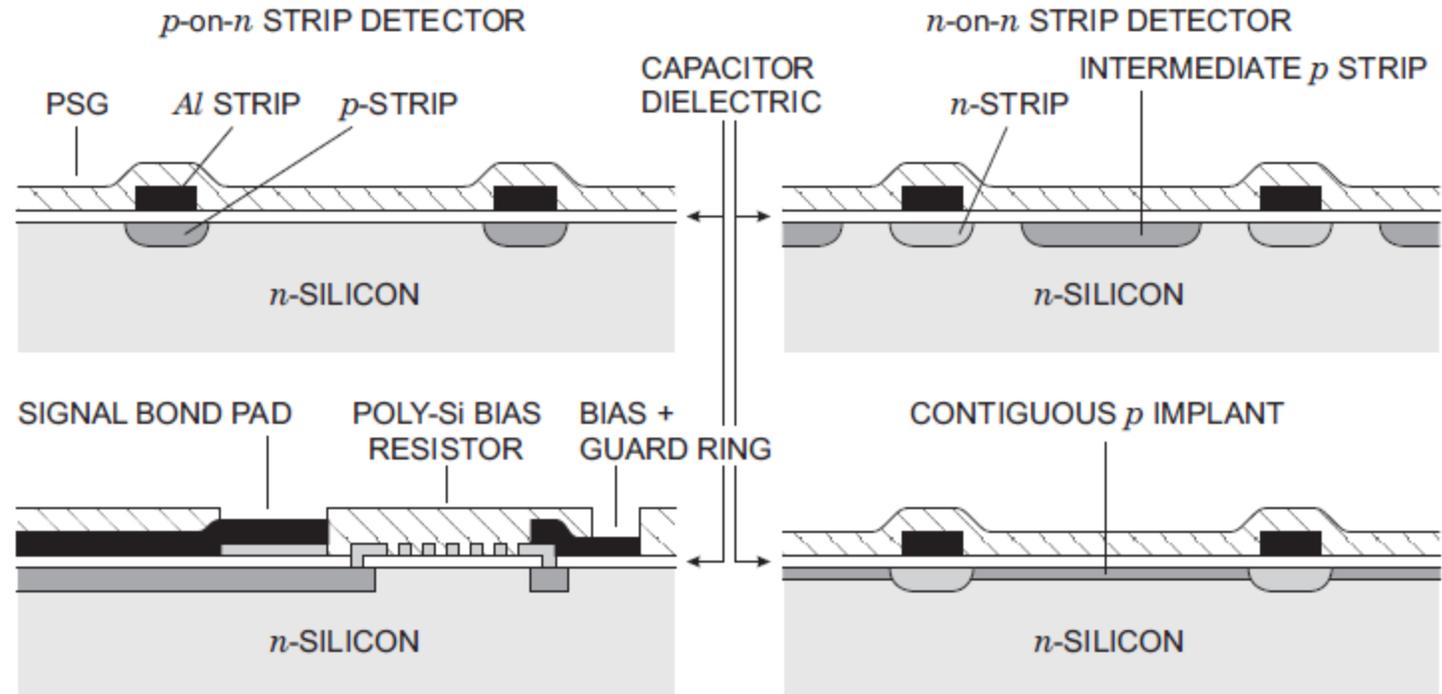
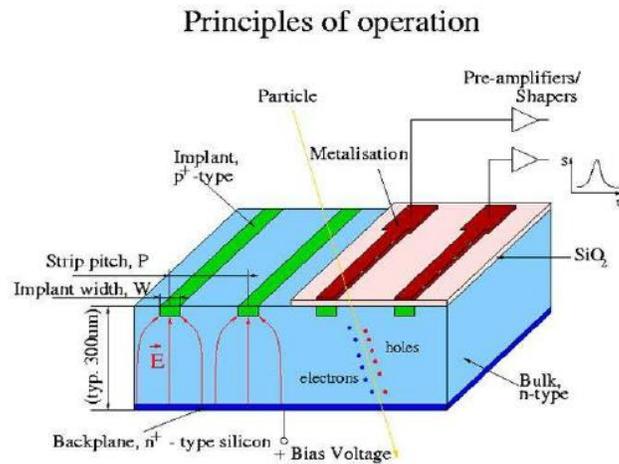
h) ETCH FRONT CONTACT



i) ALUMINUM METALLIZATION
FOR BACK CONTACT

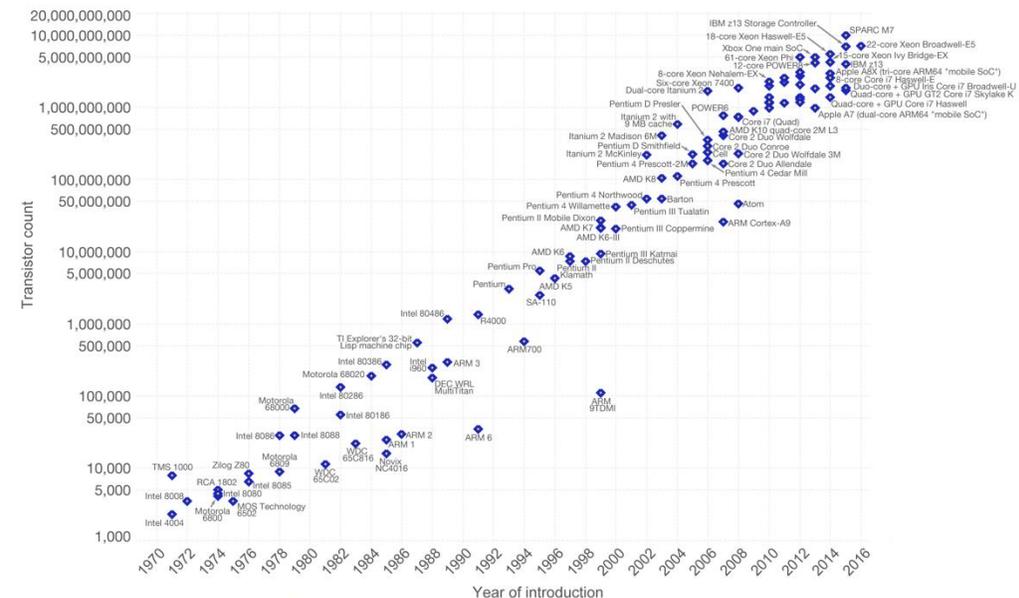


Sezione trasversale strip detector



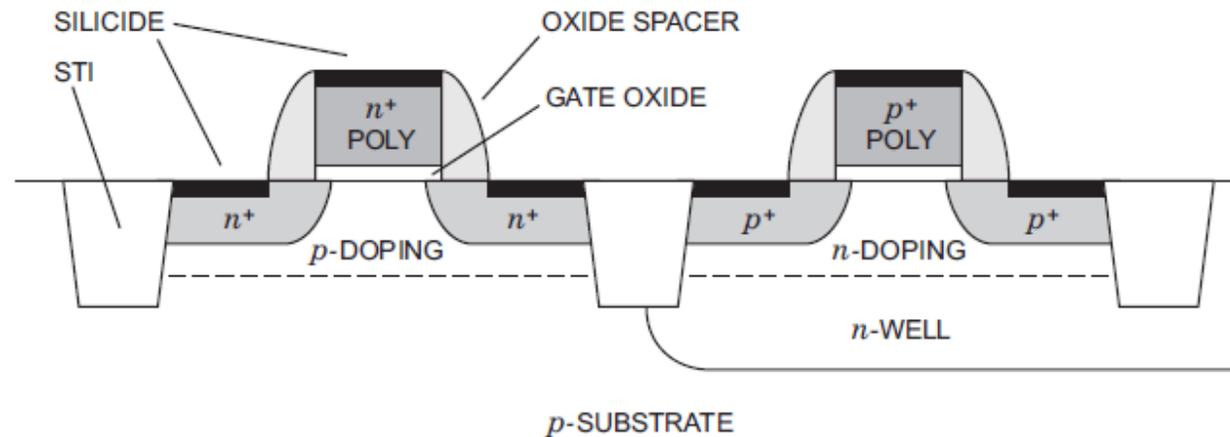
Microelettronica

- L'elettronica moderna è conosciuta come **microelettronica**
- La **tecnologia dei circuiti integrati (IC)** produce circuiti che contengono miliardi di componenti in un piccolo chip di silicio (area ~ pochi mm²) e possono eseguire un gran numero di funzioni
- La **legge di Moore** prevede che il numero di transistor nei circuiti integrati densi raddoppi circa ogni due anni → Very large scale integration (VLSI)
- La **tecnologia CMOS** è la tecnologia IC più utilizzata per circuiti analogici, digitali e mixed-mode
 - Complementary MOS = transistor NMOS e PMOS nello stesso substrato

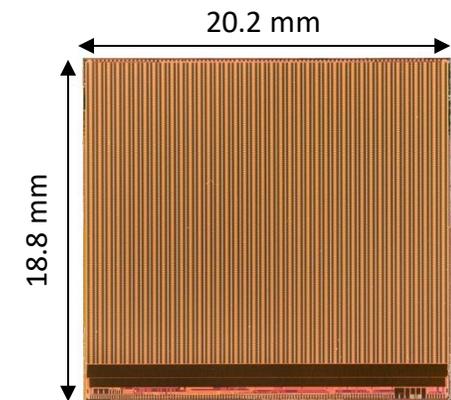


Data source: Wikipedia (https://en.wikipedia.org/wiki/Transistor_count)
The data visualization is available at OurWorldinData.org. There you find more visualizations and research on this topic. Licensed under CC-BY-SA by the author Max Roser.

Sezione trasversale struttura circuiti integrati (IC) CMOS

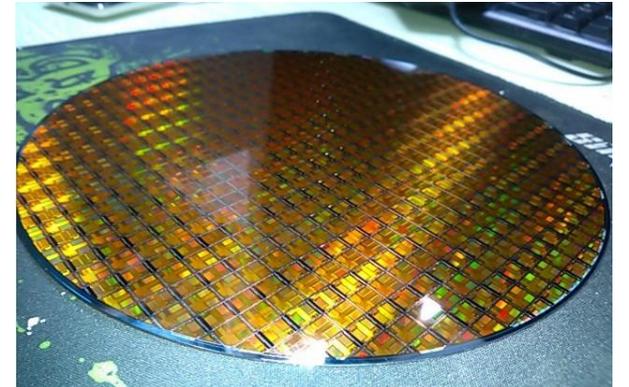


Chip di lettura dei sensori a pixel dell'esperimento ATLAS – FEI4

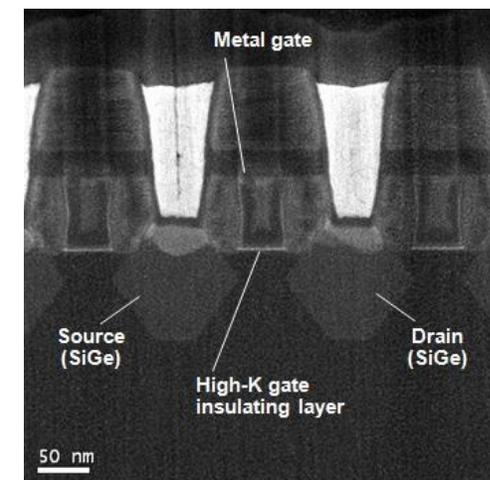
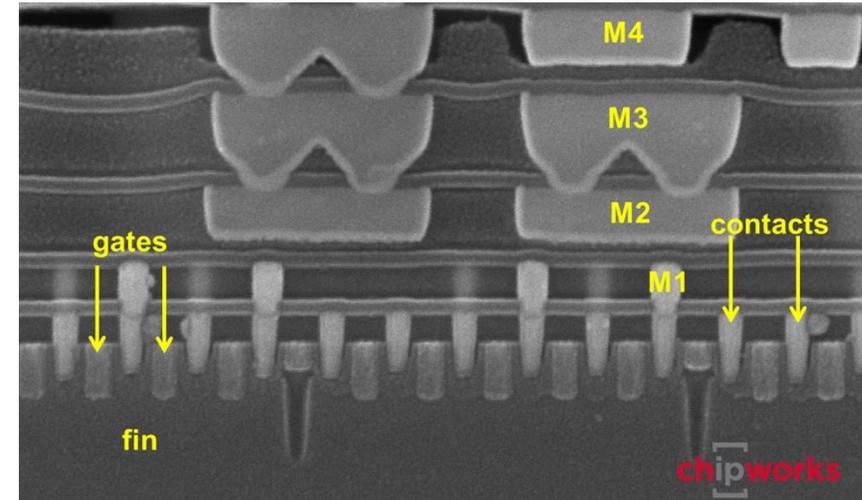
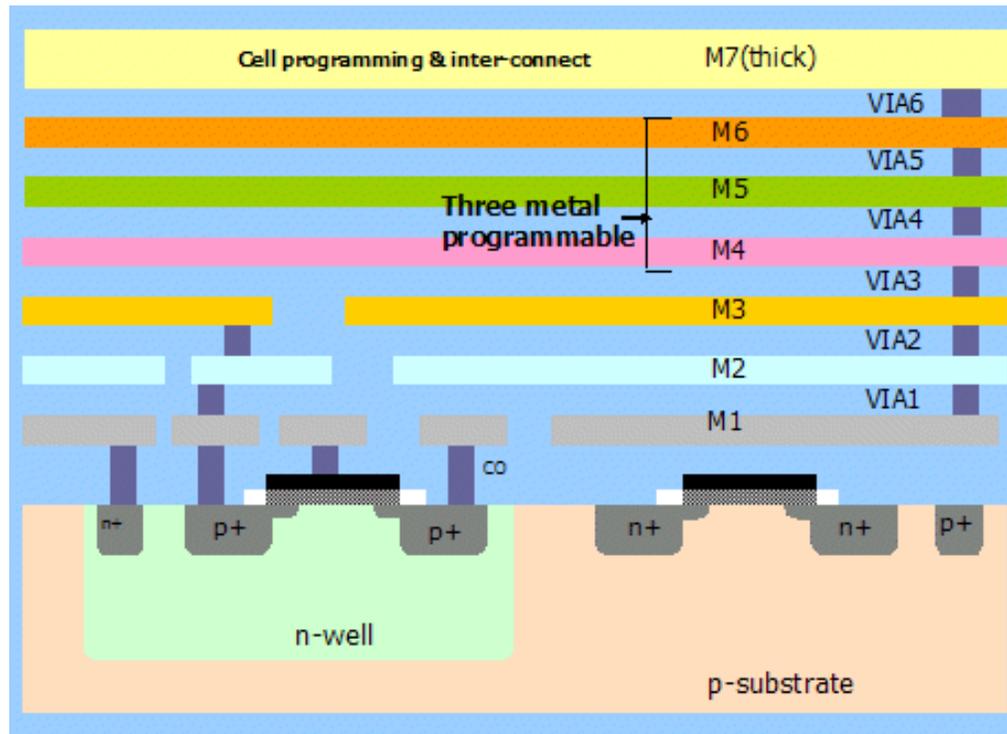


Fabbricazione di circuiti integrati

- Prima parte del processo: Front-end-Of-Line (FEOL)
 - I singoli transistor sono fabbricati sul wafer di silicio (impianti di tipo p/n)
- Seconda parte del processo: Back-End-Of-Line (BEOL)
 - I singoli transistor vengono interconnessi tramite il "cablaggio" sul wafer, ovvero gli strati di metallizzazione
 - BEOL comprende anche contatti, strati isolanti e siti per le connessioni del chip con il package



Sezione trasversale di CMOS IC con strati di metallizzazione



Componenti attivi e passivi integrati

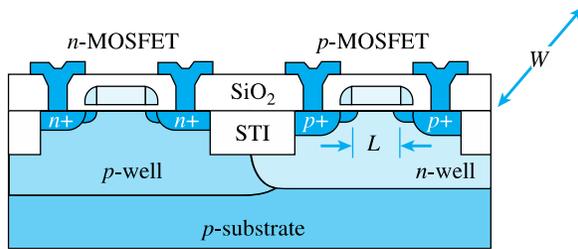


Figure A.6 Cross-sectional diagram of *n*- and *p*-MOSFETs.

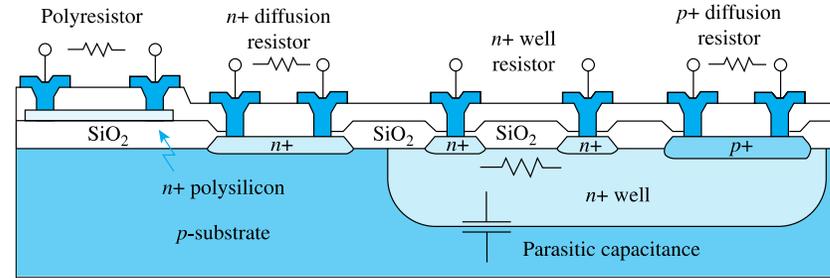


Figure A.7 Cross sections of various resistor types available from a typical *n*-well CMOS process.

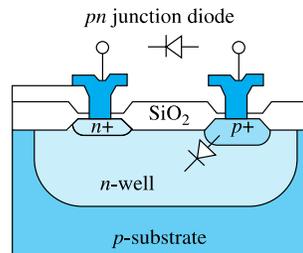


Figure A.9 A *pn* junction diode in an *n*-well CMOS process.

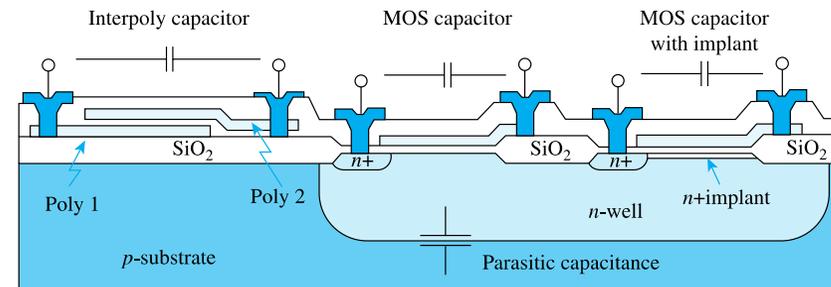


Figure A.8 Interpoly and MOS capacitors in an *n*-well CMOS process.

CMOS inverter

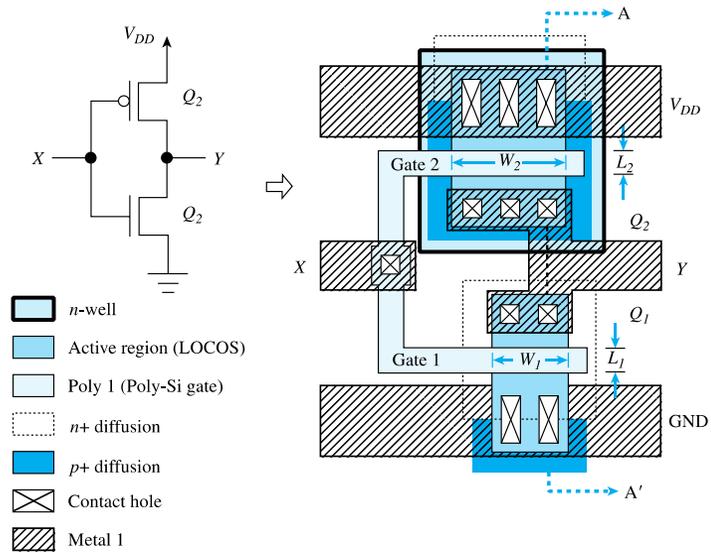


Figure A.14 A CMOS inverter schematic and its layout.

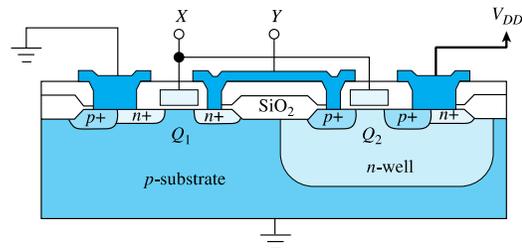


Figure A.15 Cross section along the plane AA' of a CMOS inverter. Note that this particular layout is good for illustration purposes, but is not necessarily appropriate for latchup prevention.

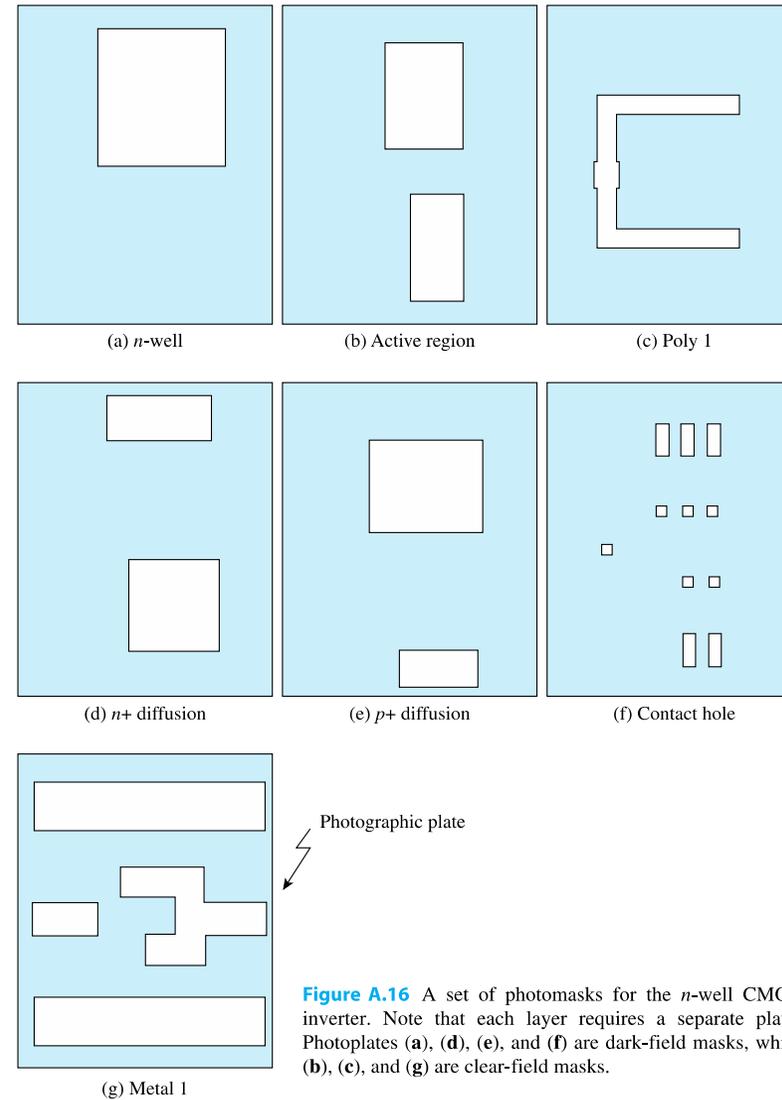


Figure A.16 A set of photomasks for the n-well CMOS inverter. Note that each layer requires a separate plate. Photoplates (a), (d), (e), and (f) are dark-field masks, while (b), (c), and (g) are clear-field masks.

Esempi di circuiti integrati

- Un **microprocessore** è un circuito integrato progettato per eseguire funzioni aritmetiche, logiche e di controllo (ovvero per funzionare come una CPU)
- Un **FGPA** è un circuito integrato che può essere programmato per eseguire la funzione richiesta dall'utente
- Un circuito integrato una applicazione specifica (**ASIC**) è un circuito integrato custom-developed per un uso particolare, anziché destinato a un uso generico
- Una **memoria** è un circuito integrato progettato per archiviare dati