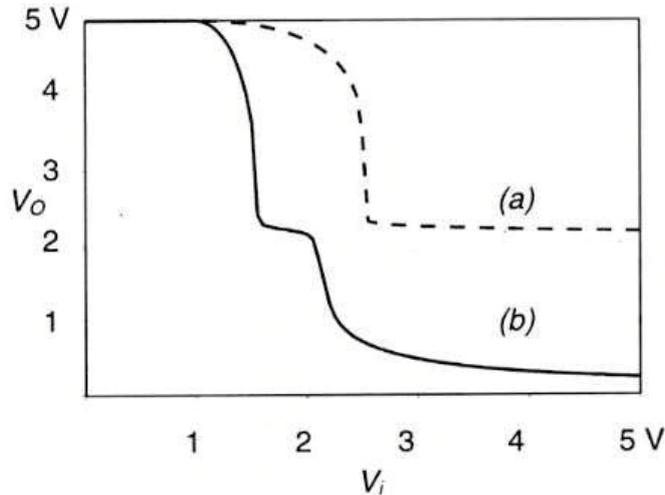


$V_{OL}$  si riduce fino ad un valore di circa 0.2 V, compatibile con il valore  $V_{OL}$  di una TTL.



**Figura 10.21** Caratteristica di trasferimento di un invertitore CMOS caricato da una porta TTL: a) con  $K_N = K_P$ ; b) con  $K_N = 20 K_P$

Se si utilizza un interfacciamento con porte TTL-LS, la corrente  $I_{IL}$  sarà circa 5 volte più piccola (in quanto aumenta di un fattore 5 la resistenza  $R_B$ ) e quindi il rapporto  $W/L$  per QN può essere scelto pari a 8.

## 10.7 Invertitori e porte logiche BiCMOS

La logica BiCMOS (da *Bipolar-CMOS*) è stata sviluppata verso la fine degli anni '80, con lo scopo di combinare la tecnologia CMOS, che presenta i vantaggi di flessibilità progettuale, elevato livello di integrazione e basso consumo di potenza, con la tecnologia bipolare, che presenta una maggiore capacità di pilotaggio di carichi capacitivi elevati, in particolare nel caso dello stadio di uscita delle logiche TTL.

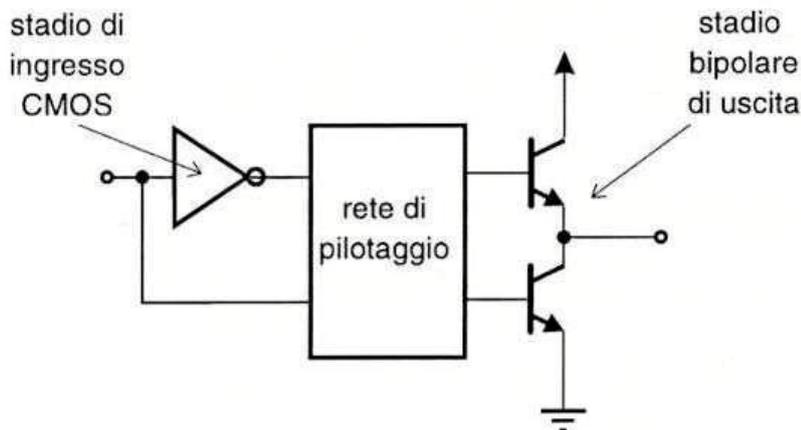
Questa logica è basata sulla possibilità di inserire i passi tecnologici necessari per realizzare i transistori bipolari nel processo base della tecnologia CMOS; ciò è stato realizzato a valle dell'introduzione dei processi a doppia tasca e dei substrati con epitassia, utilizzati per migliorare le prestazioni dei circuiti CMOS (vedi Paragrafo 5.13), e delle innovazioni introdotte nei processi per transistori bipolari avanzati, quali gli emettitori in polisilicio, le strutture autoallineate, e gli isolamenti LOCOS. I processi tecnologici per realizzare strutture BiCMOS sono quindi più sofisticati di quelli utilizzati per logiche solo CMOS o solo bipolari, ma sono impiegati in tutte quelle applicazioni nelle quali un aumento della velocità di funzionamento bilancia il maggior costo della tecnologia. Le applicazioni più utili per questi circuiti sono nel pilotaggio di bus di interconnessione, nei circuiti ingresso-uscita, nell'alimentazione di lun-

ghe linee dati, ed in generale in tutti quei casi in cui occorre un pilotaggio di carichi capacitivi elevati in tempi brevi.

Considereremo gli aspetti essenziali di questa logica, discutendo dell'invertitore elementare BiCMOS, e partendo da considerazioni basate sui vincoli circuitali necessari per la connessione tra la sezione CMOS (usualmente costituente lo stadio di ingresso) e quella bipolare (con cui è realizzato lo stadio di uscita).

### 10.7.1 Invertitore BiCMOS

Lo schema di principio di un invertitore che combina uno stadio di ingresso CMOS con uno di uscita di tipo bipolare è quello indicato in Figura 10.22. Il circuito è formato in effetti da un invertitore CMOS, connesso ad uno stadio di uscita di tipo totem pole come quello delle logiche TTL, mediante una rete di interfaccia necessaria per pilotare correttamente i due transistori dello stadio di uscita, i quali richiedono (come si è visto in particolare nel Paragrafo 8.3) due segnali in opposizione di fase per il pilotaggio dei due transistori  $Q_a$  e  $Q_b$ .

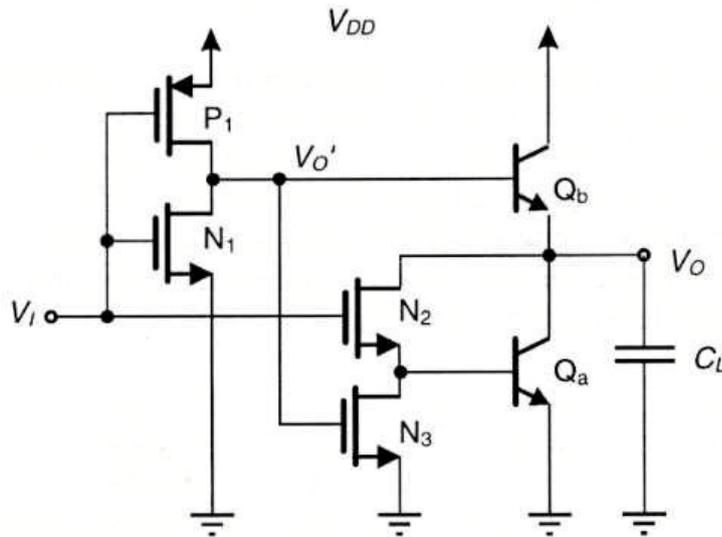


**Figura 10.22** Schema di principio dell'invertitore BiCMOS

Un primo schema circuitale dell'invertitore è quello riportato in Figura 10.23. La rete di interfaccia è costituita dai due NMOS  $N_2$  e  $N_3$  connessi in serie, e pilotati rispettivamente dal segnale di ingresso dell'invertitore CMOS e da quello di uscita, in modo da avere un funzionamento di tipo complementare per i due NMOS, analogo a quello dell'invertitore CMOS ma ottenuto utilizzando solo dispositivi NMOS (di area più ridotta); si supponrà inoltre che il carico sia costituito da una capacità  $C_L$  che deve portarsi ai livelli logici alto e basso.

Quando il segnale  $V_I$  in ingresso all'invertitore CMOS è al livello logico basso,  $N_2$  è interdetto, e  $N_3$  è in conduzione perchè  $V_{O'}$  è al valore  $V_{DD}$ . Quindi il transistore  $Q_a$  è interdetto perchè  $I_{Ba} = 0$ , e  $Q_b$  è in conduzione perchè  $V_{Bb} = V_{DD}$ . La tensione di uscita  $V_O$  si porterà al livello alto, ma non può superare il valore  $V_{DD} - V_{BE\gamma}$ , in quanto per  $V_O$  pari a questo valore  $Q_b$  è al limite della interdizione e la tensione di uscita non può crescere ulteriormente. Per  $\bar{V}_I$  al livello logico alto ( $V_{DD}$ ),  $V_{O'}$  è al

livello basso (0), e  $N_3$  si interdice; contemporaneamente  $N_2$  conduce perché pilotato da  $V_I = V_{DD}$ , e quindi  $Q_b$  passa all'interdizione, mentre  $Q_a$  va in conduzione, essendo la base connessa (tramite  $N_2$ ) al collettore. La conduzione di  $Q_a$  si arresta se  $V_O$  scende sotto il valore  $V_\gamma$ , perché in questo caso, essendo  $V_O = V_{BEa}$  anche quest'ultima scenderebbe sotto il valore di interdizione, e quindi  $C_L$  non può scaricarsi oltre tale valore.



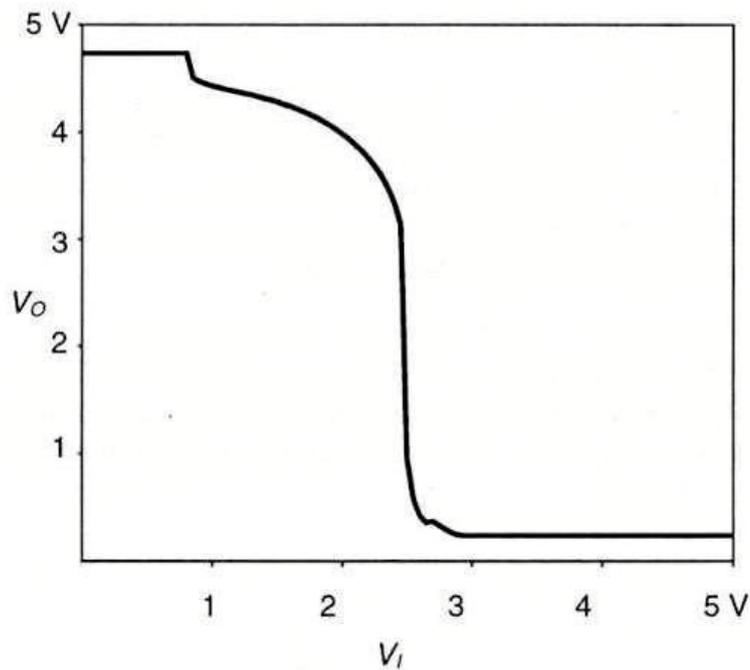
**Figura 10.23** Schema elettrico dell'invertitore elementare BiCMOS

I livelli logici di questo invertitore sono quindi:

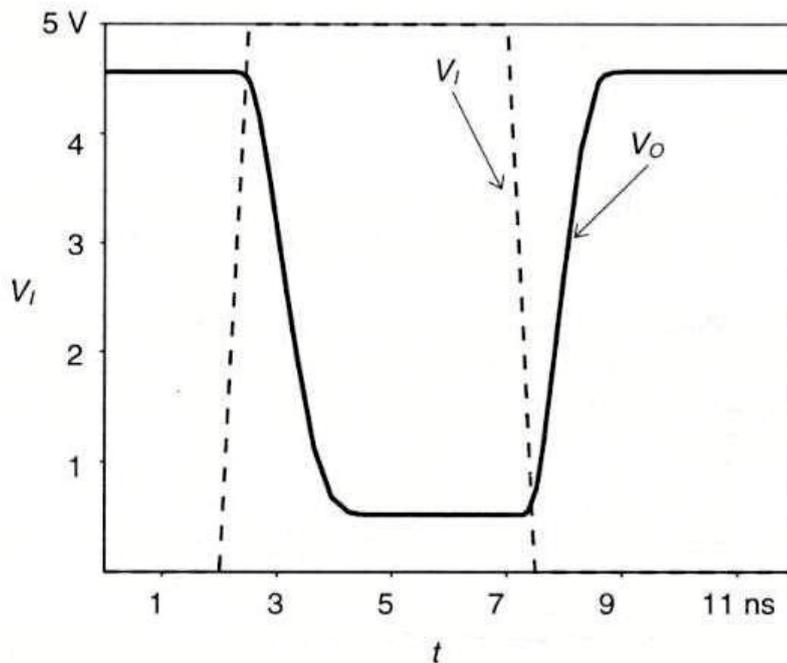
$$V_{OH} = V_{DD} - V_{BE\gamma} ; \quad V_{OL} = V_{BE\gamma} \quad (10.14)$$

In ognuno dei due stati logici l'invertitore non presenta dissipazione di potenza statica. Ciò è caratteristica nota dell'invertitore CMOS, ma è anche vero per la rete NMOS di interfaccia, perché essa è pilotata da due segnali complementari, per cui se un NMOS conduce l'altro è interdetto; infine anche lo stadio bipolare di uscita, corrispondente al totem pole della logica TTL non assorbe potenza sia quando l'uscita è alta che bassa, per cui il circuito presenta solo una dissipazione di potenza dinamica e ben si presta all'integrazione in circuiti VLSI.

La caratteristica di trasferimento dell'invertitore elementare BiCMOS, ricavata mediante simulazione SPICE, è riportata in Figura 11.24. Dalla simulazione si può notare che l'escursione della tensione di uscita è inferiore a  $V_{DD}$ , anche se le differenze sia nel valore alto che in quello basso sono minori del valore  $V_{BE\gamma}$ ; ciò è dovuto al fatto che la simulazione tiene conto della caratteristica effettiva delle giunzioni base-emettitore, che presentano tensioni anche inferiori a  $V_{BE\gamma}$  per correnti trascurabili, per cui le tensioni  $V_{BE}$  senza carico, come in questo caso, sono inferiori a  $V_{BE\gamma}$ .



**Figura 10.24** Simulazione SPICE della caratteristica di trasferimento dell'invertitore BiCMOS di Figura 10.23. I valori dei parametri sono:  $W/L_N = 2 \mu\text{m}/1 \mu\text{m}$ ,  $W/L_P = 5 \mu\text{m}/1 \mu\text{m}$ ,  $V_{TN} = |V_{TP}| = 0.8 \text{ V}$ ,  $\beta_F = 50$ .



**Figura 10.25** Comportamento dinamico dell'invertitore BiCMOS caricato da una capacità  $C_L = 5 \text{ pF}$

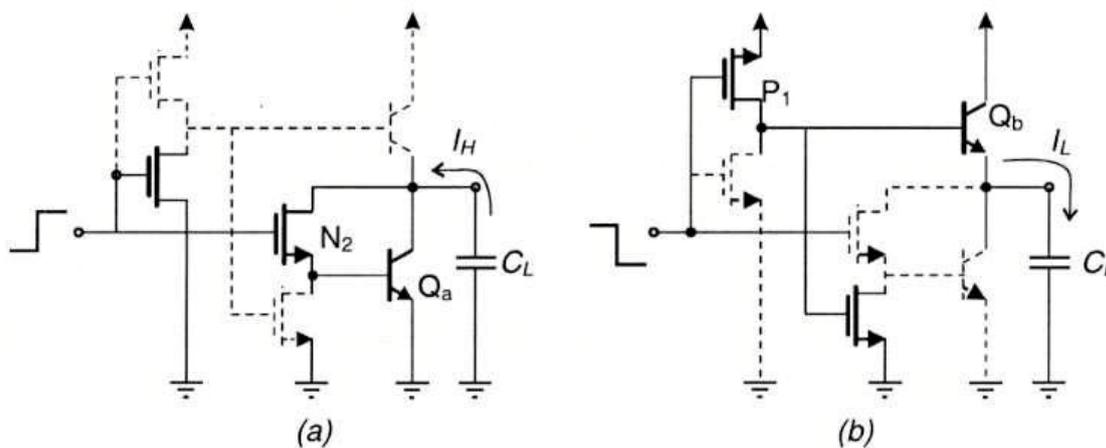
La riduzione dell'escursione logica risulta invece evidente se si considera una capacità di carico di valore non trascurabile all'uscita, e si analizza la dinamica dell'invertitore così caricato. Questa analisi dinamica è riportata in Figura 10.25; in

questo caso si vede che la capacità arresta la sua carica al valore  $V_{DD} - V_{BE\gamma}$ , e termina la sua scarica al valore  $V_{BE\gamma}$ .

Si può effettuare un'analisi dinamica semplificata del circuito di Figura 10.22, utilizzando le due reti riportate in Figura 10.26, alle quali si riduce, in opportune ipotesi semplificative, il circuito dell'invertitore, rispettivamente per la transizione della tensione di uscita dal livello logico alto a quello basso o viceversa.

Le ipotesi semplificative per l'analisi dinamica sono:

- il segnale  $V_I$  in ingresso presenta fronti di salita e discesa nulli;
- la tensione  $V_O'$  in uscita dall'invertitore CMOS varia più rapidamente di quella in uscita, e si assume che essa sia già al valore di regime durante la transizione;
- la dinamica dei transistori bipolari dello stadio di uscita è molto più rapida di quella della capacità di uscita.



**Figura 10.26** Reti equivalenti semplificate per la dinamica dell'invertitore BiCMOS: a) rete per la transizione alto-basso; b) rete per la transizione basso-alto

In tali ipotesi, e ricordando che i transistori bipolari lavorano in regime attivo diretto quando sono in conduzione, poiché per ognuno di essi  $V_{BC} \cong 0$ , in quanto la giunzione è cortocircuitata dal MOS in conduzione, si ha dalla rete per la transizione di discesa (Figura 10.26a):

$$I_H = I_{Qa} + I_{N2} = (\beta_F + 1)K_{N2}[V_{DD} - V_{BEa} - V_T]^2 \quad (10.15a)$$

Quindi il tempo di propagazione  $t_{PHL}$  per il fronte di discesa sarà dato da:

$$t_{PHL} = \frac{C_L(V_{DD} - 2V_{BE\gamma})}{2(\beta_F + 1)K_{N2}[V_{DD} - V_{BEa} - V_T]^2} \quad (10.16a)$$

Dalla rete per la transizione di salita (Figura 10.26b) si ottiene analogamente:

$$I_L = I_{Qb} + I_{P1} = (\beta_F + 1)K_{P1}[V_{DD} - V_{BEb} - V_T]^2 \quad (10.15b)$$

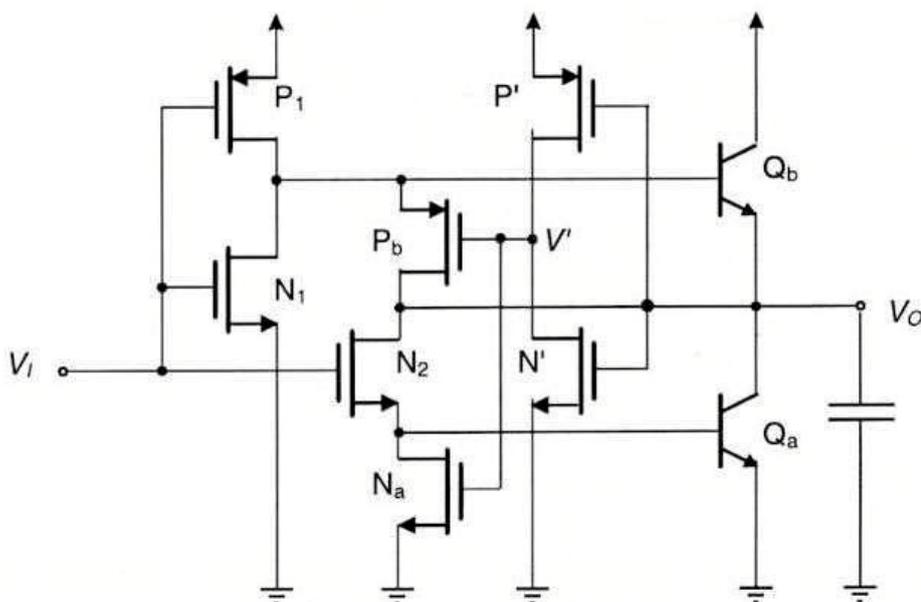
e il tempo di propagazione  $t_{PLH}$  di questo fronte sarà dato da:

$$t_{PLH} = \frac{C_L(V_{DD} - 2V_{BE\gamma})}{2(\beta_F + 1)K_{P1}[V_{DD} - V_{BEb} - V_T]^2} \quad (10.16b)$$

Dalle espressioni (10.16a) e (10.16b) si deduce che i due tempi di propagazione sono inferiori di  $(\beta_F + 1)$  a quelli di un invertitore CMOS caricato dallo stesso valore di  $C_L$ . I due tempi  $t_{PHL}$  e  $t_{PLH}$  saranno inoltre uguali se si dimensionano i valori dei  $K$  dei transistori  $P_1$  e  $N_2$  in modo che:

$$K_{N2} = K_{P1} \Rightarrow \frac{W}{L}\bigg|_{P1} = 2.5 \frac{W}{L}\bigg|_{N2} \quad (10.17)$$

I valori dei livelli logici indicati nella (10.14) possono creare problemi nel pilotaggio di porte CMOS in uscita, in quanto i valori di  $V_{BE\gamma}$  sono praticamente uguali a quelli delle tensioni di soglia  $V_{TN}$  e  $|V_{TP}|$  dei MOS dell'attuale tecnologia, e quindi le porte CMOS pilotate da questo invertitore possono presentare una dissipazione di potenza statica. Una versione di invertitore BiCMOS che presenta un'escursione logica pari all'intera tensione di alimentazione, e quindi presenta livelli logici  $V_{OH} = V_{DD}$ , e  $V_{OL} = 0$  è quella del circuito di Figura 10.27.



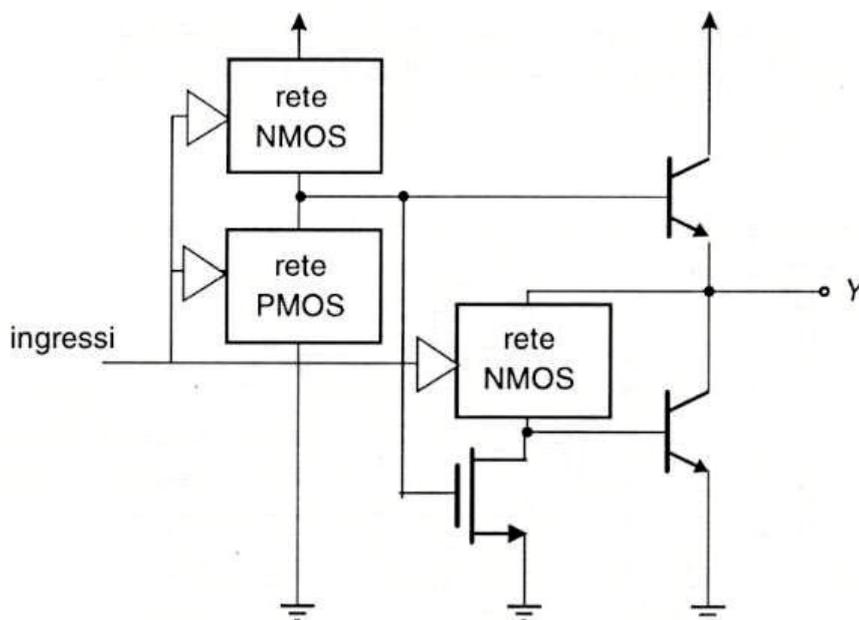
**Figura 10.27** Invertitore BiCMOS con escursione logica completa

Il circuito prevede due MOS,  $P_b$  e  $N_a$ , rispettivamente in parallelo alle giunzioni base-emettitore dei transistori  $Q_b$  e  $Q_a$ ; questi MOS vengono pilotati dall'uscita  $V'$  di un ulteriore invertitore CMOS formato dai transistori  $N'$  e  $P'$ , a sua volta pilotato dall'uscita  $V_O$ . Quando l'uscita  $V_O$  è al valore alto,  $V'$  è basso e  $P_b$  è in conduzione; quindi in parallelo alla giunzione base-emettitore di  $Q_b$  compare la resistenza equivalente di  $P_b$  e, per correnti trascurabili (cioè al termine della carica di  $C_L$ ), la tensione  $V_{BEb}$  ai capi di questa giunzione tende a zero invece che a  $V_\gamma$ . Analogamente, quando l'uscita passa al valore basso,  $V'$  va al valore alto e porta in conduzione il MOS  $N_a$ , e la tensione  $V_{BEa}$  della giunzione base-emettitore del transistoro  $Q_a$  tende a zero per correnti trascurabili.

In tal modo l'invertitore presenterà come valore logico alto  $V_{OH} = V_{DD}$ , e come valore logico basso  $V_{OL} = 0$ , e si ottiene un'escursione logica pari all'intera tensione di alimentazione  $V_{DD}$ .

### 10.7.2 Porte logiche BiCMOS

La tecnologia BiCMOS può essere utilizzata non solo per realizzare invertitori e stadi di disaccoppiamento, ma anche porte logiche elementari e complesse. Lo schema di principio che permette di realizzare funzioni logiche a più variabili con strutture BiCMOS è quello indicato in Figura 10.28.



**Figura 10.28** Circuito di principio di una porta logica BiCMOS

La funzione logica voluta viene realizzata sostituendo rispettivamente al PMOS ed al NMOS dell'invertitore CMOS di ingresso due opportune reti di transistori PMOS e NMOS che realizzano la funzione voluta, analogamente al caso delle porte logiche CMOS. Inoltre il NMOS  $N_2$  è anch'esso sostituito da una rete di NMOS che realizza la stessa funzione, per cui all'ingresso di  $Q_a$  si fornisce l'uscita negata ri-



Ad esempio, in Figura 10.29 è riportato lo schema di una porta NAND BiCMOS a due ingressi; questa viene realizzata sostituendo una porta NAND CMOS al posto dell'invertitore CMOS di ingresso, ed una rete NMOS, che realizza la funzione AND in uscita, al posto di  $N_2$ . Infine in Figura 10.30 è riportato lo schema di una porta NOR BiCMOS a due ingressi, sostituendo in questo caso una porta NOR CMOS all'invertitore CMOS, ed una rete NMOS che realizza la funzione OR in uscita al posto del transistor  $N_2$ .

Si può estendere questa modifica al fine di realizzare porte complesse BiCMOS, in analogia a quanto detto per le porte complesse CMOS; occorre inserire la porta complessa CMOS al posto dell'invertitore e una rete NMOS, che realizza la funzione negata, al posto di  $N_2$ .

## 10.8 Circuiti sommatore e comparatori

I circuiti logici possono essere utilizzati per effettuare operazioni aritmetiche tra numeri binari. Per l'operazione base, cioè la somma di due numeri binari, poiché questi possono assumere solo i valori 0 e 1, la somma consiste nel considerare, per ognuna delle posizioni nella sequenza di bit dei due numeri binari, la somma dei due addendi come indicato in Figura 10.31, tenendo conto di un "riporto" di 1 se i due addendi sono entrambi 1. Basicamente questo comporta un circuito che effettui l'operazione di OR esclusivo (XOR) tra due ingressi, in quanto la presenza di due 1 agli ingressi deve fornire uno 0 in uscita, con l'indicazione aggiuntiva di un riporto da sommare ai bit della posizione successiva.

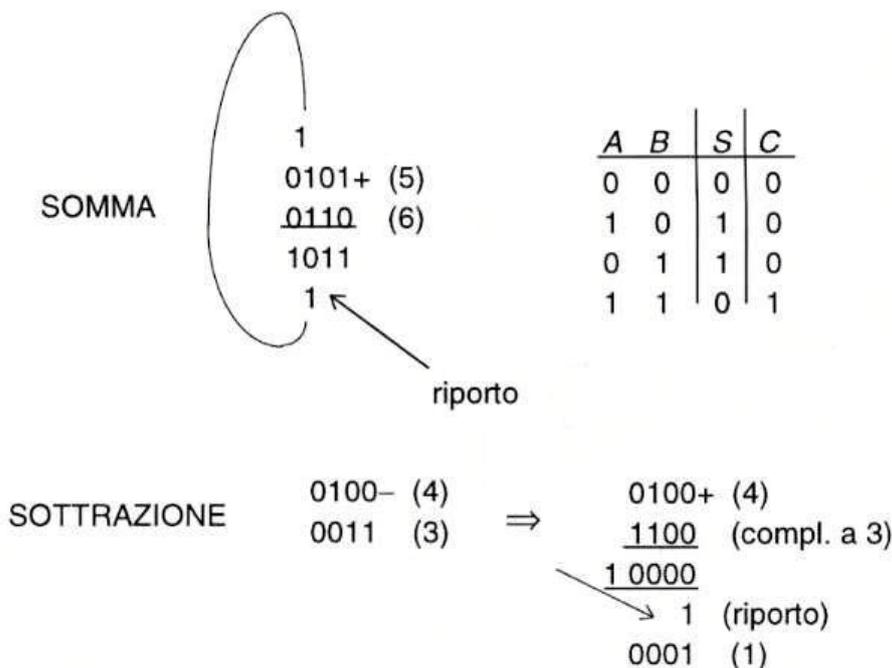


Figura 10.31 Somma e sottrazione di numeri binari