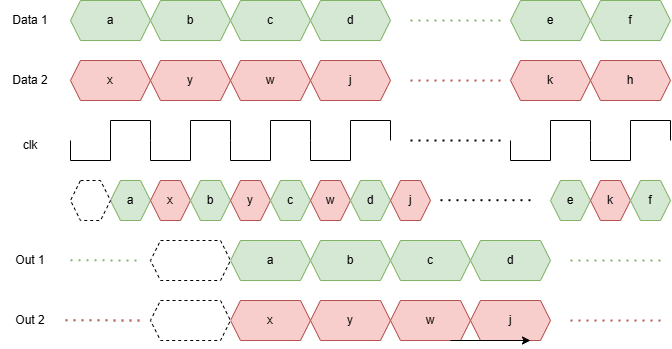
**Esercizi Propedeutici**

*Dicembre 2024*

Per limitare il numero di canali di trasmissione si vuole “multiplexare” i dati che arrivano su due distinti canali di trasmissione D1 e D2 sincroni in un singolo canale eseguendo una conversione “SDR to DDR” (Single data Rade to Double Data Rate): i segnali presenti in ingresso vengono campionati ciascuno durante uno specifico fronte del clock (salita o discesa), ma sulla linea di trasmissione essi vengono inviati alternativamente su entrambi i fronti. Alla ricezione un dispositivo duale sincronizzato sul medesimo clock deve operare in modo opposto ovvero campionando i segnali presenti sul canale di trasmissione in entrambi i fronti di clock e “smistandoli” tra i due canali in uscita. Naturalmente per un corretto funzionamento i segnali devono rimanere stabili lungo la linea di trasmissione (ed in uscita) anche qualora vi fossero variazioni inaspettate dei segnali di ingresso al di fuori dell’istante di campionamento.

Uno schema di principio del funzionamento ed il meccanismo di multiplexing e di de-multiplexing è illustrato qui di seguito.





Si realizzi un progetto completo di entrami i sistemi, lo si descriva opportunamente se ne simuli il funzionamento sia dei singoli moduli che in modo congiunto.

L’elaborato sia completo dei codici verilogHDL che descrivono LA STRUTTURA del circuito e delle simulazioni atte a dimostrarne il corretto funzionamento.

Eventualmente si possono sfruttare, se utile, opportuni sfasamenti o sui segnali di ingresso e/o sui segnali di uscita, purché venga mantenuto inalterato il corretto data rate.

