**Esercizi Propedeutici**

*Febbraio 2024*

1. Il Candidato progetti e realizzi in forma **asincrona** un dispositivo di memoria dotato di due ingressi di controllo **A** e **B**, di un segnale di sincronismo **clk** e di una uscita **Z.**Il dispositivo, in base ai segnali di controllo presenti le seguenti transizioni sincronizzate sul fronte di **discesa** del clock

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *Stato\AB* | *00* | *01* | *11* | *10* |
| *0* | 0 | 1 | 0 | 1 |
| *1* | 0 | 1 | 1 | 0 |

Il suddetto dispositivo venga opportunamente progettato e descritto attraverso un codice VerilogHDL. Se ne simuli quindi il funzionamento onde verificare la correttezza della soluzione.

1. Successivamente impiegando il suddetto dispositivo si realizzi questa volta in forma **sincrona** un dispositivo atto a creare un gioco di luci dotato di un segnale di controllo e quattro uscite (oltre naturalmente al clock) che esegua la sequenza i due diverse modalità:

- Se il segnale di controllo è a livello **alto** la sequenza si ripeta in modo ciclico

1001-0011-0110-1100 - …

- Se il segnale di controllo è a livello **basso** invece la sequenza sia

0000-0001-0011-0111-1111-1110-1100-1000- …

Il dispositivo venga descritto in VerilogHDL **istanziando tante volte quante necessario** il dispositivo realizzato al passo precedente.

NOTA: Il candidato analizzi più soluzioni:

 1. cercando di sfruttare la versatilità del dispositivo ed evitando di bloccare uno dei segnali di controllo A oppure B in una posizione fissa

2. oppure, viceversa usando in fase di controllo solamente uno dei due segnali

Si paragonino le diverse soluzioni trovate.

NOTA: Le soluzioni del presente elaborato siano complete di svolgimento, codice VerilogHDL e diagrammi di simulazione.

Il testo sottomesso deve inoltre contenere la seguente dichiarazione firmata:
“Dichiaro che l’elaborato qui presente è stato svolto da me medesimo in piena autonomia”.