**Esercizi Propedeutici**

*Gennaio 2025*

Un progettista dispone come elemento di memoria di una cella descritta dal seguente codice VerilogHDL:

module mem(a,b,res,z);

input a,b,res;

output z;

wire y1,y2;

assign y1 = !res& ((y1 & (!b | !y2)) | ( a & b & ! y2));

assign y2 = !res &((y1 & (!b | y2)) | ( y2 & (b | y1)) | (b & !a & !y1)) ;

assign z= y1;

endmodule

Usando tale modulo quale elemento di sincronismo si realizzi un “contatore binario a 3 bit ciclico reversibile con valori tra 0 e 4”. Ovvero il sistema è dotato di un segnale di controllo che se posto al valore zero fa si che il contatore conti ciclicamente 0,1,2,3,4,0,1,2,3 …. Mentre se è posto a 1 esso conti in ordine inverso 4,3,2,1,0,4,3,2,1, ….

**Traccia per lo svolgimento:**

1. Si analizzi il funzionamento del circuito e se ne descriva completamente il funzionamento.
2. Attraverso opportuna simulazione si verifichi se l’analisi svolta al punto precedente è coerente con i risultati ipotizzati al punto 1.
3. Si individuino le transizioni possibili nello stato del dispositivo e come ottenerle attraverso il segnale di eccitazione.
4. Si definisca il funzionamento della macchina sincrona da realizzare.
5. Si individui una codifica idonea per gli stati che sia concorde con le transizioni ammesse dal dispositivo.
6. Si realizzi quindi il contatore desiderato.
7. Si simuli il circuito progettato al punto 6 per verificarne il corretto funzionamento.