**Esercizi Propedeutici**

*Giugno 2024*

Un elemento di memoria, le cui commutazioni sono sincronizzate su **entrambi i fronti del clock** è rappresentato dal seguente schema logico.



Il cui comportamento può essere descritto anche attraverso il seguente codice VerilogHDL (comportamentale)

module MyMem\_comp (

 input wire c, // Segnale di clock

 input wire reset, // Segnale di reset asincrono

 input wire A,B, // Ingressi A,B

 output reg Q // Uscita e stato Q

);

wire T;

assign T = (Q) ? A : ~B; // assegnazione condizionata

 always @(edge c or posedge reset) begin // condizioni di attivazione

 if (reset) begin

 Q <= 1'b0; // Se il reset è attivo, imposta Q a 0 (asincrono)

 end else if (T) begin

 Q <= ~Q; // Se T è alto, cambia lo stato di Q (sincrono)

 end

 end

endmodule

**Es.1:** Si progetti attraverso una rete logica un dispositivo asincrono che presenti un funzionamento uguale a quello della cella di memoria sopra descritta. Attraverso una simulazione congiunta sia del dispositivo progettato che dell’elemento sopra descritto si verifichi che il funzionamento dei due sia il medesimo.

**Es.2:** Utilizzando quindi l’elemento di memoria appena progettato si realizzi un “contatore one-hot” a 8 bit.
**Nota**: un contatore one-hot fornisce in uscita una sequenza di parole sempre di peso 1: Es: 0001,0010,0100,1000

**Traccia**:

1. Si comprenda e il funzionamento del dispositivo attraverso l’analisi dello stesso ed attraverso opportuna simulazione
2. Lo si descriva attraverso una opportuna tavola di Huffman o di flusso (sincrona – ovvero con sincronismo implicito)
3. Si sviluppi e si descriva ora il funzionamento del dispositivo (in forma asincrona) ovvero attraverso una tavola di Huffman che evidenzi tra i segnali di ingresso anche il segnale di clock e come questo influenzi i passaggi di stato.
4. Si progetti quindi in forma sincrona il “contatore one-hot”

Si verifichi il corretto funzionamento dei circuiti proposti attraverso idonee simulazioni.