**Esercizi Propedeutici**

*Settembre 2023*

Si supponga che un progettista abbia disponibile come elemento di memoria un circuito asincrono il cui funzionamento è descrivibile dal seguente codice VerilogHDL:

**module** circuito(a,b,clk,res,z);

input a,b,clk,res;

inout z;

wire y1,y2,y1f,y2f;

assign y1= (y1f&(a|b|~clk|~y2f)|(~a&b&clk&~y2f));

assign y2= ((y1&~clk)|(~y1&clk));

assign #4 y1f=y1&~res;

assign #4 y2f=y2&~res;

assign z = y1;

**endmodule**

IL candidato, impiegando detto elemento realizzi uno shift register a 3bit.

**Traccia**:

1. Si analizzi **DETTAGLIATAMENTE** il funzionamento del circuito asincrono proposto, sia analiticamente che **attraverso opportune simulazioni** atte a validare i risultai ottenuti.
2. Si individui quindi la mappa delle transizioni che caratterizza tale elemento di memoria.
3. Si passi a descrivere la macchina sequenziale che realizza lo “shift register” desiderato.
4. Sfruttando le mappe delle transizioni trovata al punto 2 si definiscano le equazioni di eccitazione.
5. Si Completi la realizzazione del circuito.
6. Si Simuli il funzionamento del circuito finale istanziando l’elemento di memoria descritto nel testo quante volte serve.

NOTA: Le soluzioni del presente elaborato siano complete di svolgimento, codice VerilogHDL e diagrammi di simulazione.

Il testo consegnato deve contenere la seguente dichiarazione firmata:  
“Dichiaro che l’elaborato qui presente è stato svolto da me medesimo in piena autonomia”.