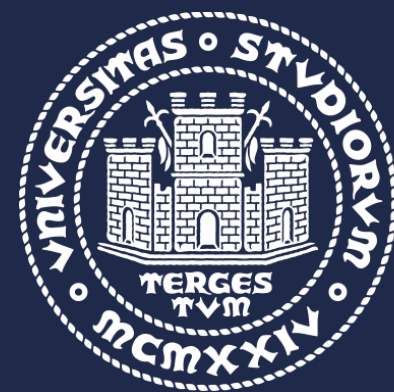




**UNIVERSITÀ
DEGLI STUDI
DI TRIESTE**

Circuiti in logica sequenziale

Prof.ssa Giulia Cisotto

giulia.cisotto@units.it

Trieste, 08 aprile 2025

CIRCUITI COMBINATORI VS SEQUENZIALI

- I **circuiti combinatori** sono in grado di calcolare funzioni che dipendono **solo** dai dati in **input**
- I **circuiti sequenziali** sono invece in grado di calcolare funzioni che dipendono anche da uno **stato**

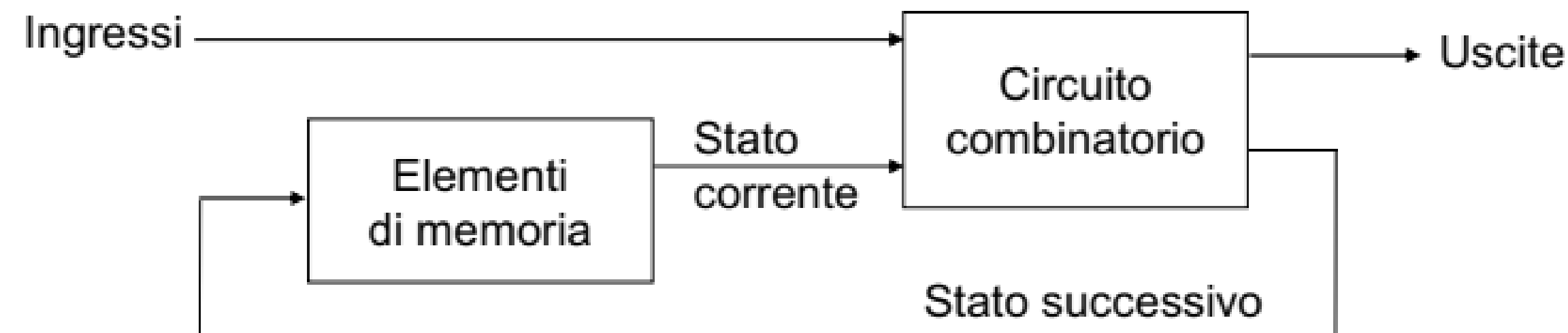
- => ovvero, che dipendono anche da informazioni memorizzate in elementi di memoria interni

CIRCUITI SEQUENZIALI

I circuiti sequenziali sono formati da:

- Elementi di memoria (di vario tipo): **memorizzano** informazione
- Reti combinatorie: **elaborano** informazione

Un circuito sequenziale ha, in ogni dato istante, uno **stato** determinato dai bit memorizzati



CIRCUITI SEQUENZIALI

Per realizzare circuiti sequenziali è necessario un elemento di memoria per memorizzare lo stato.

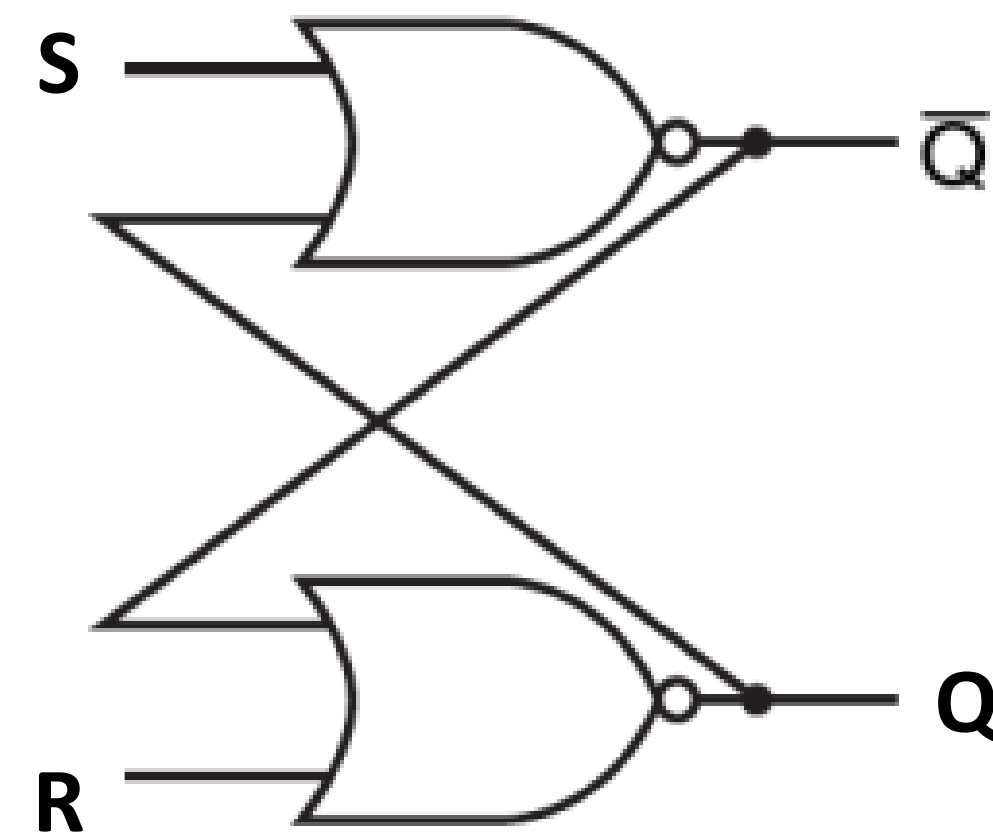
Possiamo organizzare le porte logiche in modo da realizzare un elemento di memoria?

Sì, un elemento in grado di memorizzare un singolo bit è il **latch**

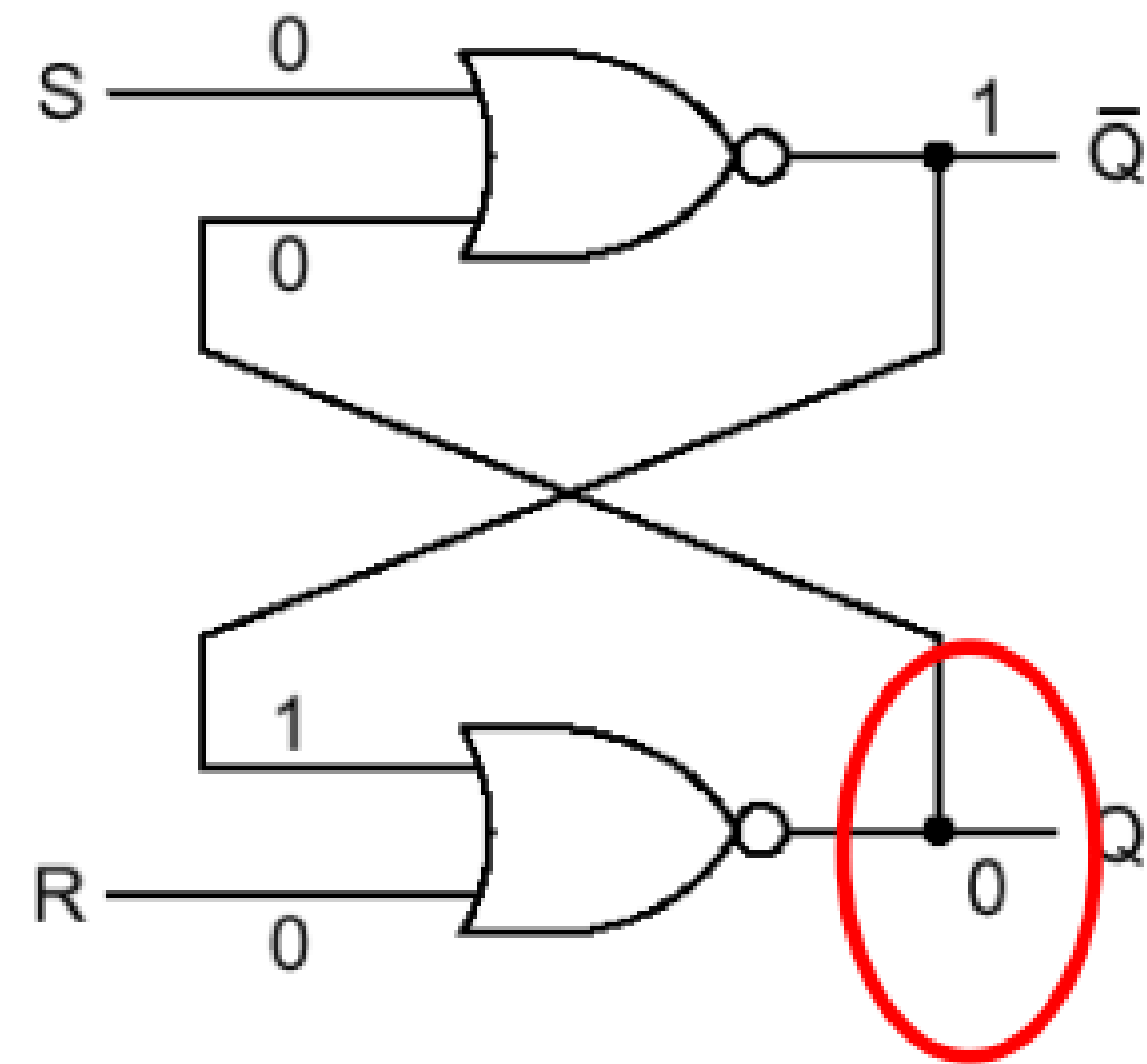
S-R LATCH

S-R Latch è un circuito composto da 2 porte NOR concatenate

S = Set e **R = Reset**

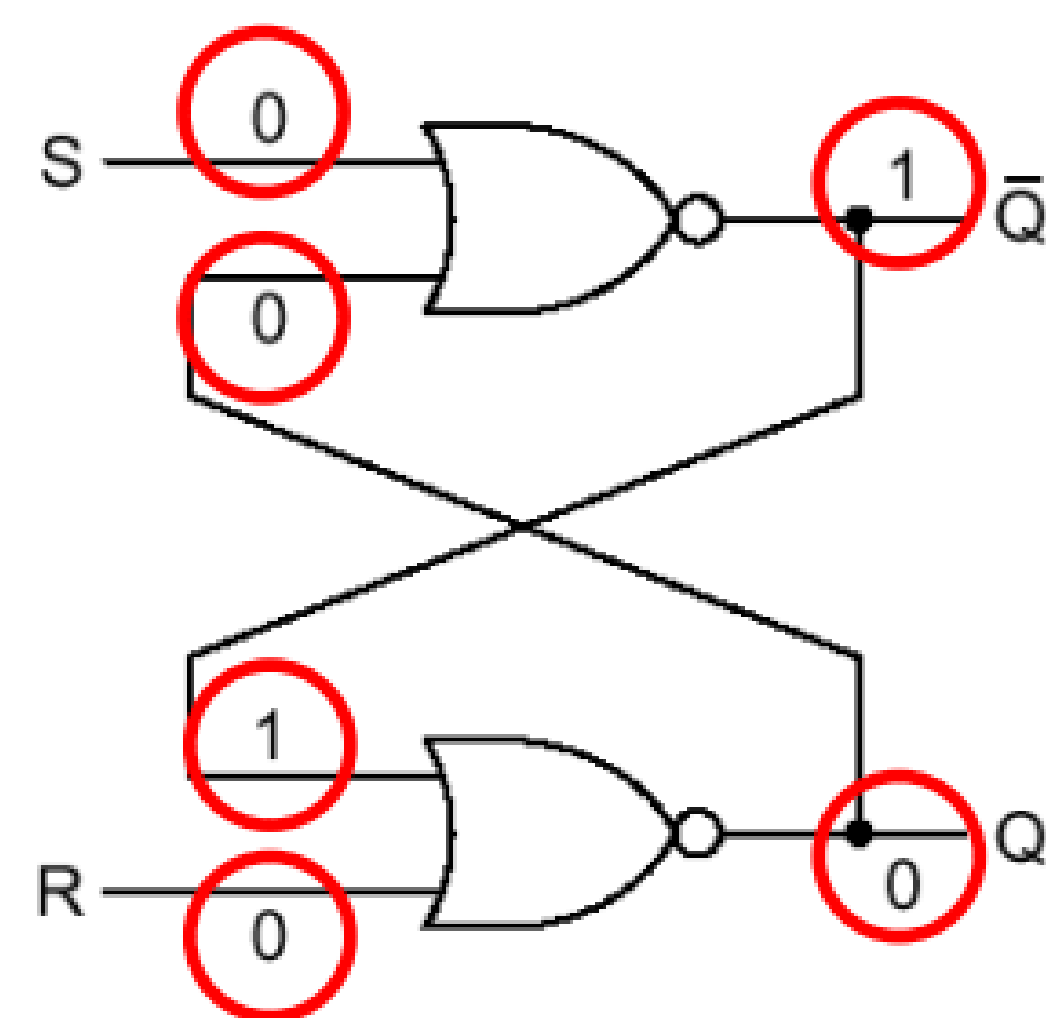


S-R LATCH



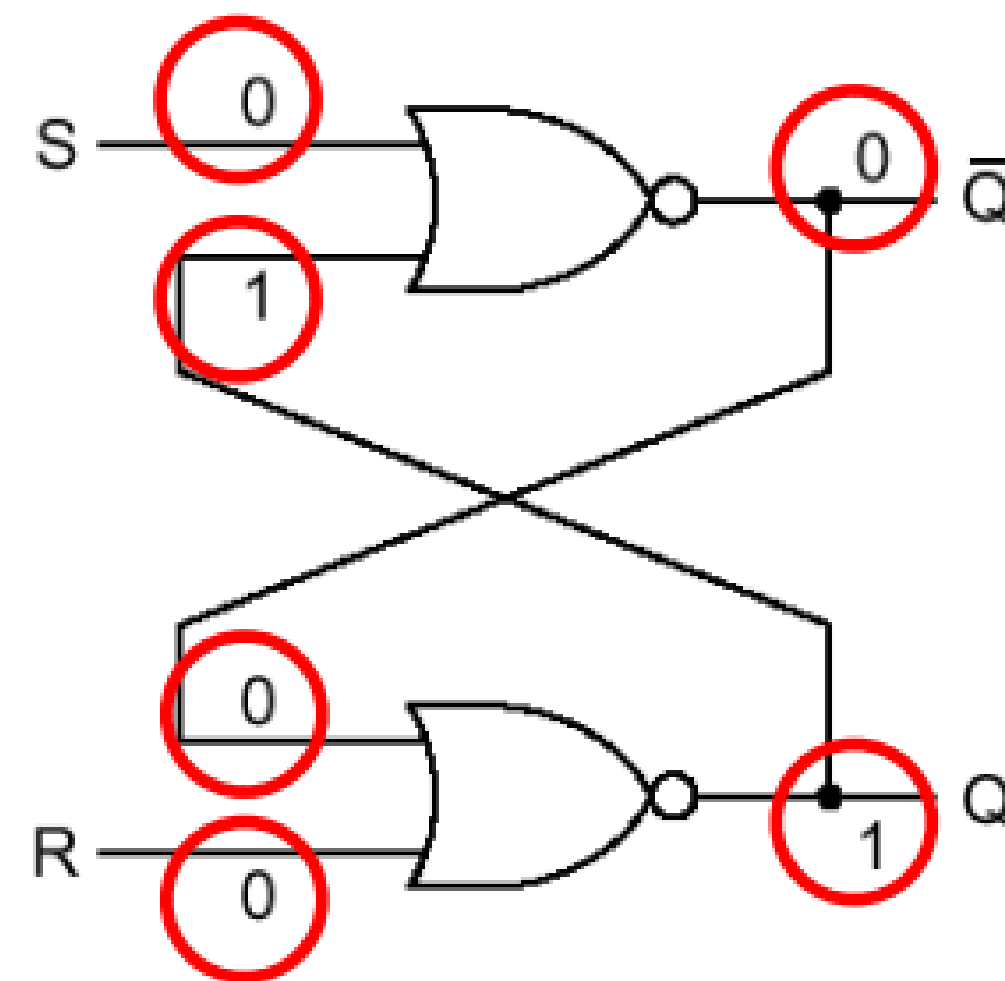
Quando $S=0$, $R=0$, viene mantenuto lo stato di prima (Q e notQ rimangono invariati)

S-R LATCH



Input		Stato Interno Old Q	Output	
S	R		Q	$\overline{Q}$
0	0	0	0	1
0	0	1	1	0
0	1	1/0	0	1
1	0	1/0	1	0
1	1	1/0	0	0

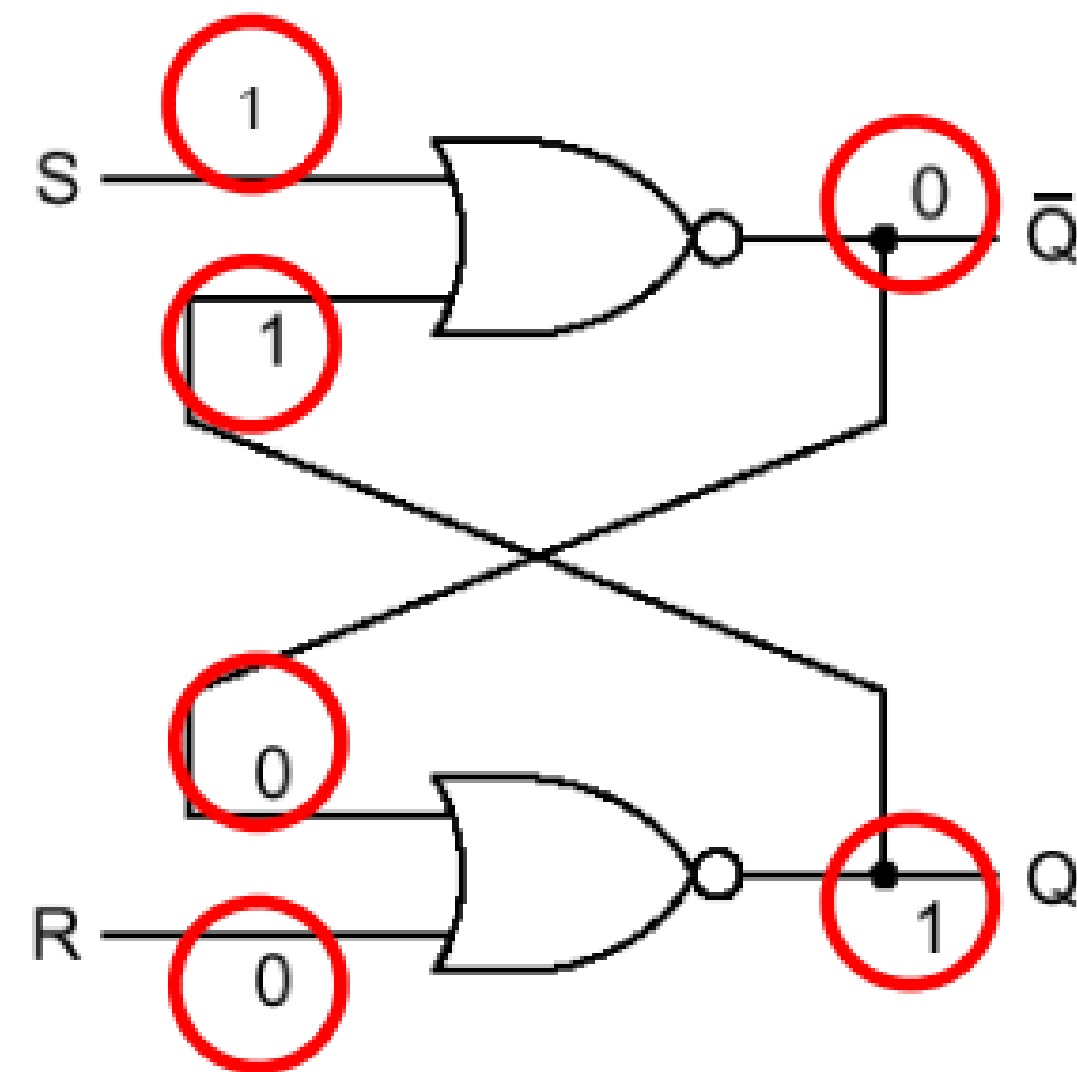
S-R LATCH



Input		Stato Interno Old Q	Output	
S	R		Q	$\bar{Q}$
0	0	0	0	1
0	0	1	1	0
0	1	1/0	0	1
1	0	1/0	1	0
1	1	1/0	0	0

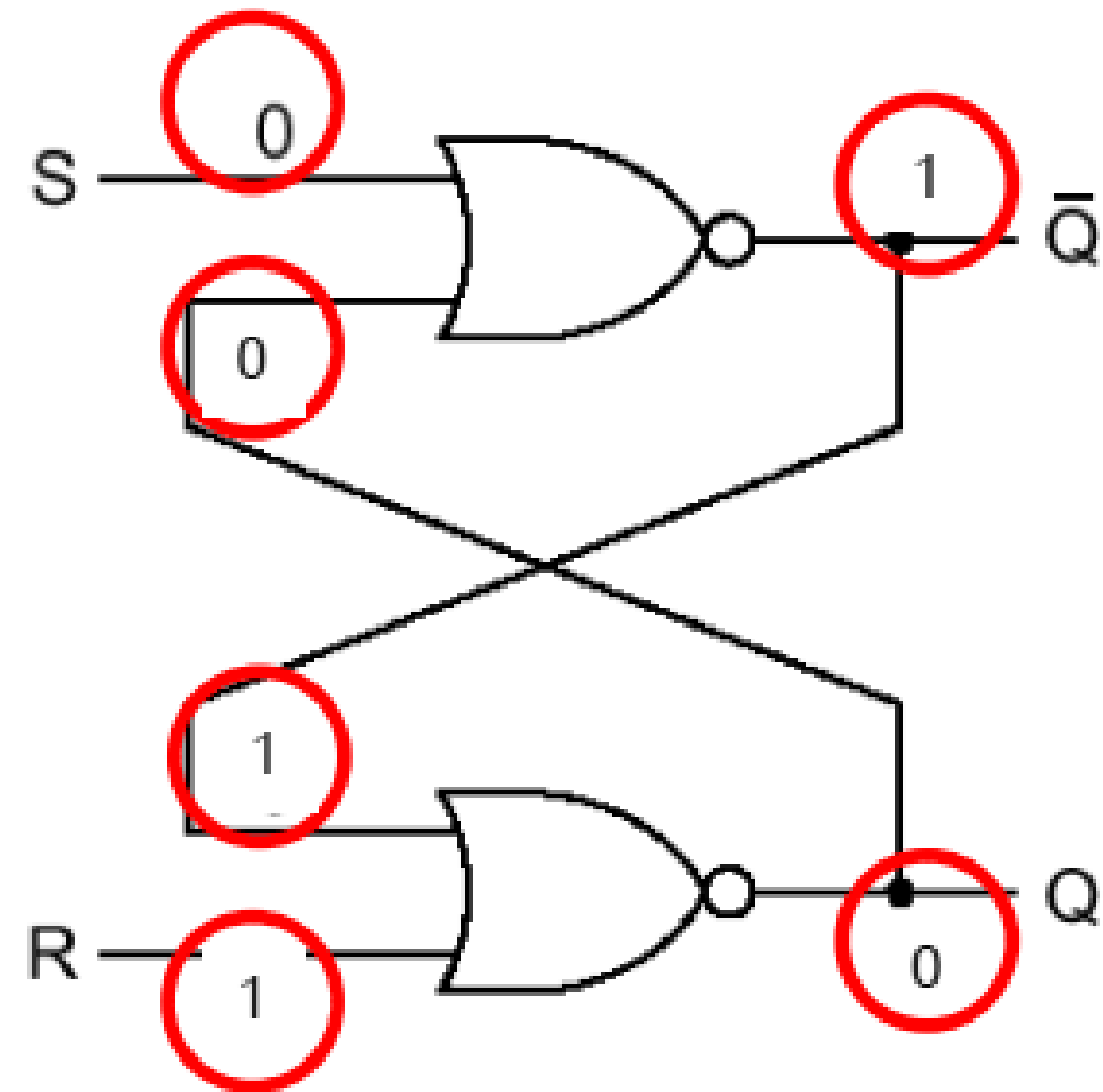
La combinazione $(S,R) = (0,0)$ viene detta combinazione di riposo, perché semplicemente mantiene il valore memorizzato in precedenza.

S-R LATCH



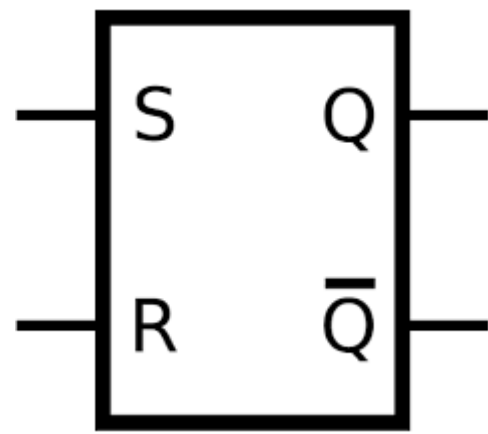
Input		Stato Interno Old Q	Output	
S	R		Q	$\bar{Q}$
0	0	0	0	1
0	0	1	1	0
0	1	1/0	0	1
1	0	1/0	1	0
1	1	1/0	0	0

S-R LATCH

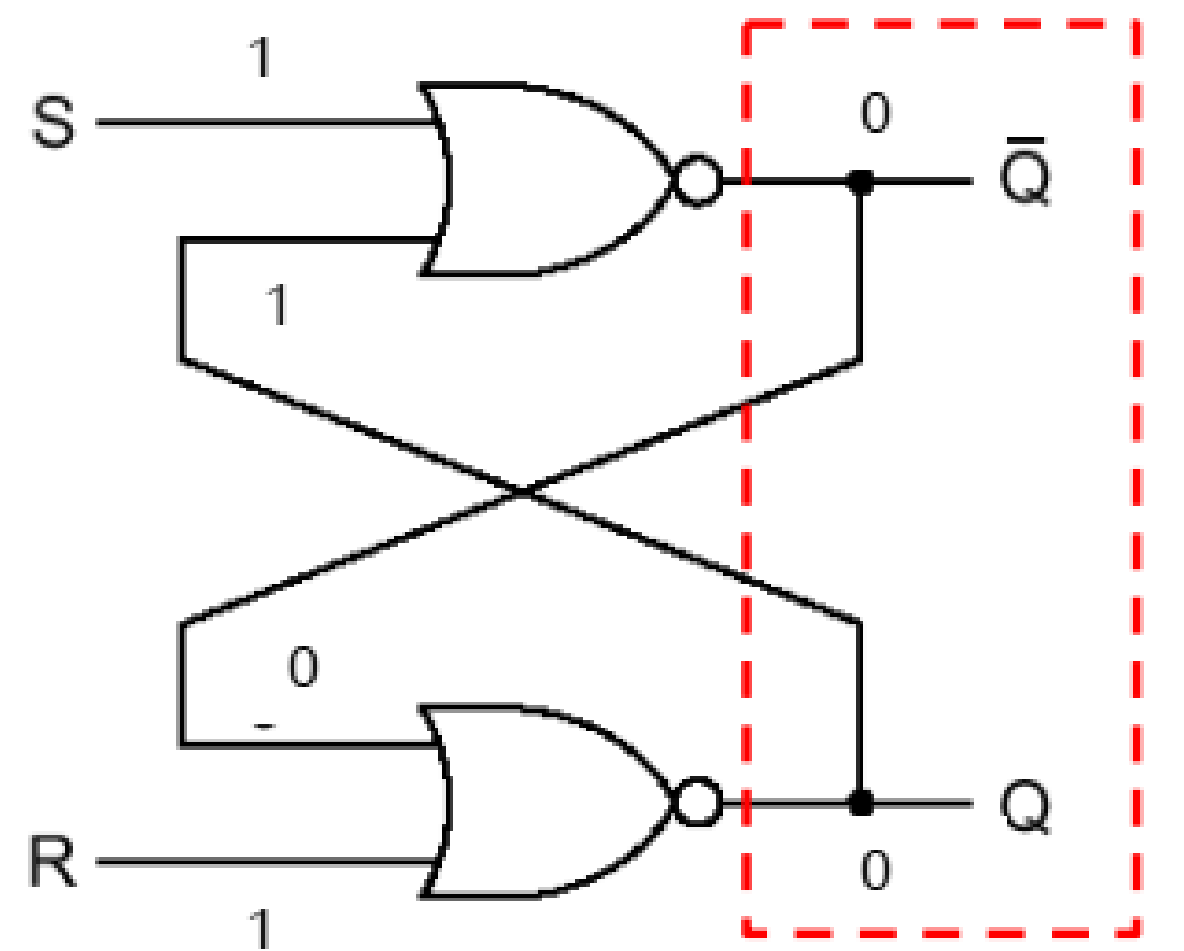


Input		Stato Interno Old Q	Output	
S	R		Q	$\overline{Q}$
0	0	0	0	1
0	0	1	1	0
0	1	1/0	0	1
1	0	1/0	1	0
1	1	1/0	0	0

S-R LATCH



La configurazione di $S=1$ e $R=1$, viola la proprietà di complementarità di Q e $\bar{Q}$, può portare ad una configurazione instabile



Input		Stato Interno Old Q	Output	
S	R		Q	$\bar{Q}$
0	0	0	0	1
0	0	1	1	0
0	1	1/0	0	1
1	0	1/0	1	0
1	1	1/0	0	0

S-R LATCH

(S,R) sono di solito calcolati da un circuito combinatorio

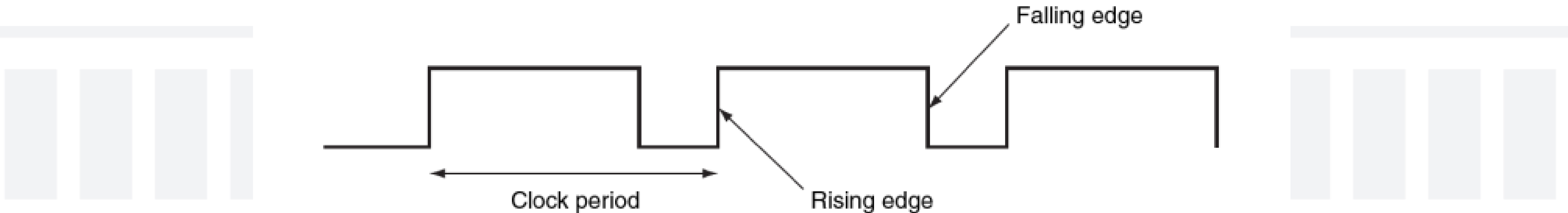
- l'output del circuito diventa stabile dopo un certo intervallo di tempo che dipende dal numero di porte attraversate
- bisogna evitare che durante questo intervallo, gli output intermedi del circuito vengano memorizzati

Soluzione: clock

CLOCK

Il segnale di **clock** è fondamentale per le reti sequenziali che sono caratterizzate da uno **stato**

Clock – definito come un segnale (onda quadra) con un periodo predeterminato e costante



Caratterizzato da un periodo T (oppure ciclo) di clock e dalla frequenza F (definita come $1/\text{periodo}$) e misurata in Hertz $F = 1/T$.

LATCH E CLOCK

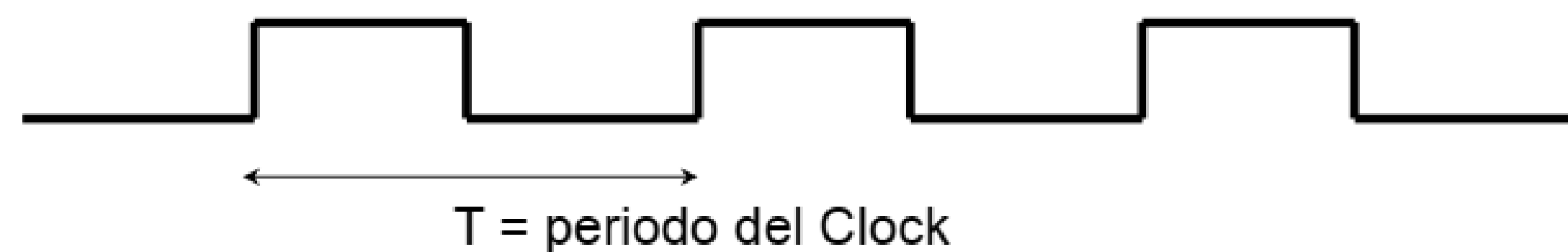
Soluzione: **clock**

Usiamo un segnale a gradino, il cui periodo viene scelto abbastanza grande da assicurare la stabilità degli output

Usiamo il clock per abilitare la scrittura nei **latch**

- Il clock determina il ritmo dei calcoli e delle relative operazioni di memorizzazione

Il circuito diventa **sincrono**.



CIRCUITI SEQUENZIALI: FAMIGLIE

Esistono due famiglie di circuiti digitali sequenziali:

- **asincroni**, non fanno uso di clock
- **sincroni**, necessitano di clock

Esempio di circuito sequenziale asincrono:

- SR-latch

Esempio di circuito sequenziale sincrono:

- Flip-Flop

D LATCH

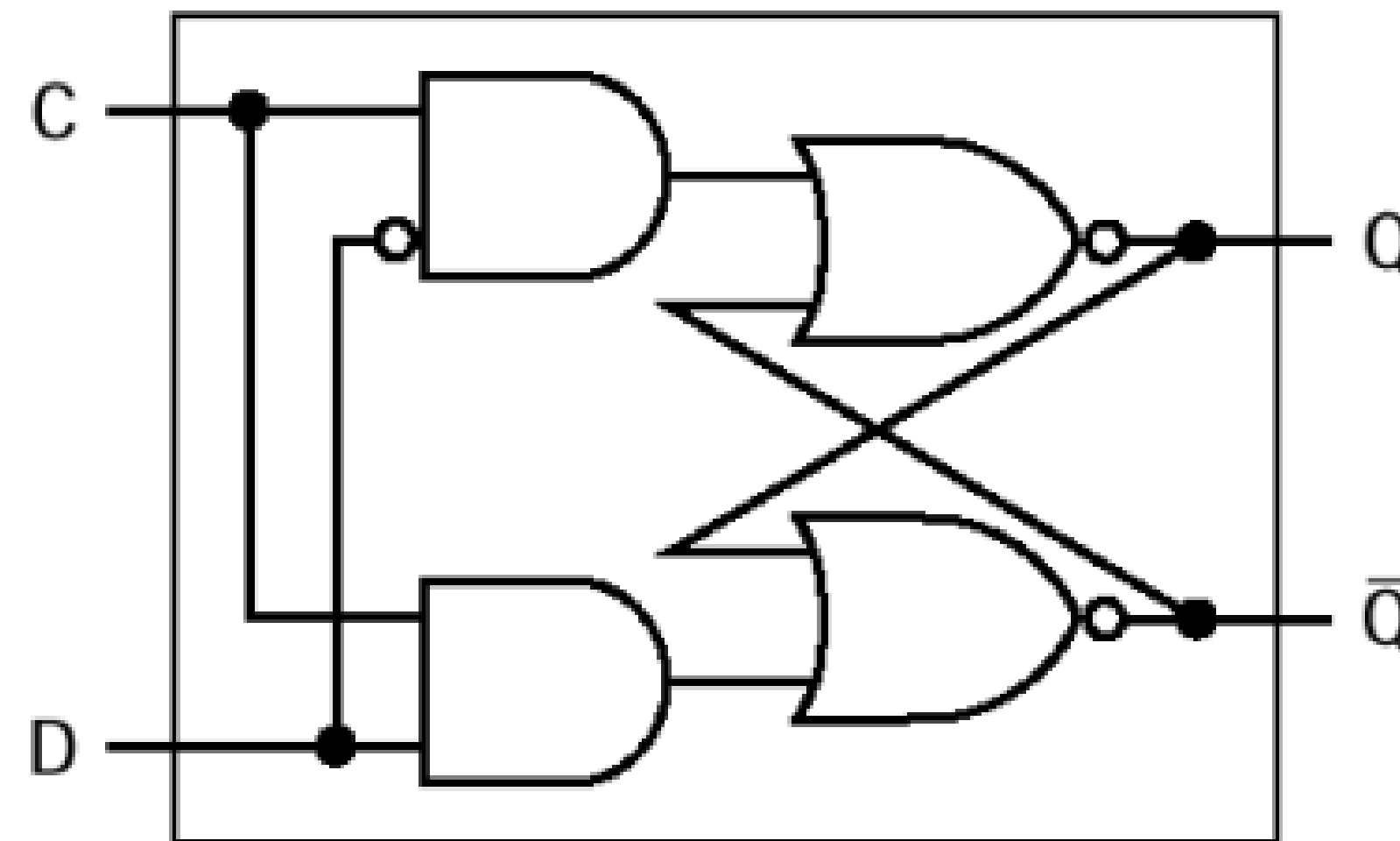
- Latch sincronizzato con il clock
- Il clock garantisce che il latch cambi stato solo in certi momenti

D=1 corrisponde al *setting*

▪ S=1 e R=0

D=0 corrisponde al *resetting*

▪ S=0 e R=1

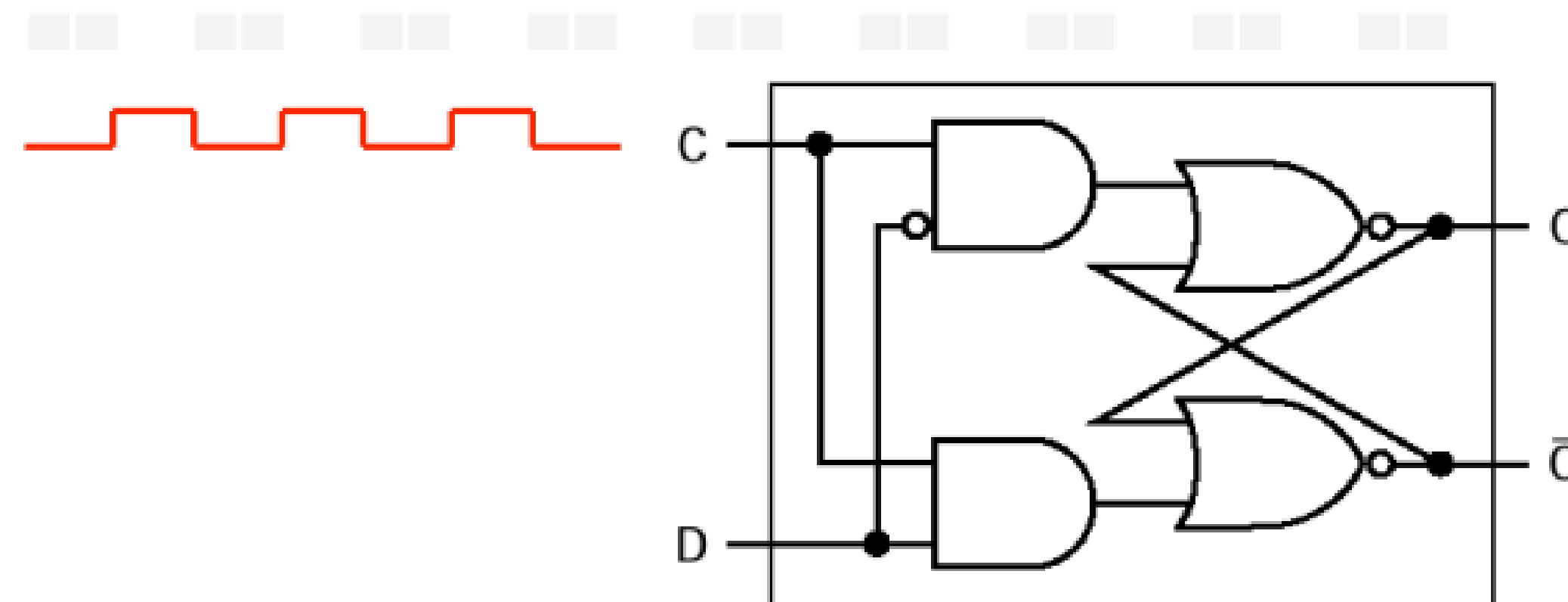


D LATCH

Quando il **clock è deasserted** non viene memorizzato nessuna valore:

- $S=0$ e $R=0$ (viene mantenuto il valore precedentemente memorizzato)

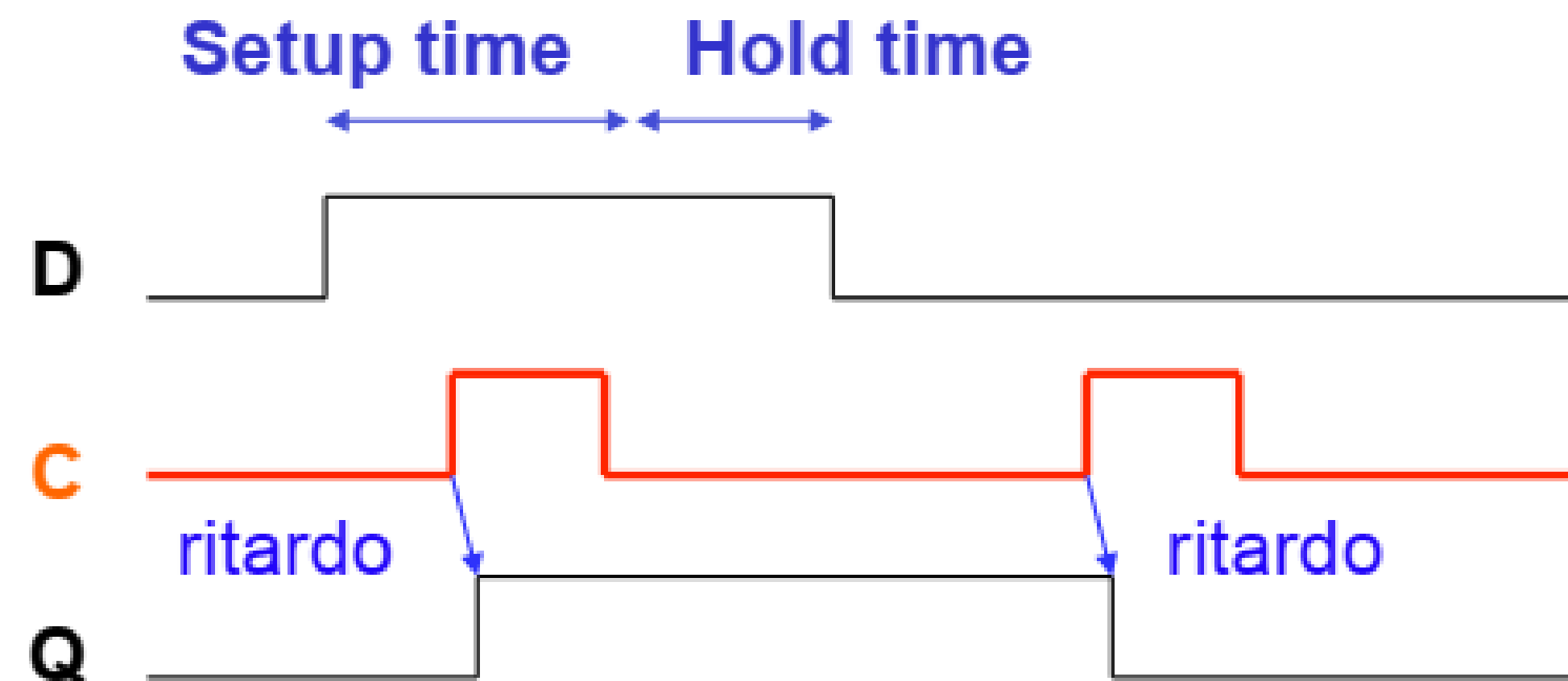
Quando il **clock è asserted** viene memorizzato un valore (in funzione del valore di D)



D LATCH

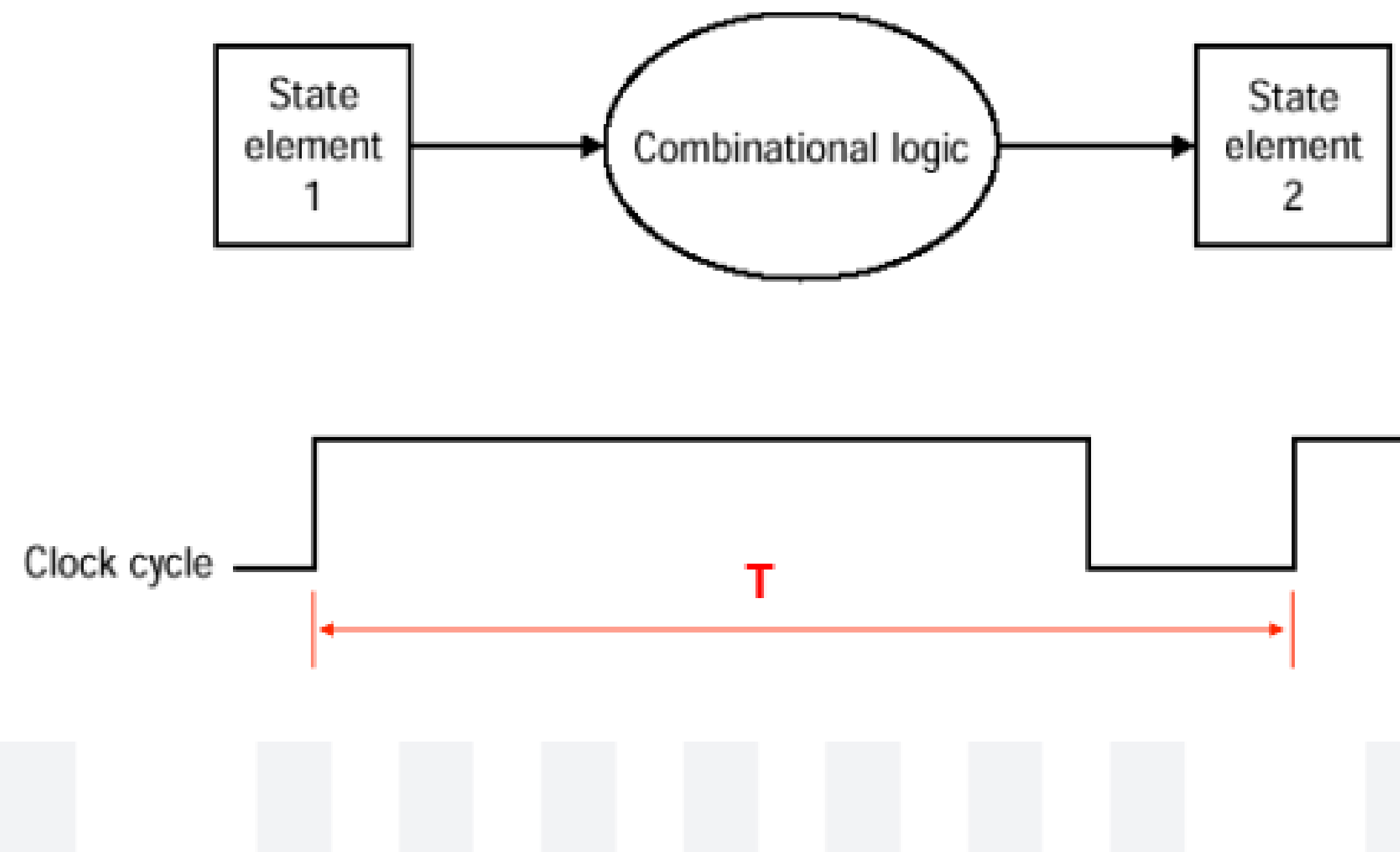
Il segnale D, ottenuto come output di un circuito combinatorio deve:

- essere già **stabile** quando C diventa asserted
- rimanere **stabile** per tutta la durata del livello alto di C (Setup time)
- rimanere **stabile** per un altro periodo di tempo per evitare malfunzionamenti (Hold time)



D LATCH

Il periodo di clock T deve essere scelto abbastanza lungo affinché l'output del circuito combinatorio si stabilizzi.



D LATCH

Il D-latch è caratterizzato dal seguente comportamento:

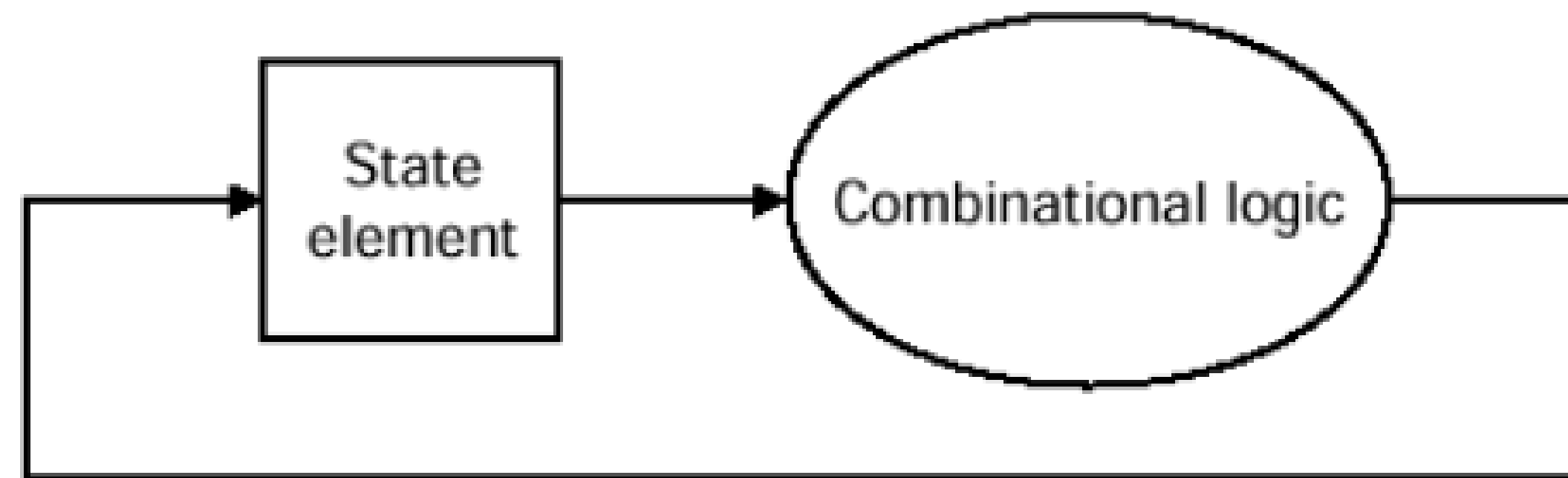
- durante l'intervallo alto del clock il valore del segnale di ingresso D viene memorizzato nel latch
- il valore di D si propaga quasi immediatamente all'uscita Q
- anche le eventuali variazioni di D si propagano quasi immediatamente, con il risultato che Q può variare più volte durante l'intervallo alto del clock
- solo quando il clock torna a zero Q si stabilizza
- durante l'intervallo basso del clock il latch non memorizza

trasparenza del latch

D LATCH: INPUT/OUTPUT

Supponiamo che l'elemento di memoria debba essere usato sia come **input** che come **output** durante lo stesso ciclo di clock.

Funzionerebbe il D Latch?



Materiale per la lezione

- Patterson & Hennessy, Appendice B
- Patterson & Hennessy, §4.2

Prossima lezione: 09 aprile, h.9:00, aula 4C