**Esercizi Propedeutici**

*Luglio 2025*

1. Il modulo qui di seguito riportato realizza una cella di memoria. Se ne analizzi il funzionamento sia in forma analitica che attraverso opportune simulazioni fino a giungere alla sua tabella di eccitazione rappresentata nella forma “più inclusiva” possibile (ovvero che evidenzi TUTTE quelle combinazioni degli ingressi che inducono una certa transizione.

module UUT(a,b,c,res,z);

input a,b,c,res;

output z;

wire y1,y2,y1r,y2r;

assign y1=(y1r&(a|b|c|y2r))|(y2r&!c&(a^b));

assign y2=y1^c;

assign y1r=y1&!res;

assign y2r=y2&!res;

assign z=y1;

endmodule

1. Successivamente, impiegando il suddetto dispositivo, si realizzi una macchina sincrona che rilevando su un bus di ingresso dei valori binari a 2 bit, riconosca il presentarsi in ingresso della sequenza 00,01,11 alzando, quando questa si presentasse un bit in uscita per la durata di un ciclo di clock, per poi ritornare a zero.

Detta macchina venga quindi descritta in VerilogHDL **istanziando tante volte quante necessario** il dispositivo analizzato al passo precedente.

NOTA: Il candidato cerchi di sfruttare la versatilità del dispositivo realizzato per ottimizzare la logica di controllo dello stesso

NOTA: Le soluzioni del presente elaborato siano complete di svolgimento, codice VerilogHDL e diagrammi di simulazione.

Il testo sottomesso deve inoltre contenere la seguente dichiarazione firmata:  
“Dichiaro che l’elaborato qui presente è stato svolto da me medesimo in piena autonomia”.