

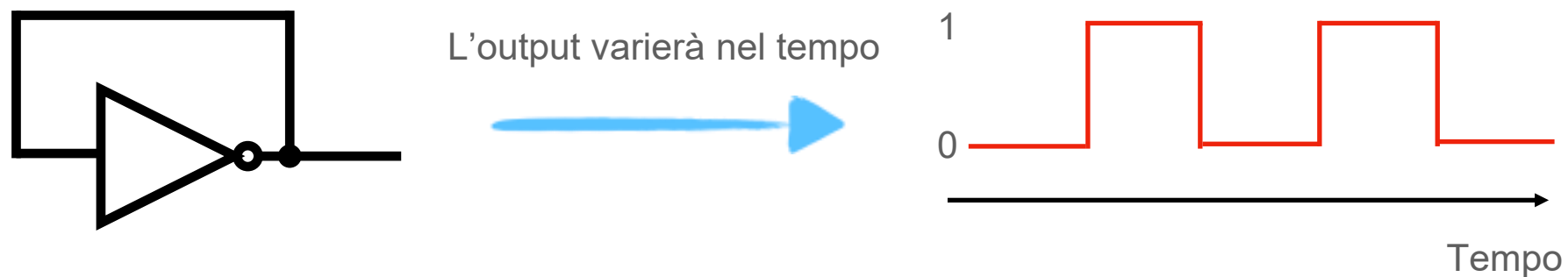
Architetture Degli Elaboratori

Lezione 3

Latches e Flip-flop

Rappresentare il tempo

Connettere l'output all'input



In realtà c'è un ritardo tra quando l'output viene prodotto in risposta a un dato input

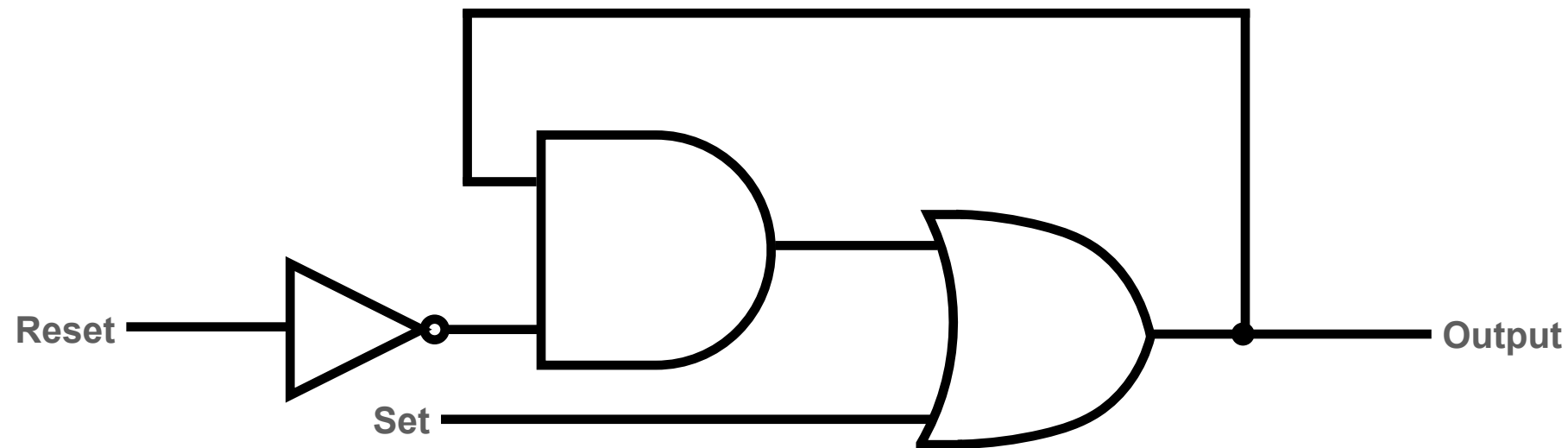
Possiamo utilizzare questo clock per dare una nozione di tempo ai nostri circuiti logici.

Circuiti con una nozione di tempo (**memoria**) sono detti **sequenziali**

Latches

Latch SR

Versione con AND e OR



Questo semplice circuito ci permette di immagazzinare un bit di informazione

L'input **set** ci permette di avere di impostare l'**output a 1**

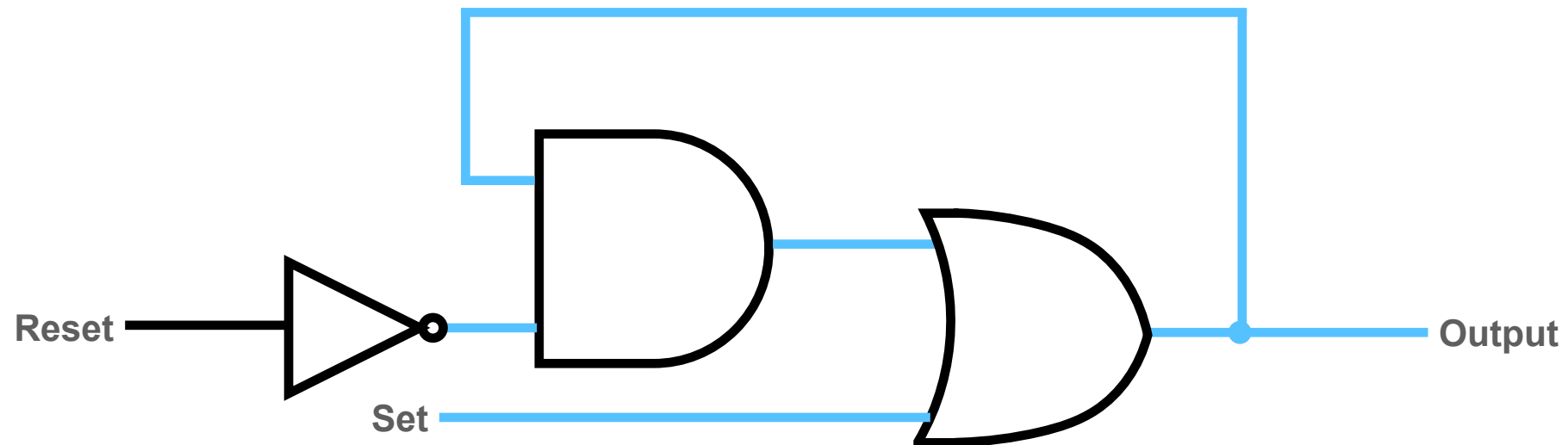
L'input **reset** ci permette di impostare l'**output a 0**

D: che valore ho in output con set=0 e reset=0?

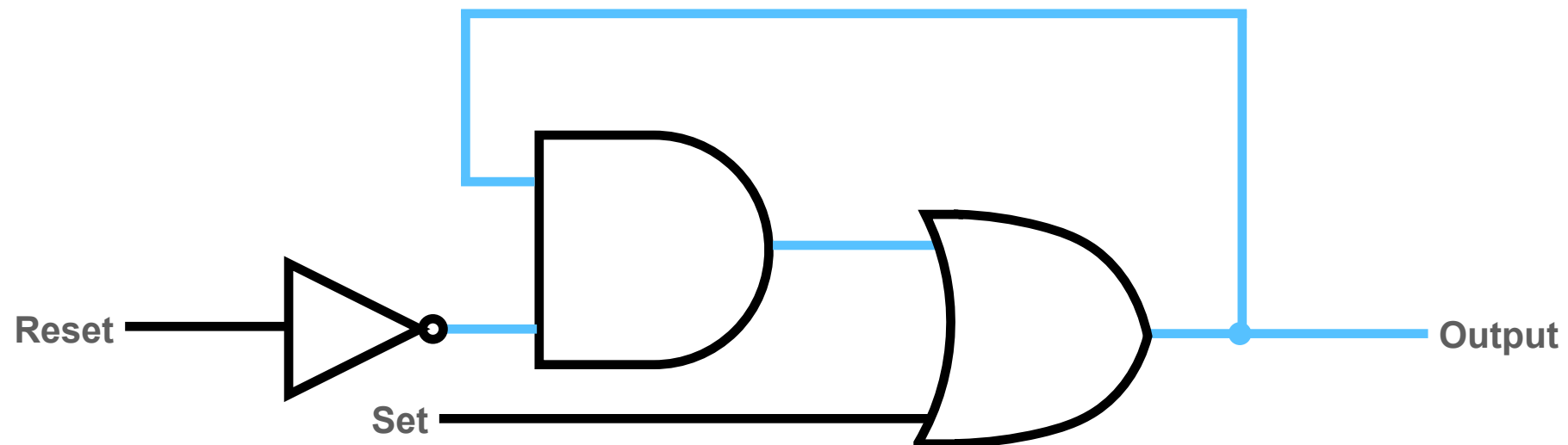
Entrambi a zero: output **mantiene ultimo input** → **memoria!**

Latch SR: set

Versione con AND e OR



Se **reset** è zero e **set** è uno allora l'output viene impostato a uno

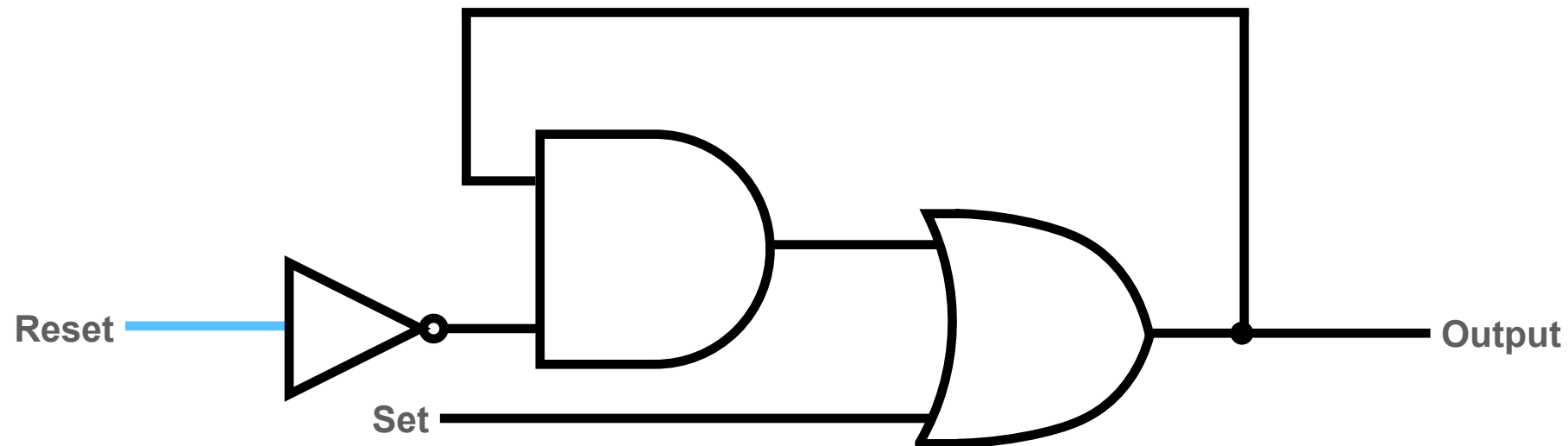


Ma l'output rimane uno anche quando **set** torna a zero!

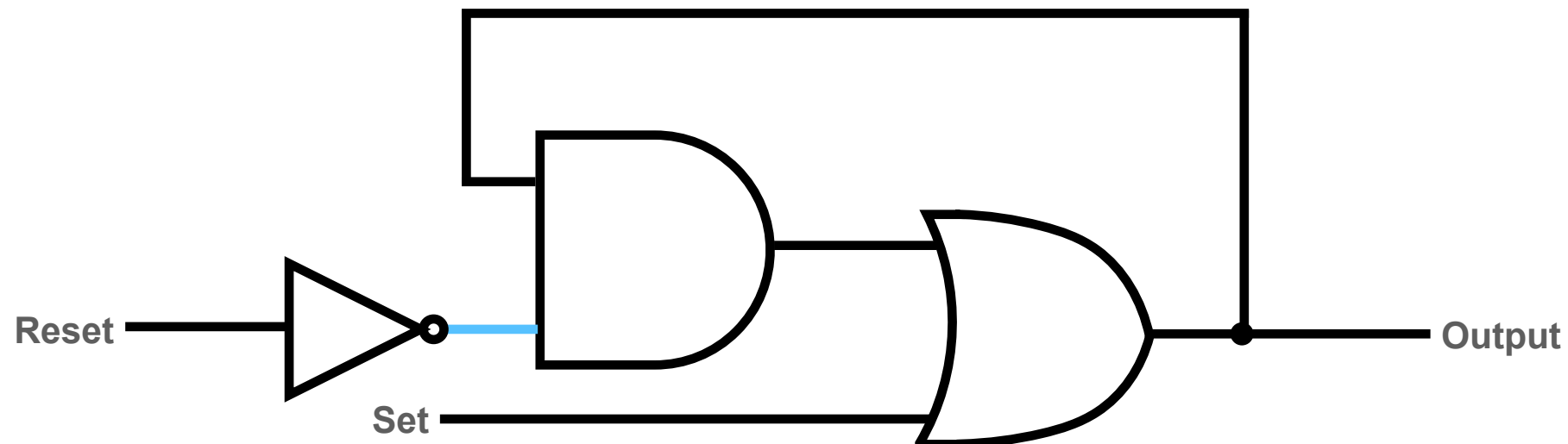
Latch SR: reset

Versione con AND e OR

D: nella slide precedente, che output ho con set=0, reset=0?



Quando **reset** è uno l'output diventa zero

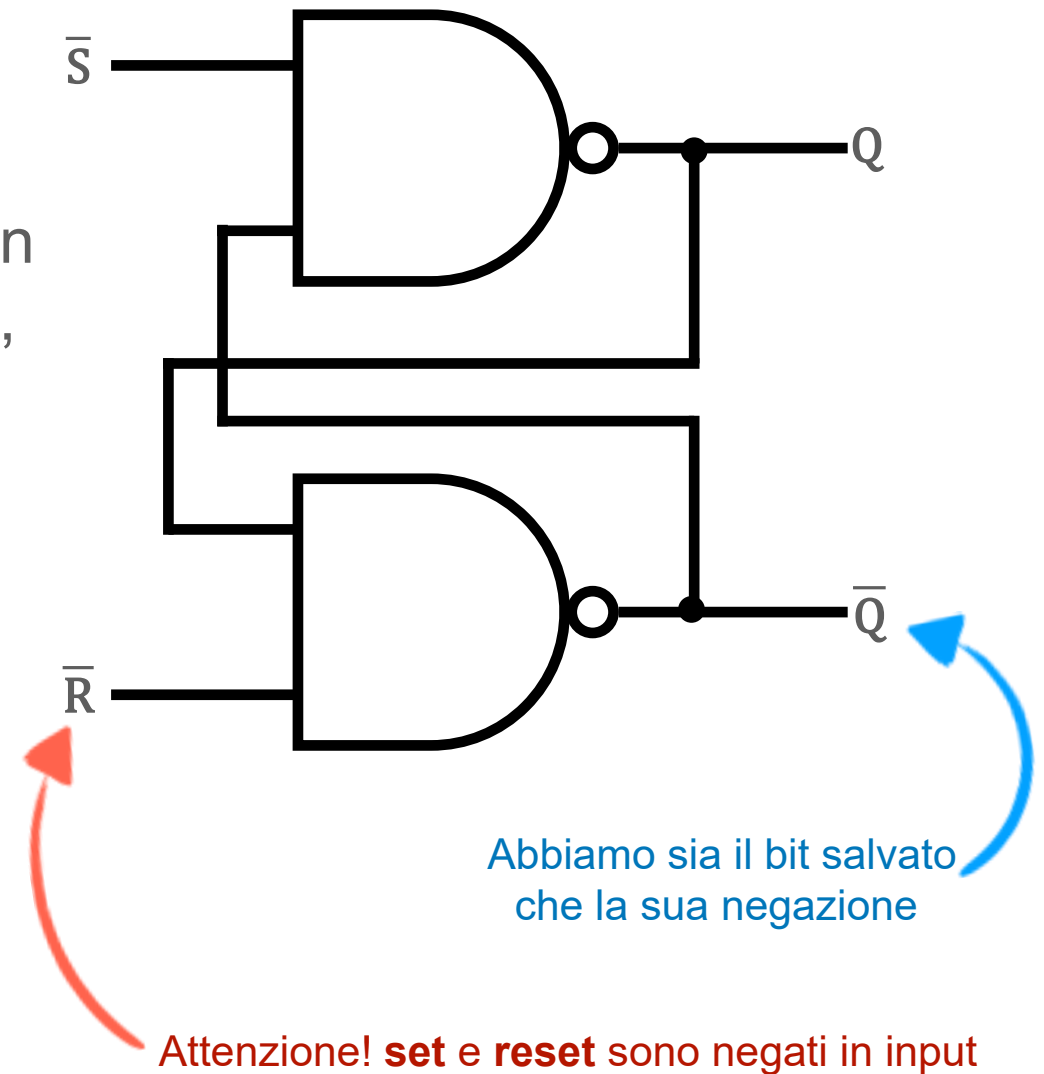


E rimane zero anche quando **reset** torna a zero

Latch SR

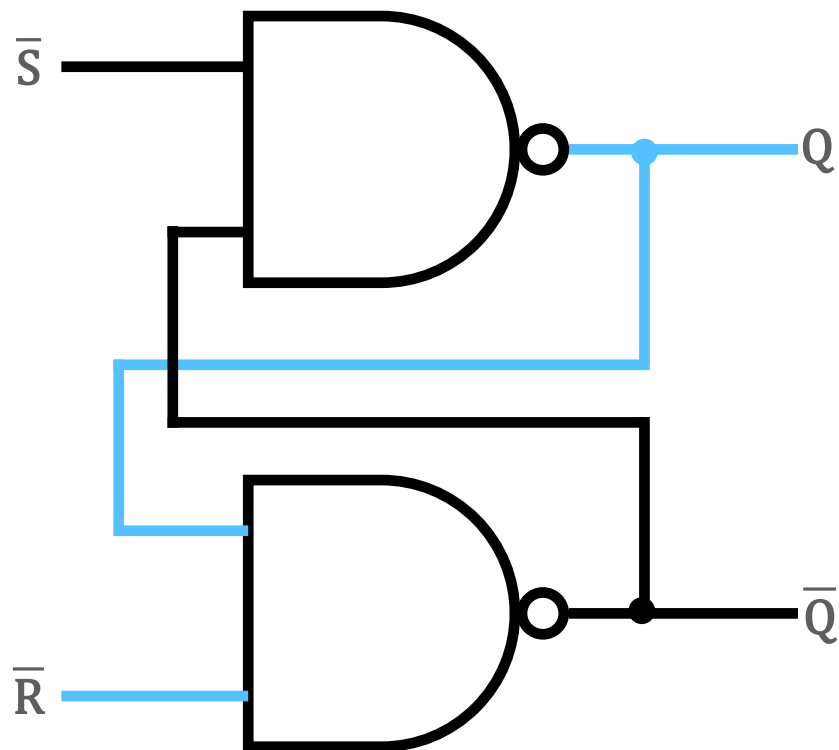
Versione con NAND

Quello che viene utilizzato non è solitamente un latch con **set** e **reset** realizzato con porte AND, OR e NOT, ma si possono utilizzare due porte NAND

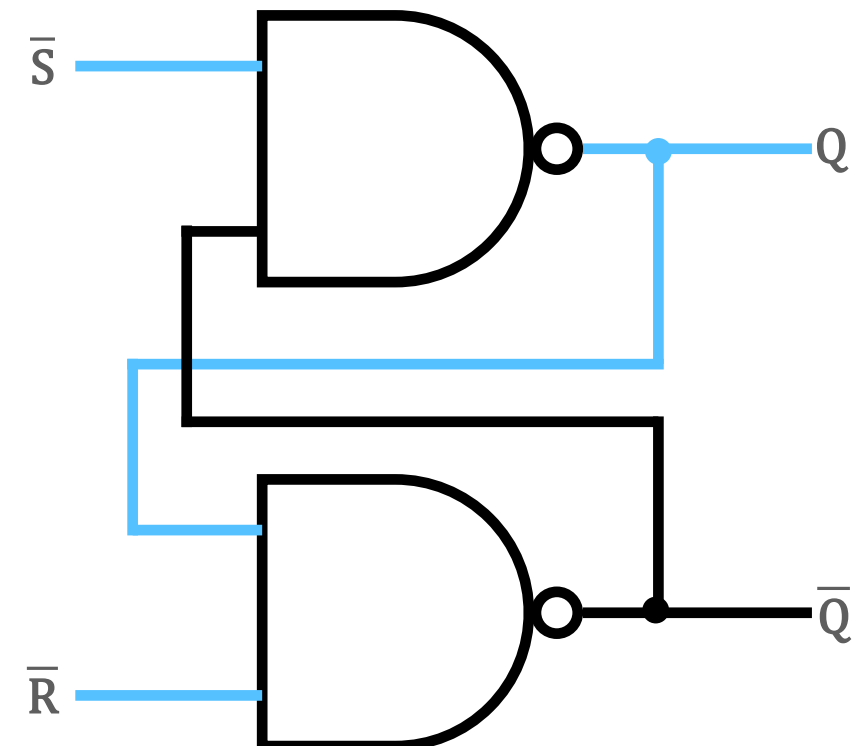


Latch SR: set

Versione con NAND



Se $\bar{S}$ è zero (i.e., vogliamo impostare il bit salvato a uno), allora l'output diventa uno (e il suo negato zero)

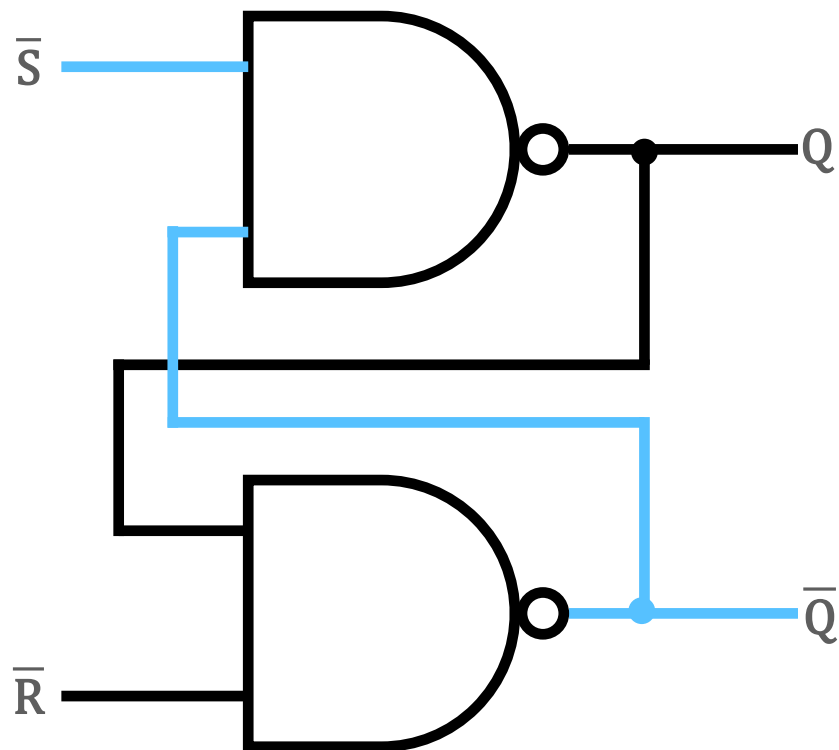


Il bit di output rimane uno anche quando $\bar{S}$ torna a uno

Latch SR: reset

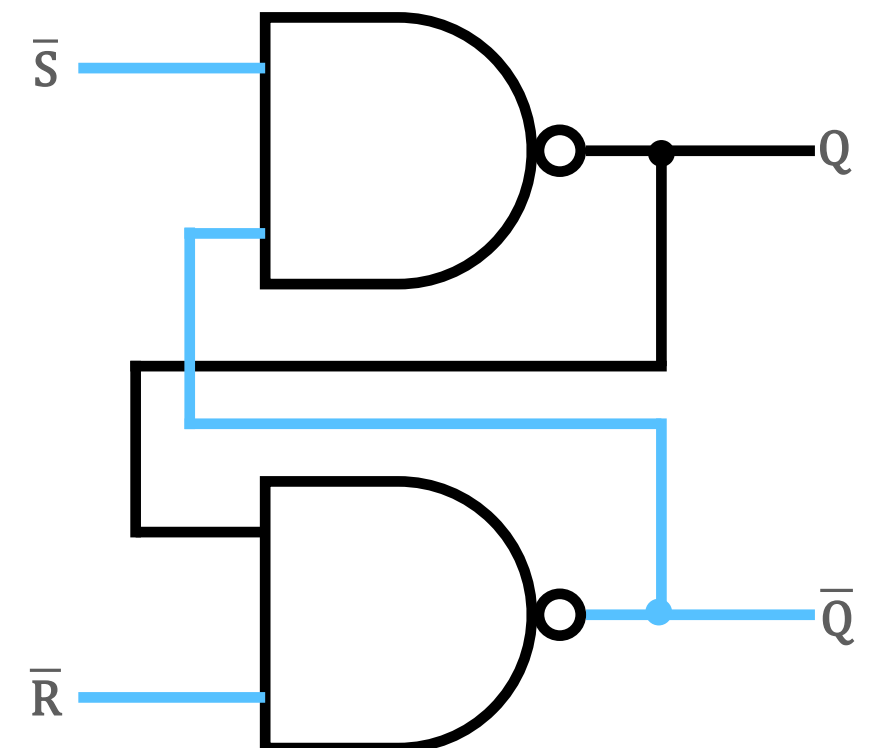
D: quante di queste mi servono per salvare 1GB?

Versione con NAND



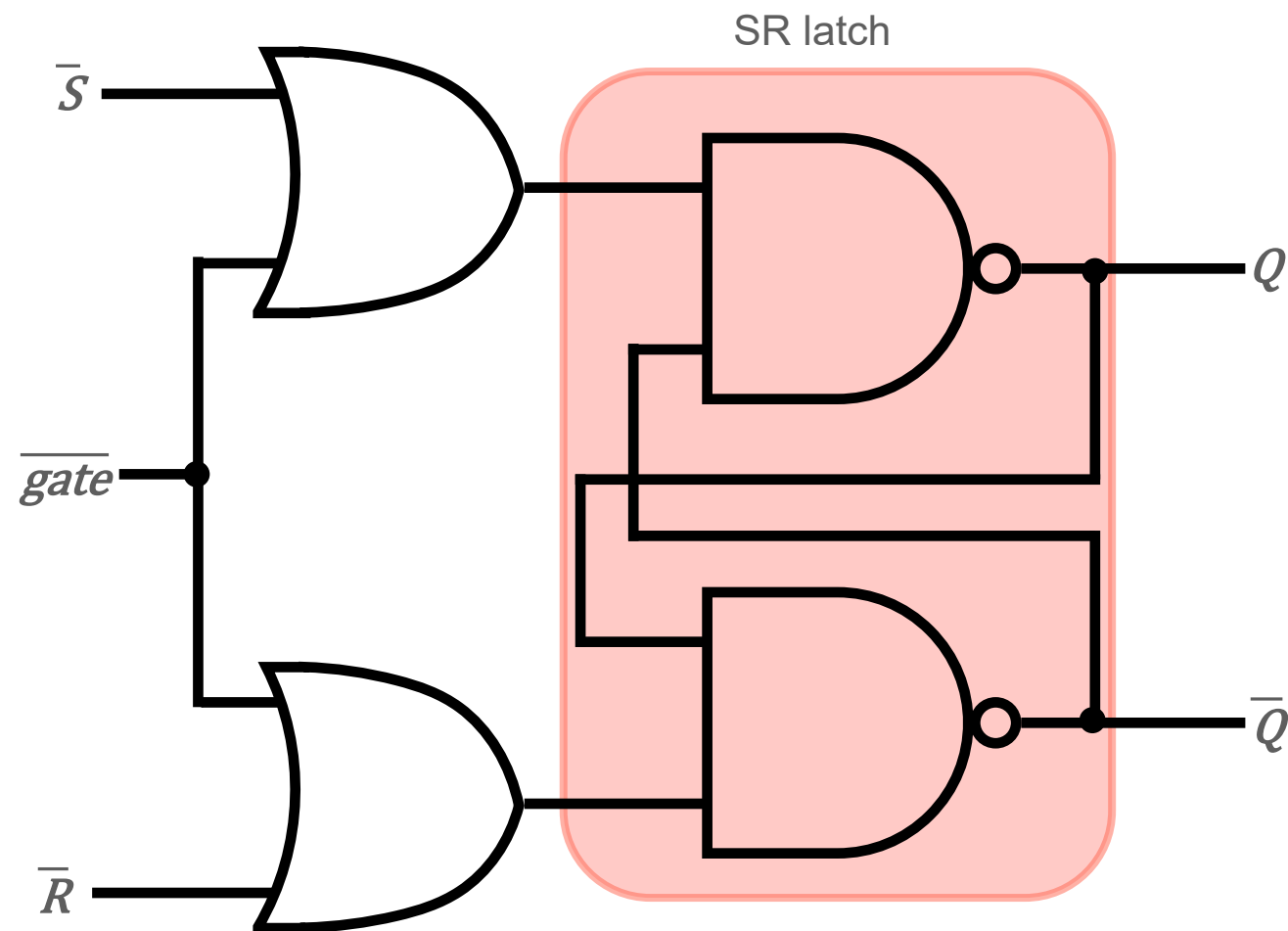
Se $\bar{R}$ è zero (i.e., vogliamo impostare il bit salvato a zero), allora l'output diventa zero (e il suo negato uno)

Il bit di output rimane zero anche quando $\bar{R}$ torna a uno



Gated SR Latch

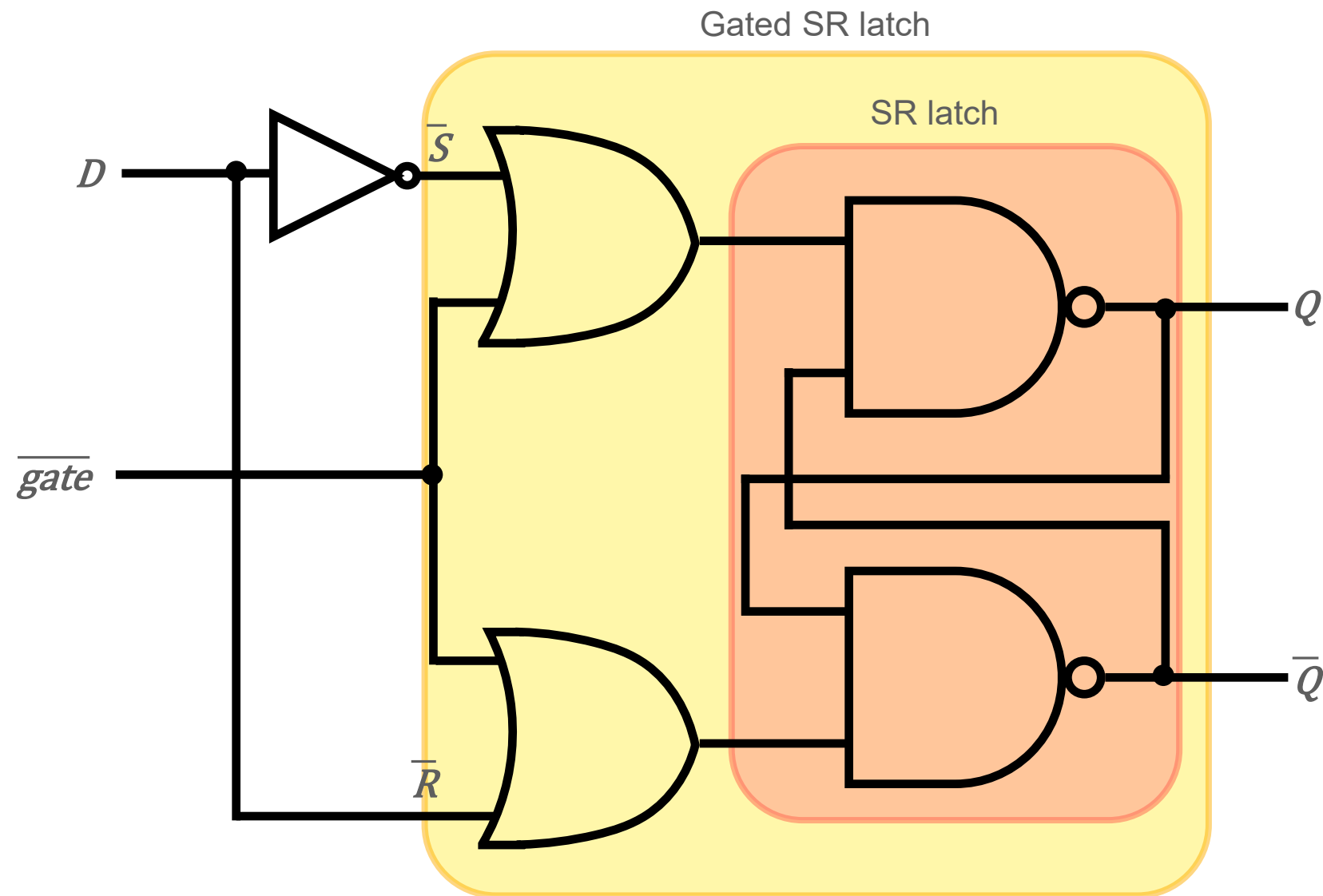
Controllare quando avviene la modifica



L'aggiunta di due porte OR fa in modo che la modifica del valore salvato sia possibile solo quando $\overline{gate}$ è a zero

Gated D Latch

Singolo input



Collegando entrambi gli input in modo che esattamente uno solo sia negato abbiamo che quando $\overline{gate}$ è a zero viene salvato nel gated D latch il valore attualmente nell'input **D**

Flip-Flop

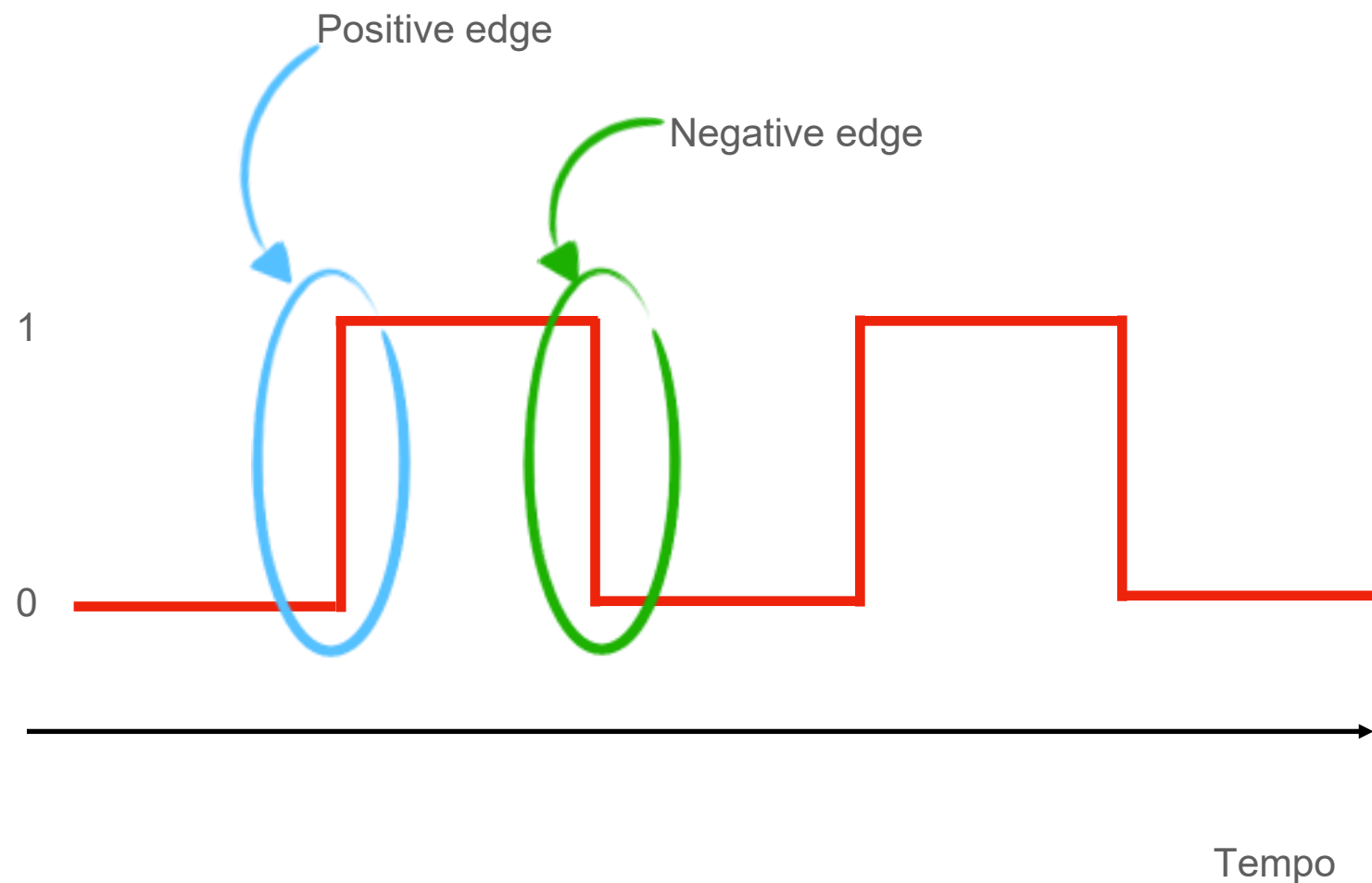
Edge-triggered latches

I flip-flop

- I D latches salvano il valore presente nell'input **D** quando il valore di *gate* è zero (**level triggered**)
- Se il valore di **D** cambia mentre lo stiamo salvando cambia anche quello che salviamo
- Però vorremmo minimizzare il **tempo di hold** (quanto a lungo D deve restare valido)
- Per questo utilizzeremo il concetto di “**edge triggered latches**”

Positive e Negative Edges

Possiamo limitare la lettura a quando il valore varia da zero a uno (positive edge-triggered) o da uno a zero (negative edge-triggered)



D Flip-flop

Queste due parti servono a fare il modo
che l'SR latch dopo di loro si
attivi solamente quando il valore in **clock**
passa da 0 a 1

Parte che effettivamente
"salva" l'informazione

clock

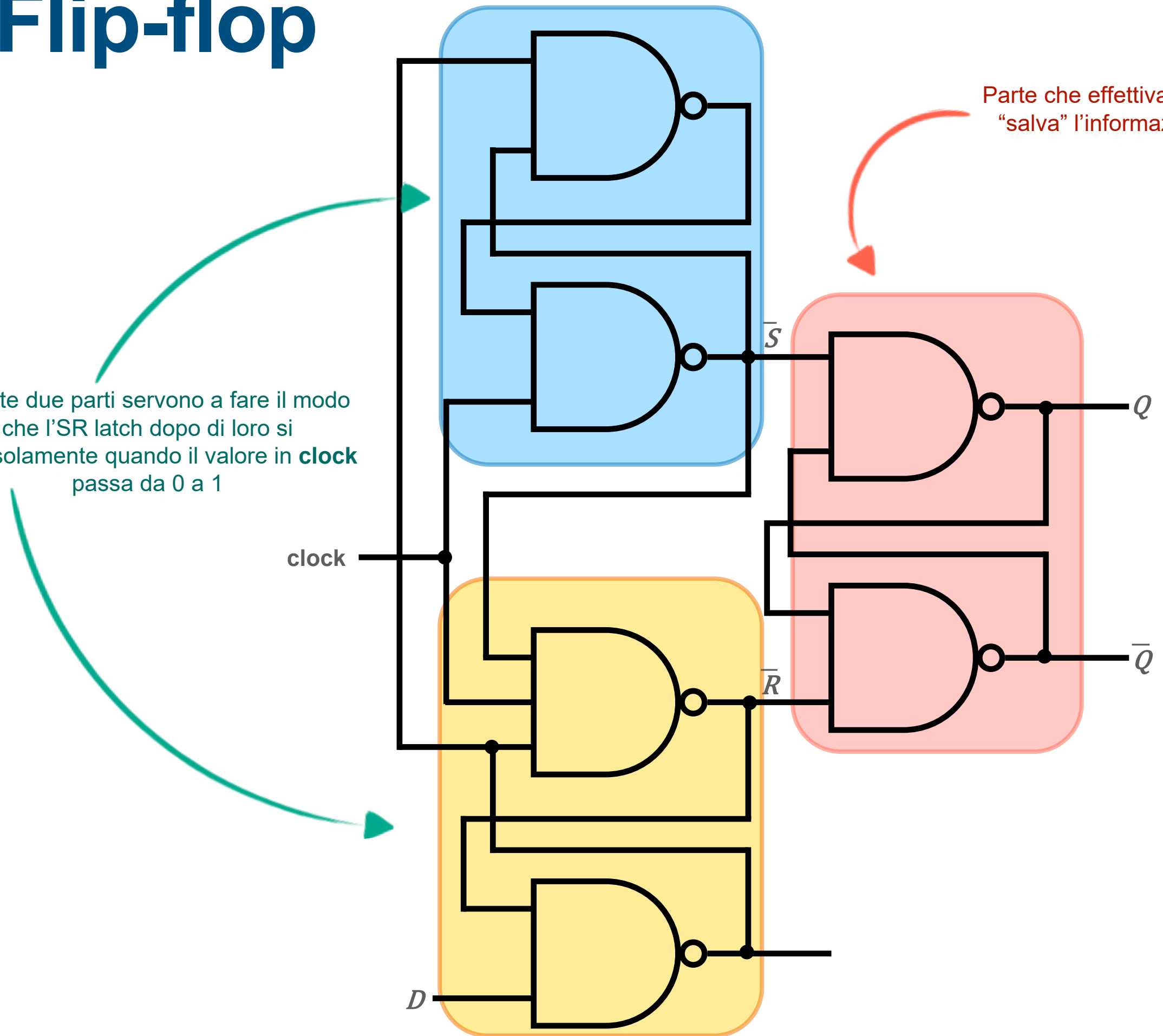
D

$\bar{S}$

$\bar{R}$

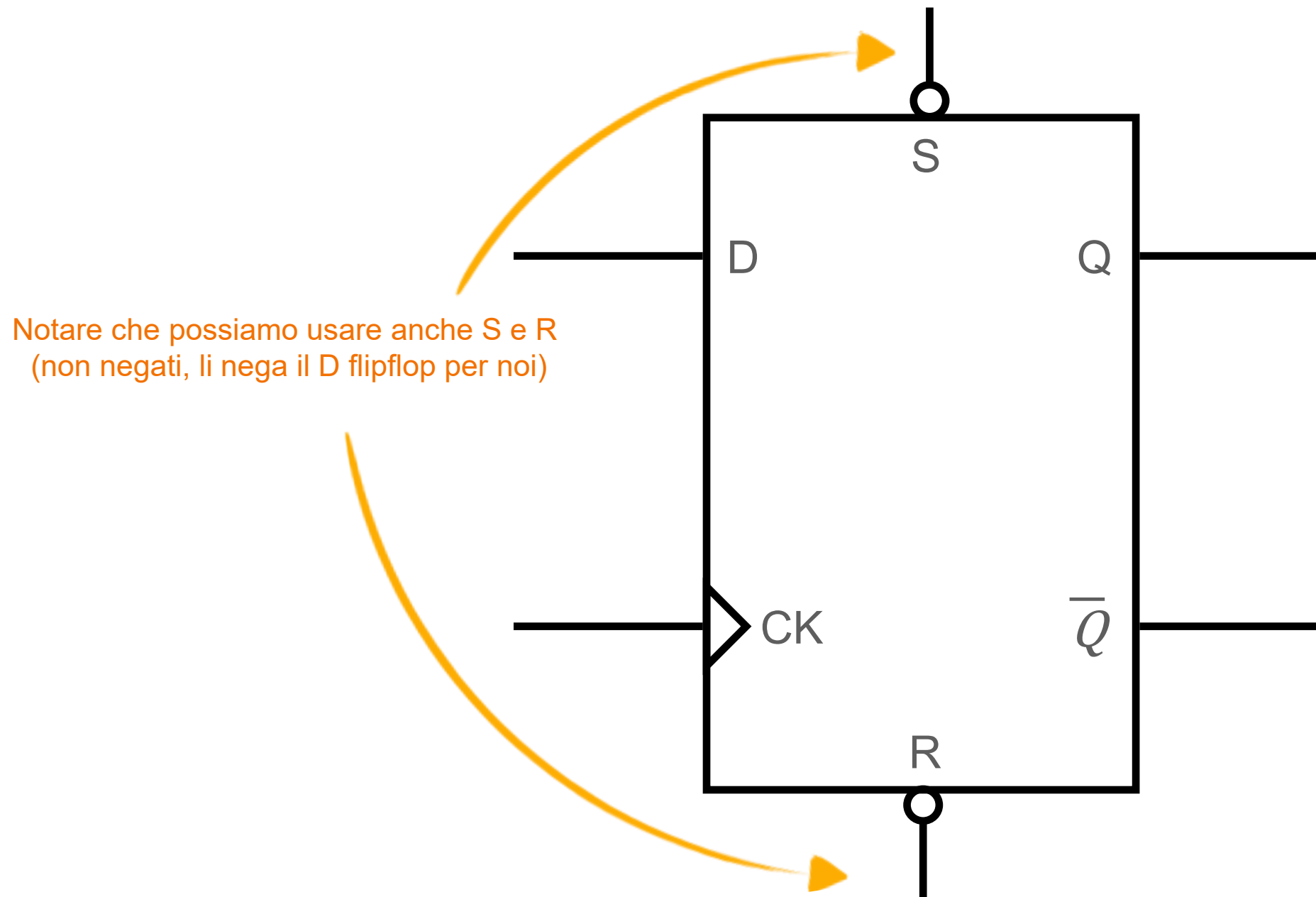
Q

$\bar{Q}$



D Flip-flop

Possiamo ora “impacchettare” il D flip-flop e usarlo come “blocco” per costruire le nostre memorie. Di base non è gated ma basta aggiungere enable



Cosa abbiamo ottenuto

Memorizzazione, controllo e sincronia

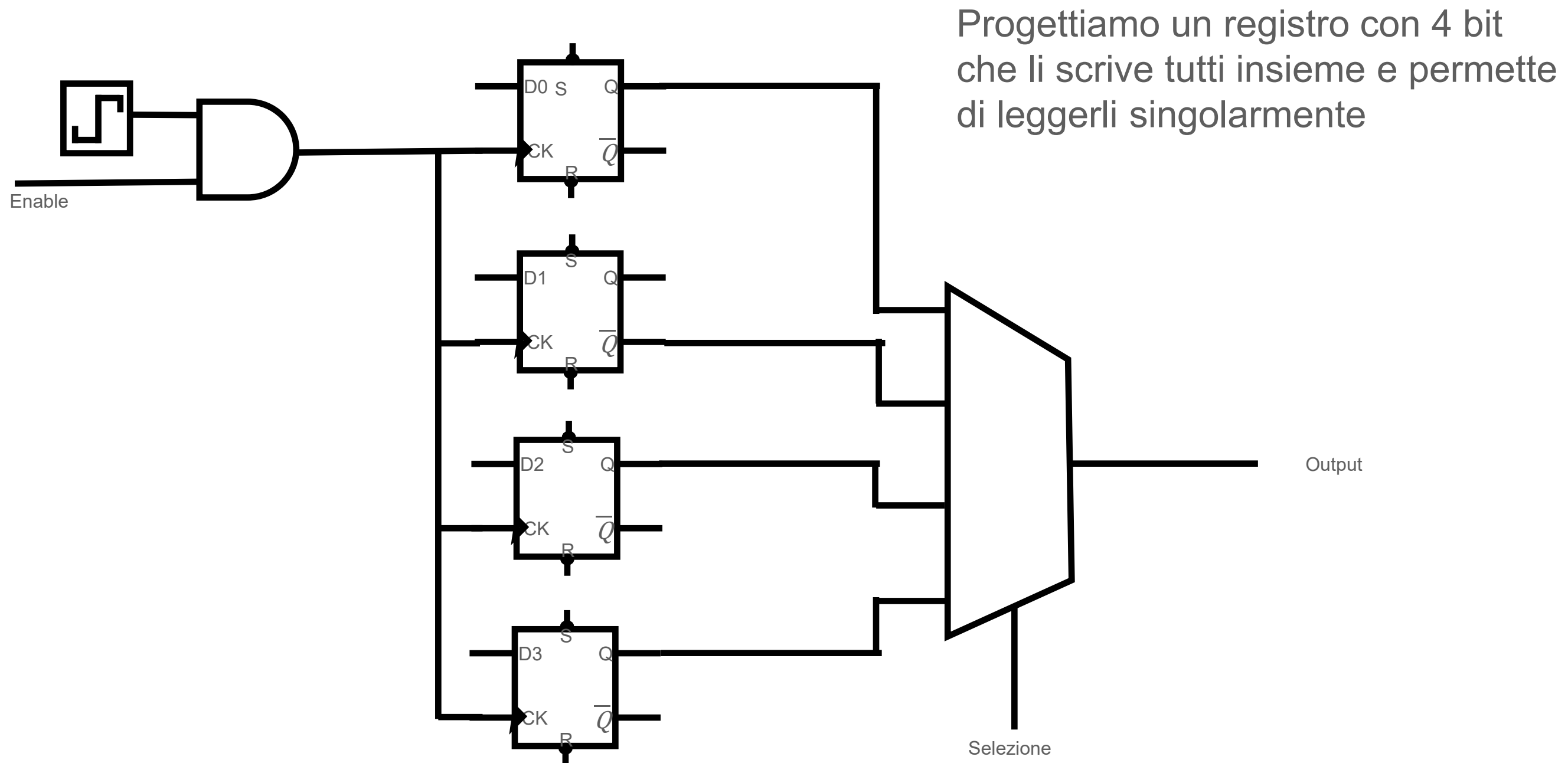
Circuito combinatorio: nessuna memoria. Appena cambia un input cambia l'output. Nessuna dipendenza da valori precedenti.

Latch S-R. Memorizza l'ultimo segnale pari a 1. Richiede controllo costante su S e R: mai entrambi a 1, S sempre a 0 se voglio salvare 0, R sempre a 0 se voglio salvare 1.

Gated D latch. Memorizza D quando gate è aperto. Richiede controllo su D per tutto il tempo in cui il gate è aperto.

Gated D Flip-flop. Memorizza D quando segnale di controllo cambia. Richiede controllo su D solo (1) durante lo switch del clock (hold breve) e (2) con enable=1. Facile da sincronizzare con altri componenti.

Prototipo di una memoria



Esercizi

Per prendere la mano

- Si progetti un circuito che, utilizzando dei gated D Latch, sia in grado di memorizzare due bit distinti. Deve inoltre essere possibile scegliere quale dei due bit mostrare come output del circuito completo