

CMOS può creare problemi di incrocio tra le linee di collegamento e quindi richiede topologie più complicate.

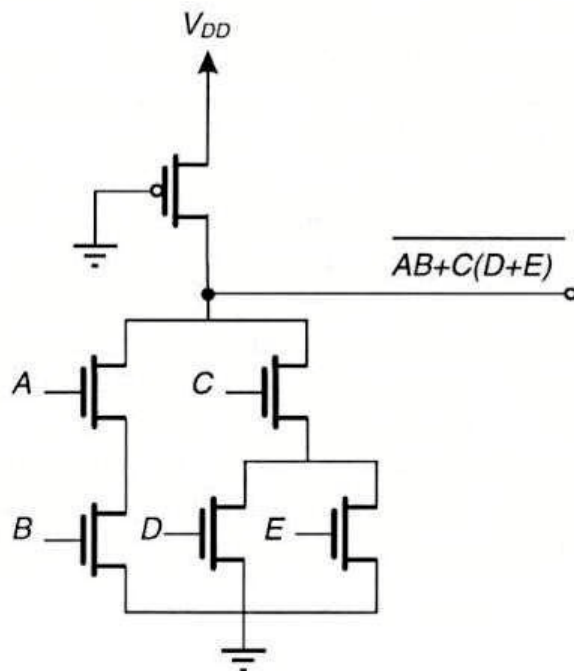


Figura 11.6 Porta logica complessa con struttura pseudo-NMOS

La capacità di ingresso per ognuno degli ingressi della porta è minore di quella dell'analogica struttura CMOS perché ogni ingresso vede solo la capacità di gate del NMOS; questo tuttavia non comporta direttamente un miglioramento del ritardo di propagazione, in quanto la corrente di carica della capacità è limitata dal valore di K_P , e quest'ultimo viene scelto più piccolo di K_{NEQ} per mantenere un valore di tensione V_{OL} non troppo elevato. Poiché la corrente di scarica della capacità di uscita è la differenza delle correnti I_N e I_P circolanti rispettivamente nella rete NMOS e nel PMOS, mentre quella di carica è la sola corrente I_P , la condizione di uguaglianza dei tempi di propagazione t_{PLH} e t_{PHL} comporta la condizione $I_N - I_P = I_P$ da cui deriva $I_P = I_N/2$. Ciò comporta che nelle strutture pseudo-NMOS sia le capacità di uscita che le correnti sono circa dimezzate rispetto a quelle delle strutture CMOS, e quindi i tempi di ritardo sono comparabili, per cui la differenza sta essenzialmente nell'occupazione di area e nella dissipazione di potenza.

11.3 Logiche con porte di trasmissione

Una notevole possibilità dei circuiti MOS è quella offerta dall'inserimento di transistori *in serie* ai terminali di ingresso e uscita, anziché *in parallelo*, come visto finora. Questi transistori inseriti in serie nel circuito e controllati dal terminale di gate agiscono come interruttori lungo la via del segnale, e pertanto vengono detti *porte di trasmissione*, in quanto, attraverso il comando sulla gate, permettono o non

il passaggio del segnale lungo il collegamento in cui sono inseriti. Il segnale di comando ϕ è detto *fase* perché in generale, come vedremo nelle logiche dinamiche, si utilizzano più segnali logici di controllo, che operano con la stessa frequenza e legami di fase (cioè di sfasamenti temporali) ben definiti tra loro.

In generale una porta di trasmissione è un circuito logico che presenta in uscita la variabile di ingresso se il segnale di controllo è alto, e non presenta il segnale se il controllo è basso, secondo la tabella della verità di Figura 11.7a. I transistori NMOS sono in effetti degli interruttori che realizzano bene lo stato di circuito aperto, e male quello di corto circuito, perché in quest'ultimo caso essi presentano una resistenza interna (tra drain e source) non trascurabile; tuttavia se l'uscita viene applicata alla gate di un successivo circuito MOS, questa non assorbe corrente, e quindi il segnale Y in uscita non viene attenuato dalla resistenza interna del MOS. Questa considerazione spiega anche perché non è possibile realizzare porte di trasmissione in tecnologia bipolare; in quest'ultimo caso, anche se i dispositivi presentano una resistenza più bassa in saturazione, la corrente richiesta dal carico (e cioè dalle basi dei transistori connessi in uscita) darebbe luogo a cadute di tensione nella resistenza R_{ON} , e quindi ad una perdita di livello logico per ogni porta posta in serie.

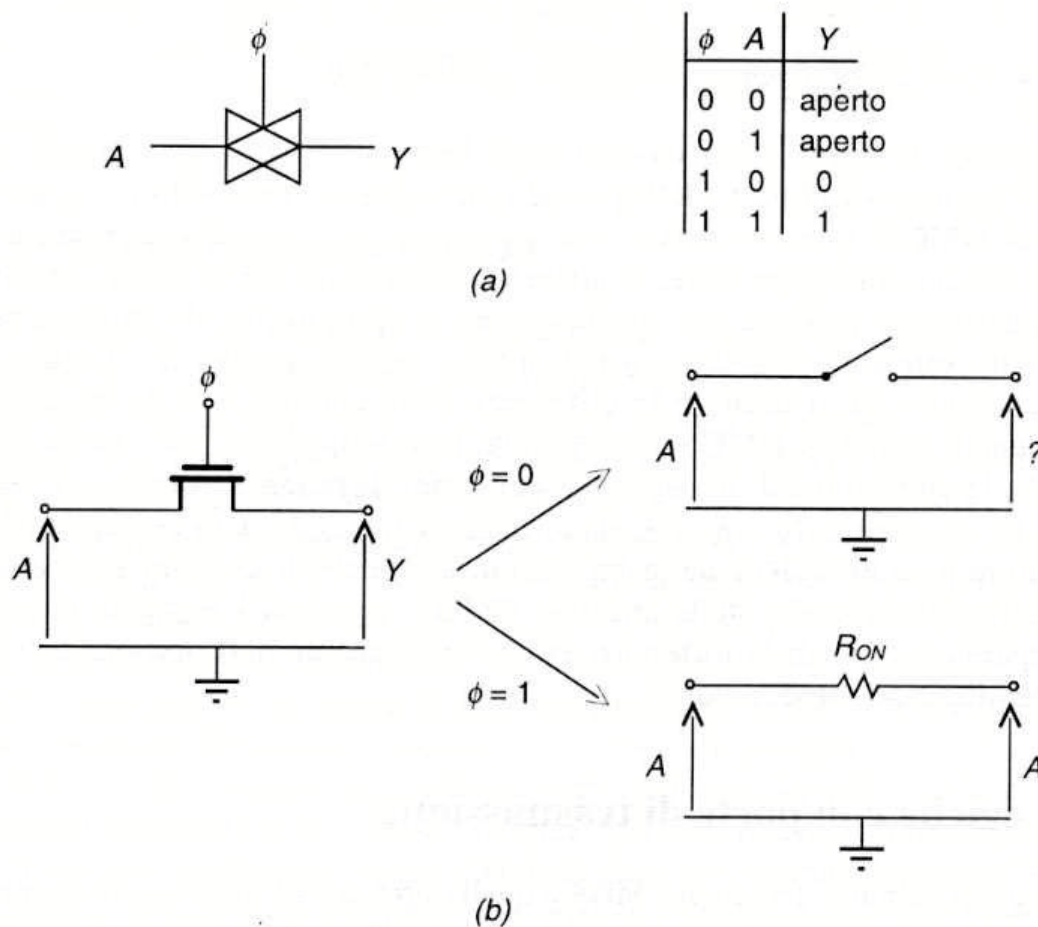


Figura 11.7 a) Simbolo logico di una porta di trasmissione; b) porta di trasmissione a NMOS

Con il segnale di fase al livello alto, il MOS agisce come porta bidirezionale, cioè trasmette il segnale in entrambe le direzioni, per cui è inessenziale definire quale è il source e quale il drain del transistor. In effetti, con riferimento alla Figura 11.7b, se il segnale di ingresso A è più grande di quello di uscita Y , la corrente passerà (nel transitorio) da A a Y e quindi il terminale connesso all'ingresso agirà in questo caso da drain e quello di uscita da source; viceversa, se A è ad un livello più basso di Y (come è il caso se $A = 0$, e Y , prima dell'apertura della porta, era al valore 1), il terminale connesso all'ingresso agirà da source e quello connesso all'uscita da drain.

Consideriamo ora il caso in cui l'ingresso sia al valore alto (V_{DD}) e l'uscita sia inizialmente al valore basso (ad esempio considerando la capacità di gate del MOS a cui è connessa la porta inizialmente scarica). Se il segnale di fase ϕ al livello alto è anch'esso al valore V_{DD} , la tensione di uscita non potrà raggiungere il valore V_{DD} , in quanto per $V_O = V_{DD} - V_T$ si avrà una tensione $V_{GS} = V_T$, e il transistor non conduce più. La funzione di trasferimento di questa porta è quindi quella di Figura 11.8 e l'uscita è inferiore all'ingresso di un valore pari alla tensione di soglia V_T . Quest'ultima è incrementata dell'effetto body dovuto alla tensione di source $V_S > 0$, per cui la perdita di tensione a regime corrisponde alla tensione di soglia:

$$V_T = V_{T0} + \gamma(\sqrt{\phi^* + V_{DD}} - \sqrt{\phi^*}) \quad (11.5)$$

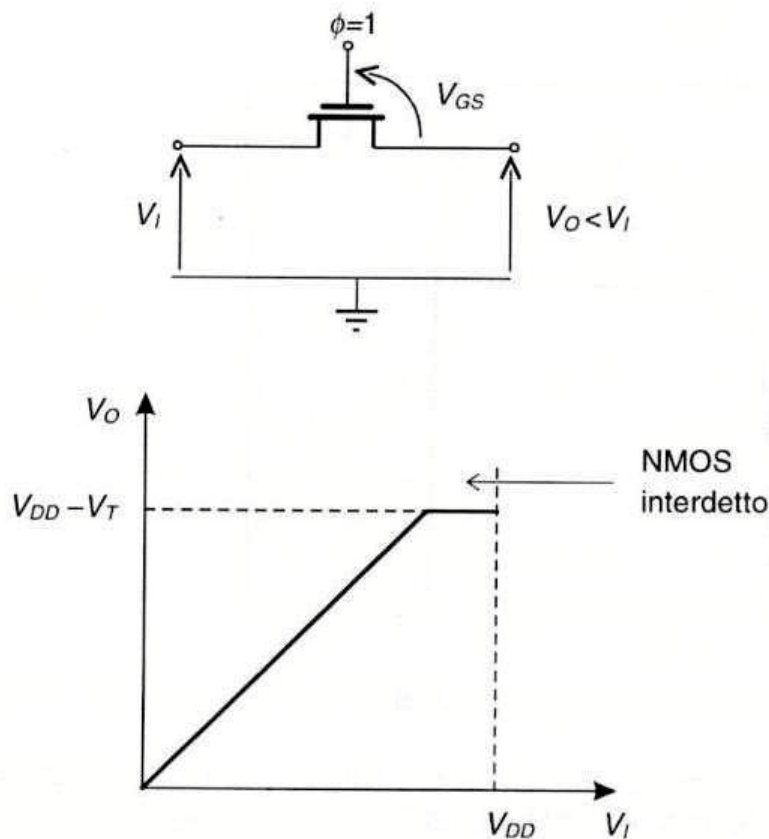


Figura 11.8 Funzione di trasferimento di una porta di trasmissione NMOS

La porta di trasmissione può essere considerata un circuito logico non rigenerativo, cioè un circuito che non ripristina i livelli logici, in quanto, come si vede dalla Figura 11.8, la funzione di trasferimento ha una caratteristica con pendenza unitaria.

Per le prestazioni dinamiche, la porta NMOS si comporta come un circuito RC con una resistenza R nonlineare in serie dovuta al NMOS, e una capacità in parallelo dovuta alla capacità di ingresso del circuito a valle e alla capacità source-substrato del NMOS (Figura 11.9). La porta presenta un tempo di propagazione maggiore nel trasmettere il livello logico alto, legato all'elevata resistenza nella trasmissione dei livelli logici alti (1 logico) in quanto il MOS va verso l'interdizione quando l'uscita cresce verso il valore $V_{DD} - V_T$, essa invece trasmette bene il livello logico basso (0 logico), in quanto per uscita V_O bassa la porta presenta la minima resistenza.

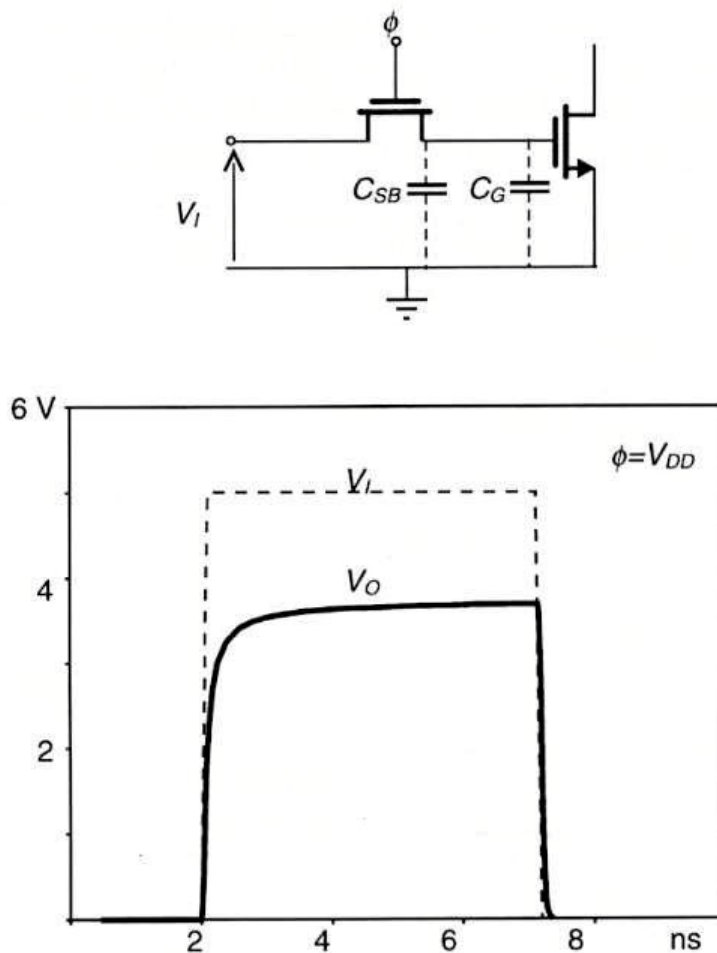


Figura 11.9 Tempi di propagazione della porta NMOS

La porta di trasmissione può essere realizzata anche con tecnologia CMOS, ponendo in antiparallelo un NMOS e un PMOS, pilotati rispettivamente dal segnale ϕ e da quello $\bar{\phi}$, secondo lo schema di Figura 11.10. In tal caso, poiché la tensione di pilotaggio del PMOS è data da $\bar{\phi} - V_T$, il PMOS trasmette bene i segnali logici alti,

in quanto in tal caso la tensione gate-source è la massima in modulo ($V_{GS} = -V_{DD}$), mentre il transistor NMOS come si è visto trasmette bene i livelli bassi. Quindi la funzione di trasferimento complessiva della porta CMOS è unitaria da 0 a V_{DD} , perché vi è almeno un MOS che conduce per qualsiasi segnale di ingresso, come si vede dalla funzione di trasferimento complessiva di Figura 11.10, ottenuta da quella di Figura 11.8 considerando che per il PMOS la limitazione si ha per tensioni $V_I < V_T$. La porta di trasmissione CMOS non ha quindi la perdita di V_T sulla tensione di uscita e si comporta come la porta ideale logica di Figura 11.7a; tuttavia richiede per il controllo sia il segnale ϕ che il suo negato.

Anche il comportamento dinamico della porta CMOS è migliore di quello della porta NMOS in quanto, essendovi sempre un transistor in conduzione nella regione di linearità, i tempi di risposta della rete RC equivalente sono rapidi sia per la trasmissione del livello alto che di quello basso.

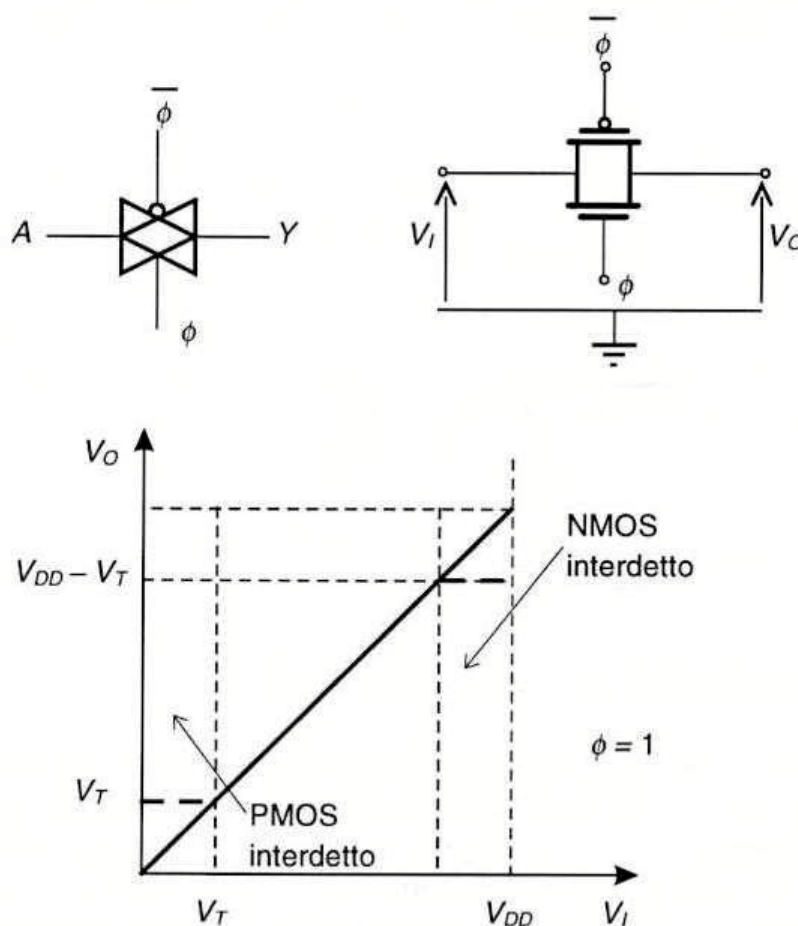


Figura 11.10 Porta di trasmissione CMOS

Le porte di trasmissione permettono una maggiore flessibilità nella realizzazione di funzioni logiche, in quanto le variabili logiche possono essere applicate, oltre che all'ingresso, anche al terminale di controllo; ciò permette in alcuni casi, come vedremo nel paragrafo seguente, di ottenere le funzioni logiche volute con reti

molto compatte. Tuttavia il progetto di circuiti logici con porte di trasmissione richiede particolare attenzione per i seguenti aspetti:

- le porte connesse ad una stessa uscita non possono essere contemporaneamente in conduzione con livelli logici in ingresso diversi, in quanto la tensione di uscita assumerebbe un livello intermedio e non correlato con nessuno degli ingressi;
- il ritardo di propagazione di più porte in serie sulla stessa linea corrisponde a quello di una rete a celle R_C in cascata, e quindi aumenta secondo il quadrato del numero di porte in serie e non linearmente con il numero delle porte, come nel caso di una connessione in serie di porte logiche standard.

Un ulteriore problema che complica la progettazione dei circuiti con porte di trasmissione è quello del disturbo introdotto in uscita dal segnale di fase. Per questi circuiti la porta di trasmissione è connessa in serie al percorso del segnale, e l'uscita è connessa ad un carico capacitivo, che corrisponde alla (o alle) gate dei MOS connessi in uscita.

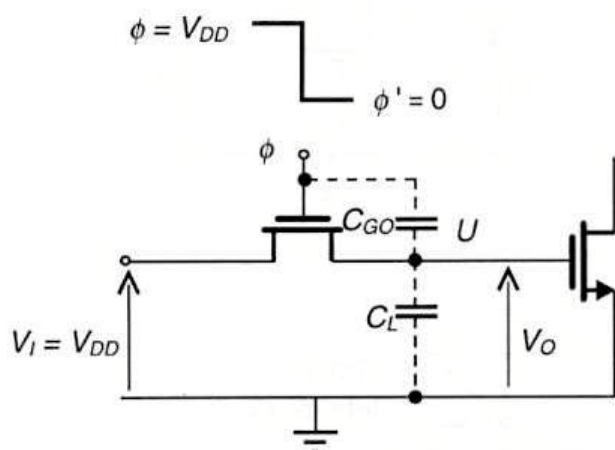


Figura 11.11 Disturbo introdotto dal segnale di fase sull'uscita

Quando la porta viene chiusa dal segnale di fase che passa dal livello logico alto a quello basso, la capacità tra il terminale di gate e quello di uscita (source o drain), che indicheremo con C_{GO} , trasmette parte della variazione del segnale di fase sul terminale di uscita, secondo il partitore capacitivo indicato in Figura 11.11. Indicando con l'apice ' i valori dopo la transizione $1 \rightarrow 0$, e considerando che il MOS è al limite dell'interdizione per $\phi = V_{DD}$ (in quanto $V_o = V_{DD} - V_T$), si può scrivere la carica sul nodo U di uscita prima della transizione come:

$$Q_U = C_L V_o + (-C_{GO} V_T) \quad (11.6)$$

Subito dopo la transizione della fase ϕ da V_{DD} a 0 , la carica Q'_U non è variata rispetto a Q_U , e dall'uguaglianza della carica si ha:

$$C_L V_O + (-C_{GO} V_T) = (C_L + C_{GO}) V_O' \Rightarrow V_O' = \frac{C_L V_O - C_{GO} V_T}{C_L + C_{GO}} \quad (11.7)$$

Ricordando che $V_O = V_{DD} - V_T$, e sostituendo nella (11.7) si ha:

$$V_O' = \frac{C_L}{C_L + C_{GO}} V_{DD} - V_T \quad (11.8)$$

e il salto di tensione trasmesso all'uscita sul valore V_O sarà dato da:

$$\Delta V_O = V_O' - V_O = \frac{C_L}{C_L + C_{GO}} V_{DD} - V_T - (V_{DD} - V_T) = -V_{DD} \left(\frac{C_{GO}}{C_L + C_{GO}} \right) \quad (11.9)$$

Per ridurre questo disturbo introdotto sull'uscita dal segnale di fase occorre ridurre quanto possibile il valore della capacità C_{GO} (ossia le capacità gate-drain e gate-source) rispetto a quella di uscita (tipicamente la capacità C_G di un NMOS). Questo richiede un dimensionamento del MOS utilizzato come porta ad area minima, in particolare con un valore minimo di W in modo da ridurre i valori di C_{GSO} e C_{GDO} .

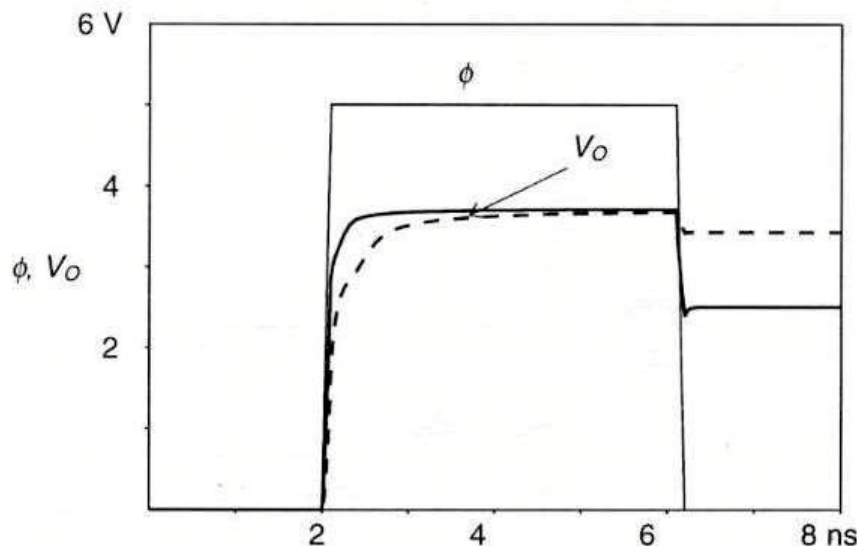


Figura 11.12 Andamento della tensione in uscita della porta di trasmissione con NMOS di Figura 11, per un rapporto $W/L = 8/1$ (linea continua) e $W/L = 2/1$ (linea tratteggiata)

Tuttavia la scelta di un dimensionamento ad area minima penalizza il tempo di carica della capacità di uscita quando la porta viene aperta e vi è un livello logico alto in ingresso; ad esempio in Figura 11.12 sono riportati gli andamenti dell'uscita V_O , in corrispondenza di un ingresso $V_I = V_{DD}$, durante e dopo l'applicazione del

segnale di fase ϕ , per un dimensionamento del NMOS con due diversi rapporti W/L . Con un valore minimo di W/L il salto di tensione ΔV_O sull'uscita è ridotto, ma il tempo di carica della capacità in uscita è relativamente grande. Se si sceglie un rapporto W/L più grande, la carica della capacità è più rapida, ma il salto di tensione ΔV_O è più grande, e può portare il MOS di uscita in interdizione se $V_{DD} - V_T + \Delta V_O < V_T$. Il dimensionamento delle porte di trasmissione va quindi effettuato tenendo conto di queste esigenze contrastanti.

11.3.1 Circuiti combinatori con porte di trasmissione

L'applicazione più efficace delle porte di trasmissione è nella realizzazione di circuiti multiplexer e demultiplexer, per i quali la funzione di interruttore serie esplicita dalle porte è direttamente implementabile nella funzione di selezione delle linee dati voluta.

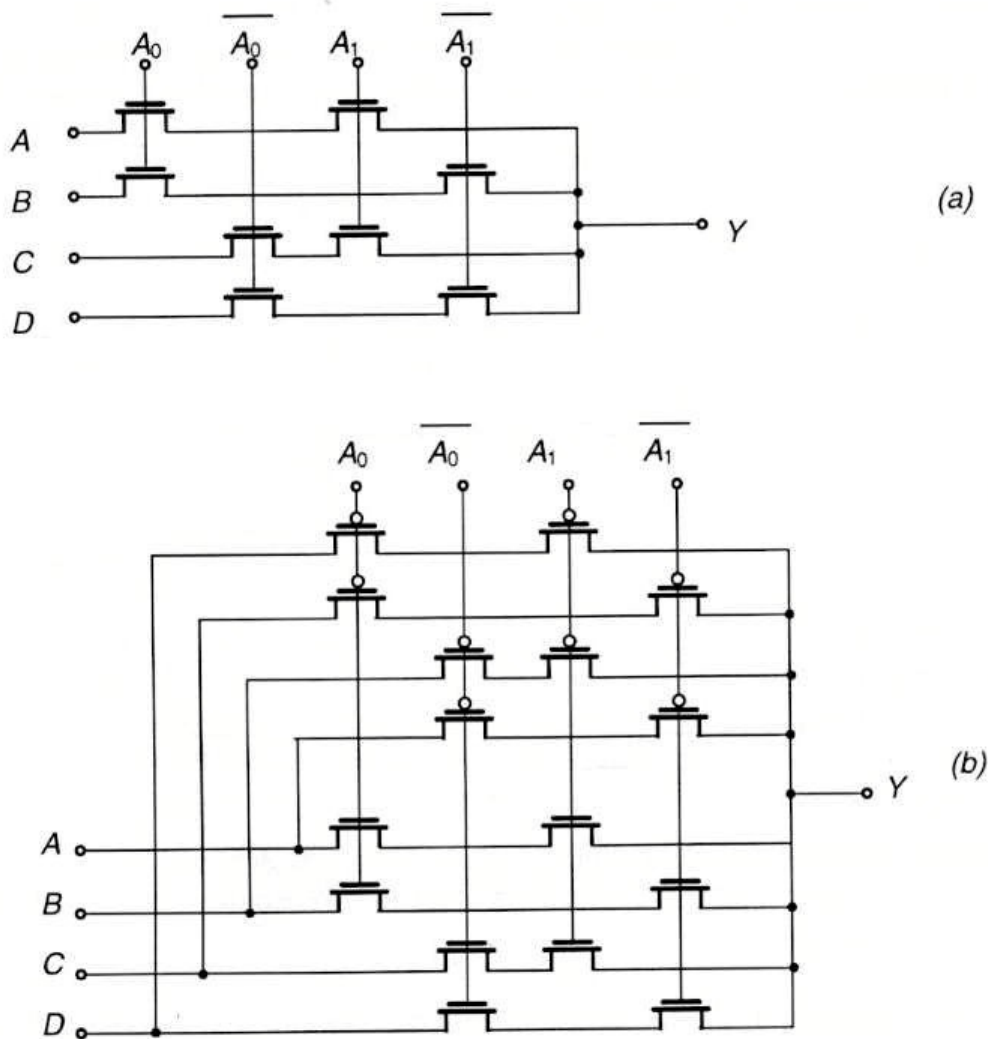


Figura 11.13 Multiplexer a 4 vie; a) con porte di trasmissione NMOS; b) con porte CMOS

In Figura 11.13 è riportato un esempio di realizzazione di multiplexer sia con porte NMOS che con porte CMOS; in quest'ultimo caso nello schema circuitale sono state omesse, perché inutili, le connessioni dirette tra i drain NMOS e i source PMOS per le singole porte, dato che la singola linea è attivata solo se tutte le porte su quella linea sono attivate. Anche nel caso di realizzazione con porte di trasmissione CMOS, per un multiplexer a quattro ingressi si utilizzano solo 16 transistori, rispetto ai 32 transistori necessari per una realizzazione con porte logiche standard (4 porte NAND a 3 ingressi più 1 porta NOR a 4 ingressi). Una versione ancora più compatta è quella che utilizza una configurazione ad *albero* per gli interruttori equivalenti, come quella riportata in Figura 11.14, che utilizza per la stessa funzione con porte CMOS solo 12 transistori.

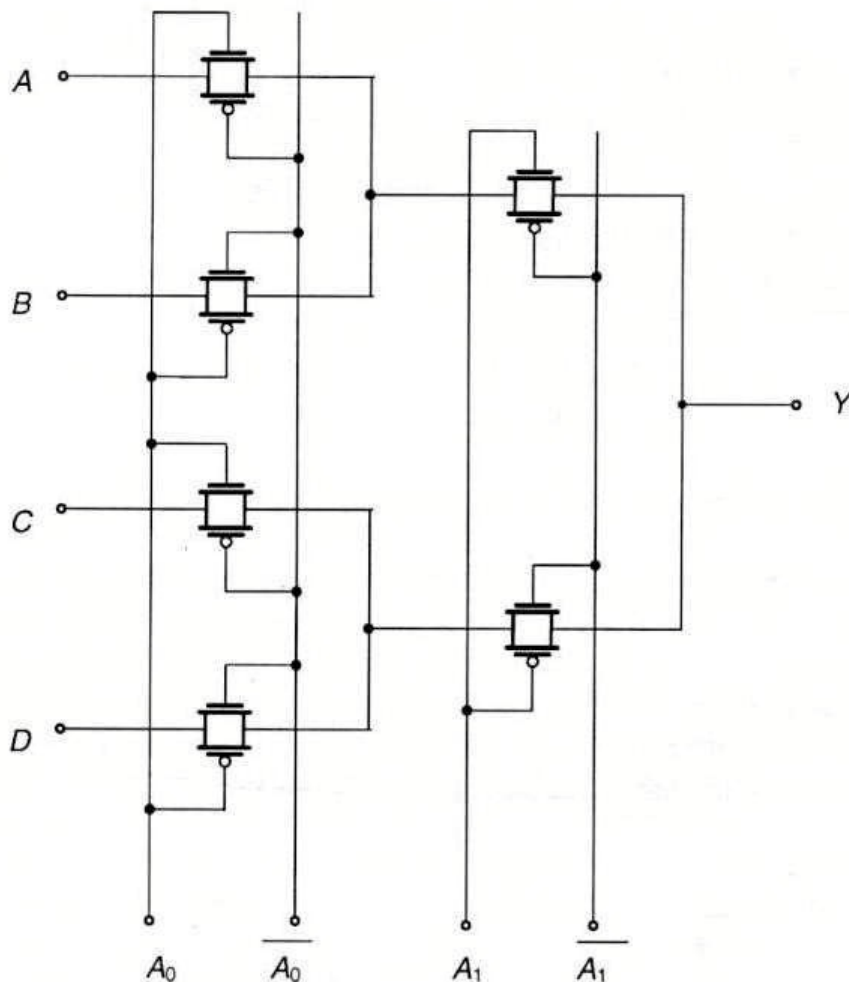


Figura 11.14 Struttura ad "albero" di un multiplexer a 4 ingressi con porte CMOS

Il tracciato della struttura ad albero del multiplexer di Figura 11.14 è riportato in Figura 11.15. Le linee che portano i bit di indirizzo e che pilotano i gate dei transistori NMOS e PMOS sono realizzate in polisilicio, in modo da poter essere intersecate dalle connessioni metalliche dei transistori che connettono le linee dati all'uscita attraverso le porte di trasmissione; in questo tracciato i transistori PMOS

sono dimensionati con un rapporto $W/L = 10\lambda/2\lambda$, mentre quelli NMOS con $W/L = 6\lambda/2\lambda$, in quanto per le porte CMOS non è necessario imporre la condizione $K_N = K_P$.

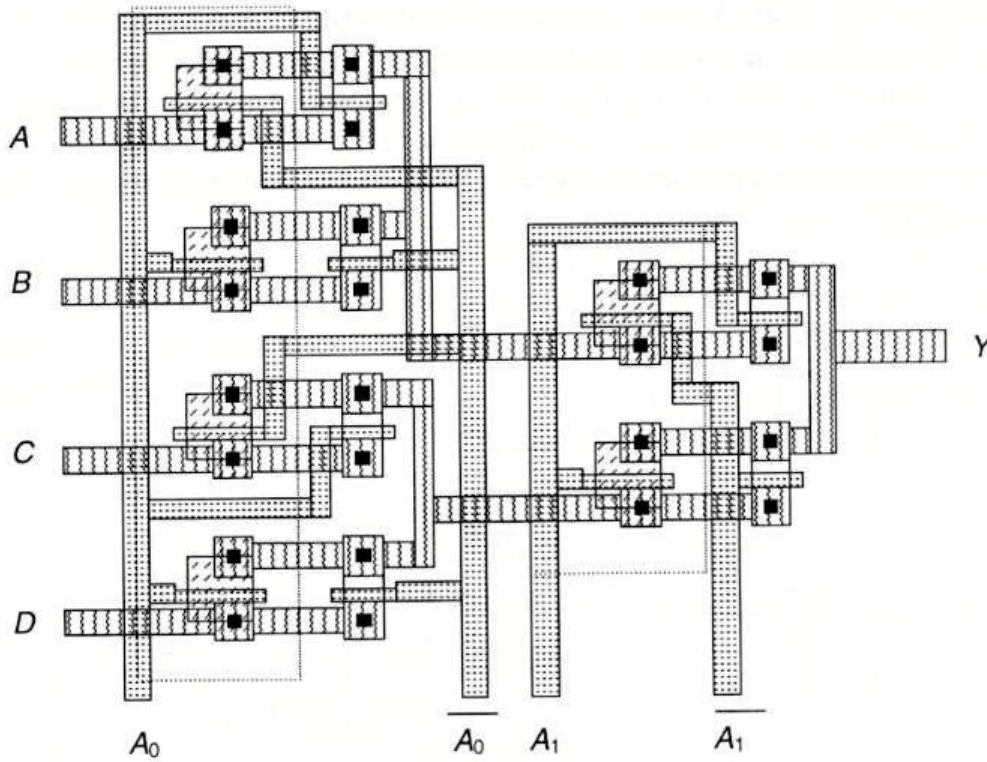


Figura 11.15 Tracciato della struttura ad albero del multiplexer di Figura 11.14

Un ulteriore vantaggio delle porte di trasmissione è legato alla possibilità di applicare la variabile logica sia alla gate che a uno dei terminali di ingresso-uscita della porta (source o drain); questo permette di effettuare una funzione logica AND tra queste due variabili nella singola porta di trasmissione (quindi con un solo transistor NMOS al limite) invece che con una porta logica con due ingressi, come indicato sinteticamente dalla tabella della verità in Figura 11.16.

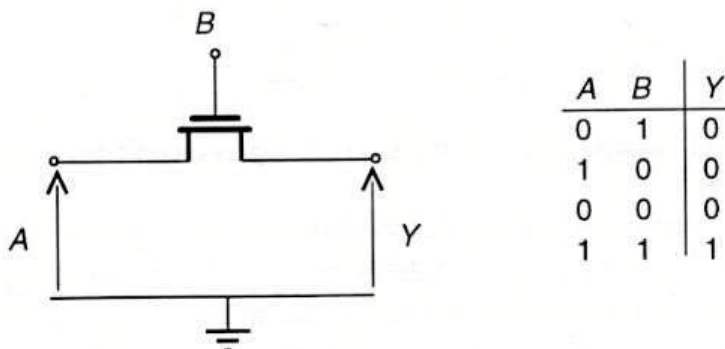


Figura 11.16 Funzione AND realizzata con porta di trasmissione

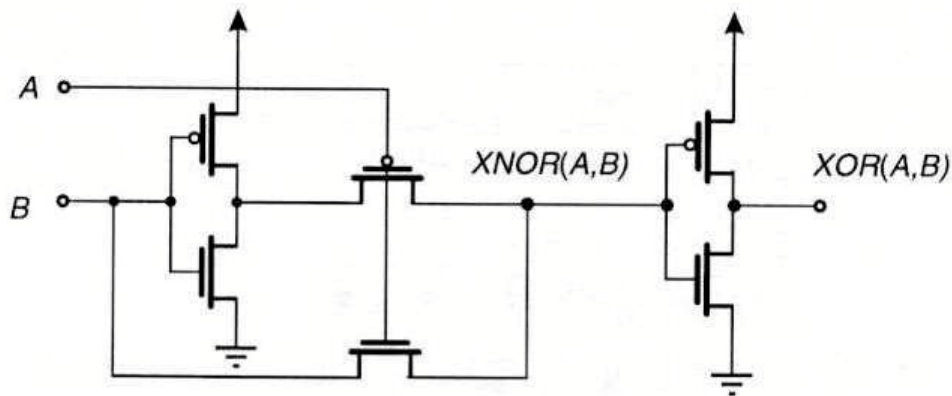


Figura 11.17 Realizzazione di una porta XOR con porte di trasmissione NMOS e PMOS

Questa possibilità di uso delle variabili permette una realizzazione di funzioni logiche in maniera molto compatta; un esempio è quello della funzione XOR che è la funzione base per la realizzazione dei sommatore binari, come si è visto nel Capitolo 10. In Figura 11.17 è mostrato il circuito di una porta XOR realizzata con due sole porte di trasmissione, rispettivamente NMOS e PMOS. In questo caso la funzione viene realizzata in maniera molto compatta, sfruttando la possibilità di pilotare la porta PMOS con la variabile B e di applicare come variabile alla porta la variabile \bar{A} in uscita dall'invertitore, in modo da realizzare la funzione AND $\bar{A} \cdot \bar{B}$; la porta NMOS realizza invece la funzione AB , per cui all'ingresso del secondo invertitore si ritrova la funzione XNOR $= \bar{A} \cdot \bar{B} + AB$ e all'uscita la funzione XOR $= \overline{\bar{A} \cdot \bar{B} + AB} = \overline{\bar{A} \cdot \bar{B}} + \overline{AB} = A + B + \bar{A} \cdot \bar{B}$ (vedi le Equazioni (10.19)). L'impiego dell'invertitore in uscita, oltre ad essere necessario per effettuare la negazione della funzione XNOR fornita a valle delle porte, migliora anche le prestazioni statiche (in termini di livelli logici) della porta logica, ripristinando il valore della tensione di soglia V_T perso dalle porte di trasmissione con un solo transistor, e l'immunità ai disturbi.

Il tracciato della porta XOR di Figura 11.17 è riportato nella Figura 11.18. In questo tracciato i transistori NMOS sono stati dimensionati con un rapporto $W/L = 4\lambda/2\lambda$, e quelli PMOS con un rapporto $W/L = 10\lambda/2\lambda$, pari a 2.5 quello dei transistori NMOS; le variabili sono applicate mediante linee in polisilicio, mentre le linee di alimentazione e di massa sono in metallo, come anche è in metallo la linea che fornisce l'uscita.

Ricordiamo che nel Capitolo 10 si è visto come un addizionatore completo (*full adder*) di due bit può essere realizzato con due porte XOR in cascata per il termine somma S_i , e utilizzando una funzione logica complessa per il riporto C_i , secondo la (10.20) che può anche essere scritta in maniera leggermente diversa, come indicato nella (11.10):

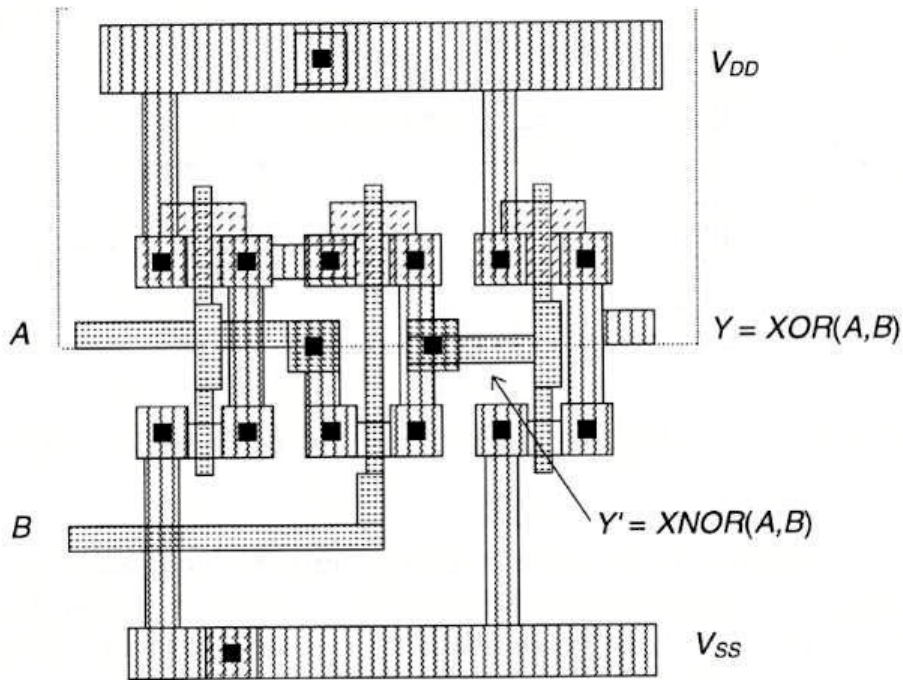


Figura 11.18 Tracciato della porta XOR di Figura 11.17

$$S_i = C_{i-1} \oplus A_i \oplus B_i \quad C_i = A_i \cdot B_i + (A_i + B_i) \cdot C_{i-1} \quad (11.10)$$

dove il termine C_i può essere realizzato con una porta logica complessa CMOS che realizza la funzione negata $\overline{C_i}$, seguito da un invertitore per l'ulteriore negazione.

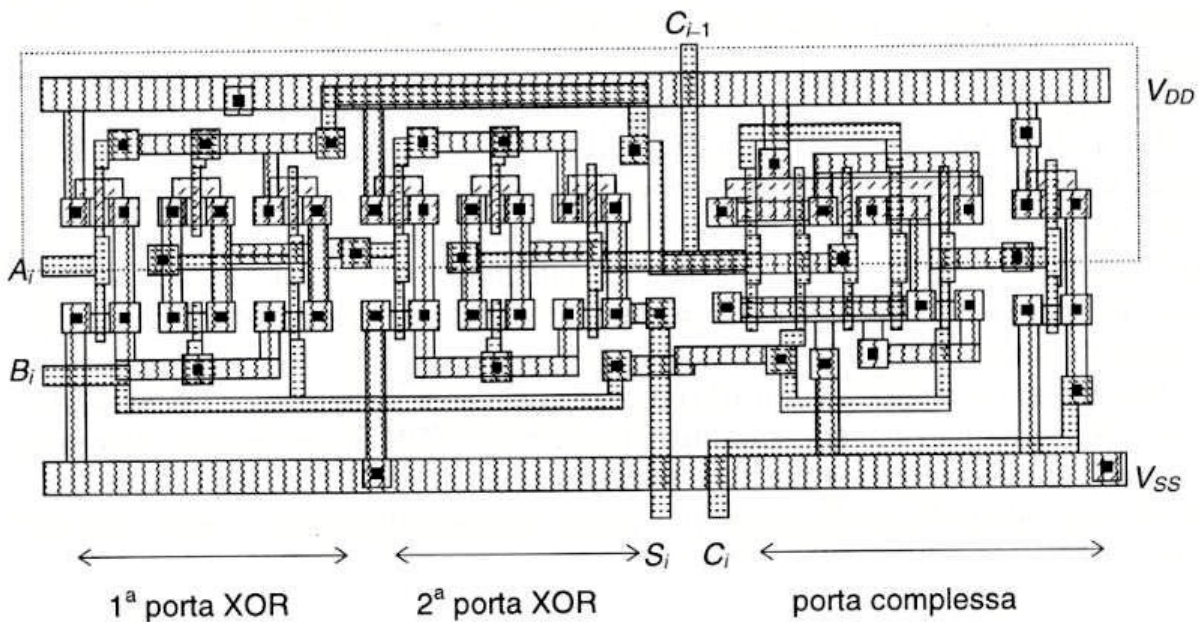


Figura 11.19 Tracciato di un full adder basato sulla porta XOR di Figura 11.18

Un'ulteriore applicazione delle porte di trasmissione è nella realizzazione dell'Unità Logica Booleana, ossia di un circuito che fornisce in uscita tutte le funzioni booleane delle variabili A e B , a seconda dei valori logici di opportune variabili P_i di ingresso. Questo circuito è basato sul circuito multiplexer nella versione sia a porte NMOS che a quelle CMOS; quest'ultima versione è riportata in Figura 11.20.

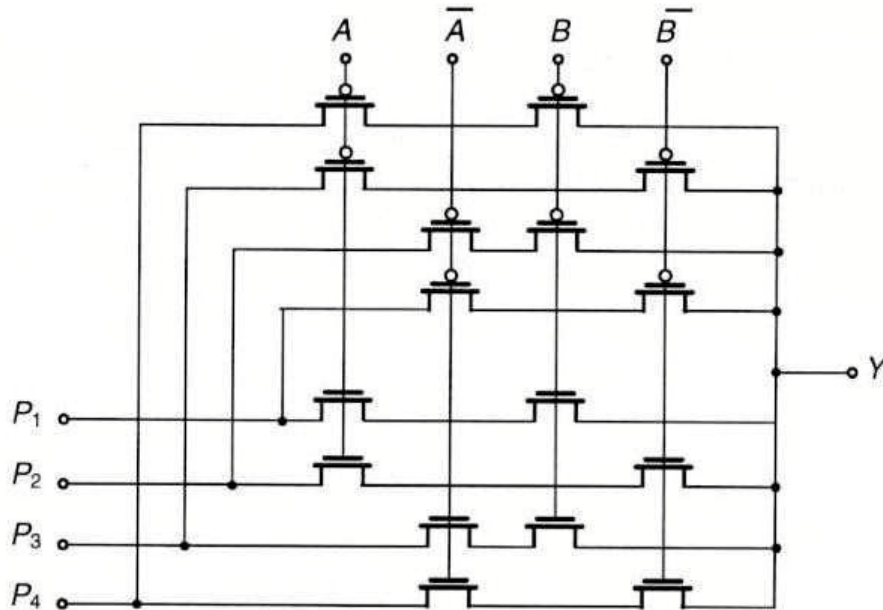


Figura 11.20 Unità Logica Booleana con porte di trasmissione CMOS

Il funzionamento del circuito si basa sul fatto che ogni diversa funzione booleana tra due variabili ha una differente tabella della verità delle quattro combinazioni possibili delle variabili, e quindi si possono associare i valori delle variabili A e B ad ognuna di queste combinazioni, fornite come ingressi alle quattro linee dati, come si può verificare dalla Tabella 11.1, che riporta le diverse funzioni tra le variabili A e B ottenibili in uscita a seconda dei valori dati agli ingressi P_i .

Tabella 11.1 Funzioni implementabili nell'Unità Logica Booleana di Figura 11.20

| Y | P_1 | P_2 | P_3 | P_4 |
|----------------|-------|-------|-------|-------|
| OR(A, B) | 1 | 1 | 1 | 0 |
| NOR(A, B) | 0 | 0 | 0 | 1 |
| AND(A, B) | 1 | 0 | 0 | 0 |
| NAND(A, B) | 0 | 1 | 1 | 1 |
| XOR(A, B) | 0 | 1 | 1 | 0 |
| XNOR(A, B) | 1 | 0 | 0 | 1 |

11.4 Logiche dinamiche MOS

Un campo di applicazione di notevole importanza e che offre significative possibilità nel progetto delle reti logiche è quello dei circuiti logici MOS dinamici. Queste logiche combinano la riduzione dell'occupazione di area e le minori capacità di ingresso delle logiche pseudo-NMOS, con i vantaggi di una logica non a rapporto (*ratioless*), come quella CMOS, per la quale non vi è consumo di potenza statico e vengono migliorate le prestazioni dinamiche a causa della maggiore corrente utilizzata per la carica delle capacità di ingresso delle porte.

Lo schema base di principio di un circuito dinamico è quello riportato in Figura 11.21, che corrisponde ad una singola cella logica dinamica in un circuito più complesso. Il blocco indicato in figura realizza la funzione logica voluta in base a soli transistori NMOS connessi in serie e/o in parallelo (corrisponde cioè alla rete di NMOS nelle versioni logiche a porte FCMOS o pseudo-NMOS); esso ha tanti ingressi quante sono le variabili logiche, e ogni ingresso corrisponde alla gate di un singolo NMOS.

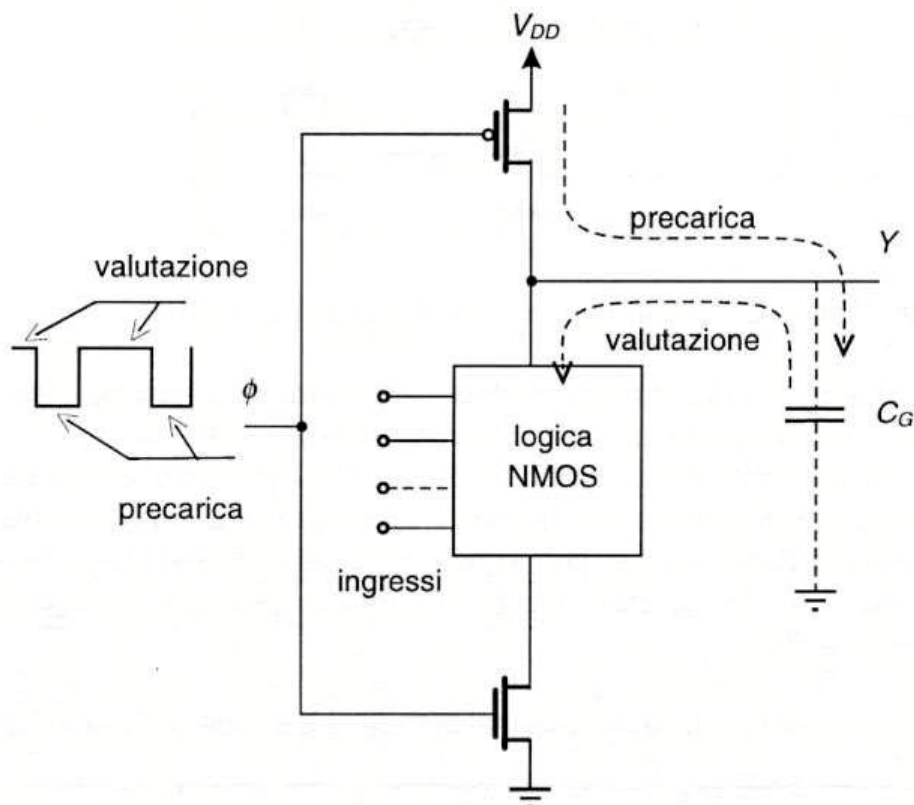


Figura 11.21 Schema di principio di un circuito logico MOS dinamico

Il transistore di carico di questa rete è un PMOS che viene però pilotato da un segnale di controllo ϕ (detto segnale di *fase*) insieme ad un ulteriore transistore NMOS connesso tra la rete logica e massa. I due transistori PMOS e NMOS comandati dalla fase ϕ , agiscono come porte di trasmissione che connettono alternativamente la rete all'alimentazione o alla massa; quindi la rete logica in qualsiasi

stato stazionario non può essere attraversata dalla corrente di alimentazione e la potenza statica dissipata è nulla, analogamente alle reti FCMOS.

Il PMOS agisce come interruttore pilotato, e quindi non è richiesta una riduzione del valore di K_p come nella logica pseudo-NMOS per ottenere bassi valori di V_{OL} ; la corrente fornita dal PMOS può quindi essere aumentata in modo da velocizzare le transizioni in uscita dal livello basso a quello alto (si noti che, nelle transizioni dinamiche legate al segnale di fase, nella fase in cui il PMOS conduce, il NMOS verso massa è aperto, e quindi tutta la corrente fornita dal PMOS viene utilizzata per la carica della capacità di uscita C_G).

La caratteristica fondamentale di questi circuiti è che lo stato di uscita della porta è affidato alla carica immagazzinata nella capacità del nodo Y di uscita, capacità che è costituita di norma dalla capacità di ingresso C_G del NMOS a cui è connessa l'uscita. Questa capacità viene *precaricata* al livello elevato V_{DD} (1 logico) durante l'intervallo di conduzione del PMOS, e cioè quando il segnale di fase ϕ è basso, mentre quando ϕ è alto (e il NMOS in conduzione collega la rete a massa) essa si può eventualmente scaricare attraverso la rete logica, se gli ingressi alla rete NMOS prevedono un'uscita logica bassa, e cioè un percorso di conduzione tra i vari NMOS che costituiscono la rete.

L'intervallo di tempo in cui il segnale ϕ è al livello basso è detto fase di *precarica*, mentre l'intervallo di tempo in cui ϕ è al livello alto è detto fase di *valutazione*, in quanto è durante questo intervallo di tempo che viene valutato lo stato logico della rete NMOS. Se lo stato logico è tale che l'uscita deve presentare uno zero logico, la capacità si scaricherà attraverso la rete e conserverà questa informazione rimanendo alla tensione 0, mentre se lo stato logico è tale che l'uscita debba essere alta, non si creerà nessun percorso di conduzione nella rete, per cui la capacità non potrà scaricarsi e conserverà l'informazione mantenendo la tensione alta (V_{DD}) ai suoi capi. Questi livelli di tensione sono mantenuti durante tutta la fase di valutazione, ossia nella fase in cui occorre valutare lo stato di tutte le celle logiche connesse nel circuito; in questa fase i segnali debbono essere stati già applicati ai singoli ingressi e debbono rimanere costanti, pena la non corretta valutazione dello stato della porta.

Il nome di *logiche dinamiche* dato a questi circuiti deriva dal fatto che il funzionamento logico della porta è legato al comportamento dinamico del circuito, che alterna, attraverso il segnale ϕ , le due fasi di precarica e di valutazione. L'informazione dell'uscita della cella è conservata dinamicamente mediante lo stato di carica del condensatore di uscita; quest'ultimo tuttavia non può mantenere indefinitamente questo stato, che deve essere ripristinato in un intervallo di tempo inferiore a quello in cui la capacità si scarica attraverso le correnti inverse delle giunzioni drain-substrato e source-substrato dei MOS connessi all'uscita. Ad esempio con una corrente inversa di 100 pA, la tensione ai capi di una capacità $C_G = 0.1$ pF si riduce di 1 volt in:

$$\Delta T = \frac{C_G}{I_S} \Delta V = \frac{10^{-13}}{10^{-10}} \cdot 1 = 1 \text{ ms} \quad (11.11)$$

occorre quindi che il periodo del segnale di fase sia inferiore al valore di ΔT che comporta una riduzione ΔV superiore a quella accettabile.

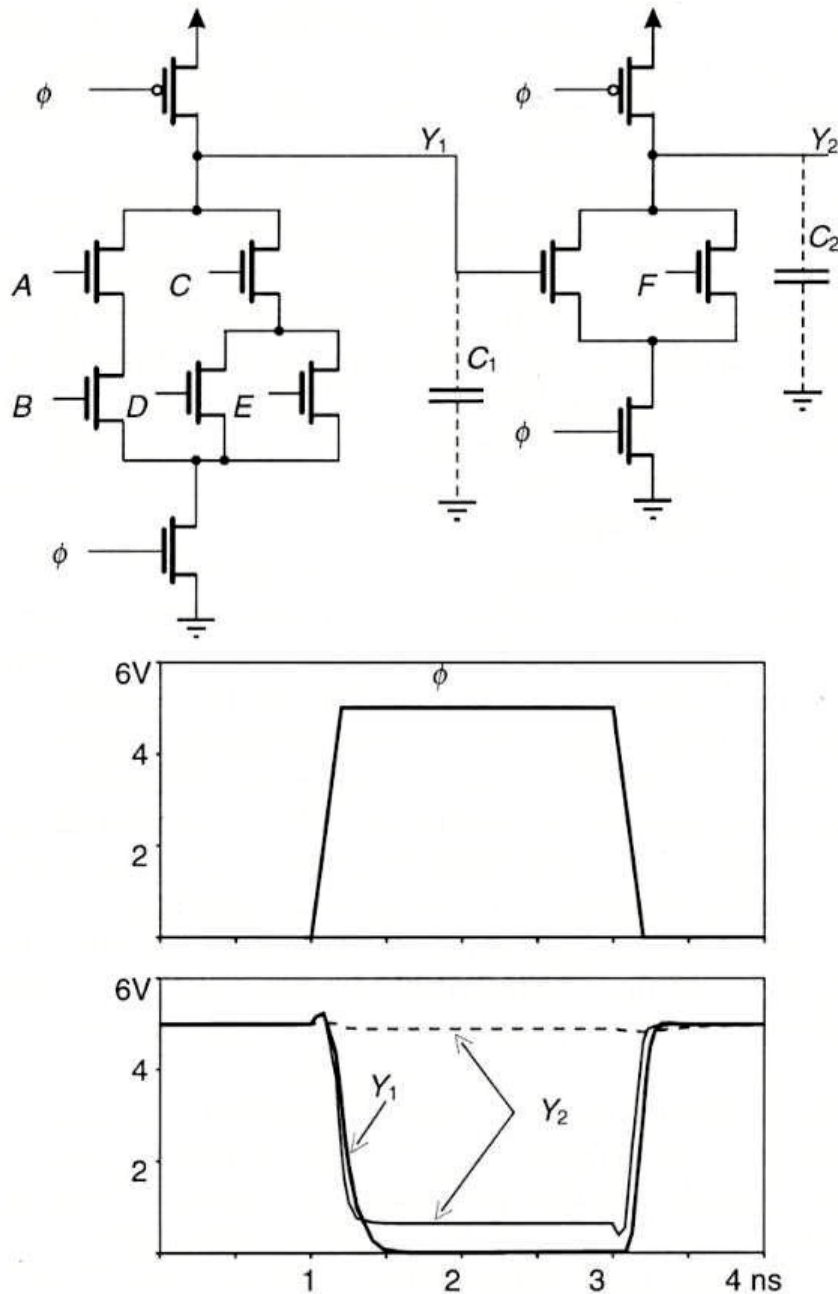


Figura 11.22 Problemi nella connessione in cascata di più celle dinamiche controllate dalla stessa fase.

L'inconveniente di questo circuito è legato al fatto che, al termine della fase di precarica e durante quella di valutazione, lo stato logico in uscita dalla singola cella logica dinamica è conservato grazie alla carica immagazzinata dalla capacità di uscita, per cui quest'ultima, se viene scaricata durante la fase di valutazione non può più ricaricarsi fino all'inizio della nuova fase di precarica. Quindi qualsiasi

transitorio sugli ingressi che comporta un'uscita bassa, anche per un breve intervallo di tempo, altera in maniera definitiva la carica della capacità connessa a questa uscita, e quindi il livello logico dell'uscita. Il problema si complica quando l'uscita di una porta dinamica 1 è utilizzata come ingresso per una successiva porta dinamica 2, in quanto, con un solo segnale di fase per tutte le porte, la fase di valutazione della porta 1 e di quella 2 coincidono; in questo caso se l'uscita della porta 1 presenta uno 0, si avrà un transitorio dovuto alla scarica condizionata della capacità del nodo di uscita attraverso la rete logica, e questo verrà visto dalla cella 2 proprio durante la fase di valutazione.

Ne consegue che, se il transitorio di valutazione della porta 2 è contemporaneo o più breve di quello della porta 1, la porta 2 può memorizzare sulla sua capacità di uscita un valore logico non corretto.

Per esemplificare questo problema si sono riportate in Figura 11.22 le grandezze in uscita dalla connessione in cascata di due porte dinamiche di cui la prima realizza la funzione complessa di Figura 11.2, e la seconda realizza una funzione NOR a due ingressi. Supponiamo che la porta 1 abbia in ingresso le variabili logiche seguenti: $A = B = 1$, $C = D = E = 0$, a cui corrisponde un'uscita $Y = 0$. Supponiamo ancora per la porta 2 una variabile logica $F = 0$, per cui se $Y_1 = 0$ debba essere $Y_2 = 1$. Il transitorio di scarica di C_1 è rallentato dalla presenza di tre transistori NMOS in serie, mentre la scarica di C_2 coinvolge solo due NMOS. Questo comporta che la capacità C_2 si scarica apprezzabilmente durante il transitorio della cella 1 (curva continua), portandosi nella fase di valutazione ad un valore logico scorretto. Solo se il valore di C_2 è molto più elevato di C_1 (curva tratteggiata), la prima si scarica di un valore inapprezzabile durante il transitorio di valutazione della cella 1, e il valore logico in uscita dalla cella 2 è quello corretto; questa tuttavia è una soluzione inaccettabile perché penalizza eccessivamente il tempo di propagazione della cella 2.

La soluzione per risolvere questo problema, nel caso di più celle dinamiche in serie, è quella di comandare in maniera sequenziale le operazioni di precarica e di valutazione per le diverse celle, in modo da evitare una fase di valutazione comune per tutte le celle in cascata. Esempi di queste logiche sono presentati nei due paragrafi seguenti.

11.5 Logica dinamica a due fasi

I circuiti logici a due fasi si basano sull'uso di due differenti segnali di controllo ϕ_1 e ϕ_2 , utilizzati rispettivamente per tutte le celle di indice dispari o pari della connessione in cascata, e sull'inserzione di porte di trasmissione tra le celle consecutive, pilotate dai segnali di fase negati ϕ_1 e ϕ_2 . I segnali di fase sono tali che la fase di precarica della cella precedente (ϕ_1 basso) corrisponde alla fase di valutazione della cella successiva (ϕ_2 alto). In tal modo durante la fase di valutazione di ogni singola cella (fase ϕ alta), la porta di trasmissione tra la porta precedente e quella in esame è chiusa, e questo impedisce che eventuali transienti della porta precedente possano alterare i valori in ingresso alla porta in valutazione.