

Lezione 1

LACD

2025 - 2026

23/02/2026

Responsabile

Lorenzo

VITALE

Co-docenti

Laura

GONELLA

Rinaldo

RUI

Mirco

DORIGO

ROOT-ANALISI

Ing.

Andrea CERNIGOI

aiuto LAB e non solo

Programmazione del corso → solo in **presenze**!

~7 lezioni Aula C 2 ore

~12 Laboratori Lab 215-214 3-4 ore

4 Sessoni FPGA* Aula TBC 2-4 ore

2 Sessioni LabView Lab 215-214 2-4 ore

3 Sessioni ROOT Aula TBC 4 ore

Relazione 3-6 Progetto + lavoro autonomo dei gruppi
← esame : discutere

* Field programmable gate array: dispositivo a semiconduttore suddiviso in blocchi logici configurabili (CLB) in cui è possibile definire le funzioni dopo la fabbricazione. Porte logiche e registri sono collegati fra loro.

- Teams → attivato y a 9 v v 2 b

- Moodle

└─ link sito web prof. RUI a.a. 2019-2020

Outline of the course

Organizzarsi in gruppi da 3 studenti

Da fare presto ~ entrata in Lab

Attenzione ogni gruppo elaborare una relazione che però ciascun componente del gruppo deve saper illustrare e difendere.

STRUTTURA GENERALE



Fra gli Obiettivi del nostro corso :

Segnali digitali

bibliografia :

Libro Leo - Techniques for nuclear and

Particle Physics Experiments

cap. 11-12

vedi materiale sito web E pdf ORTEC

Uso "intelligente" dei manuali

Uso lingua inglese

terminologie tecnico-scientifica inglese

Standard instrumentation electronics

N I M

Nuclear Instrumentation Module

1° standard unito nella finca sperimentale nucl. e delle
particelle per i sistemi modulari.

moduli con specifiche elettriche e meccaniche ben definite

Standard instrumentation electronics

N I M

Nuclear Instrumentation Module

1° standard unito nella finca sperimentale nucl. e delle
particelle per i sistemi modulari.

moduli con specifiche elettriche e meccaniche ben definite

2 tipi di standard logico NIM

1) OLD slow positive logic $\left\{ \begin{array}{l} \text{tempo di salite} > 50-100 \text{ ns} \\ \text{durata} & 0.5-100 \mu\text{s} \end{array} \right.$

	Output must deliver	Input must accept
Logic 1	+4 ÷ +12V	+3 ÷ +12V
Logic 0	+1 ÷ -2V	+1.5 ÷ -2V

NOTA : no carri lunghe

2) Fast **negative** logic

tempi di salite $\sim 1 \div 2 \text{ ns}$

durata pochi ns & $< 1 \mu\text{s}$

	Output must deliver	Input must accept
Logic 1	$-14 \text{ mA to } -18 \text{ mA}$	$-12 \text{ mA to } -36 \text{ mA}$
Logic 0	$-1 \text{ mA to } +1 \text{ mA}$	$-4 \text{ mA to } +20 \text{ mA}$

in tensione
Su 50 Ω

output 1 $-0.8 \text{ V } (\pm 0.1 \text{ V})$
output 0 $0.0 \text{ V } (\pm 50 \text{ mV})$

Note :

- basato sulla corrente (e non tensione)
- 50Ω impedenze dei cavi
 - ↳ ricordiamoci terminazione oscilloscopio
- OK con cavi lunghi ($\rightarrow$ entro certi limiti)
- Storicamente segnali tipo fast negative NIM
erano quelli derivati dall'output di un fotomoltiplicatore

Due tipi di cavi "a $50\ \Omega$ " che useremo
coassiali

"grosi" RG-58 - connettori BNC

"fini" RG-174 - connettori LEMO

BNC: *Bayonet Neill Concelman*, dal nome dei due inventori Paul Neill e Carl Concelman progettisti della statunitense [Amphenol](#), e dal sistema utilizzato per l'innesto, definito [innesto a baionetta](#).

LEMO: prende il nome dal fondatore svizzero, ingegnere **Léon Mouttet** (fondata a Morges nel 1946)

A ttenezione

```
graph LR; A[A ttenezione] --> B[maneggiare cavi e connettori]; A --> C[qualità cavi, connessioni e connettori]
```

maneggiare cavi e connettori

qualità cavi, connessioni e connettori

Connettori:

Maschio

Femmina

I



giunzione fra cavi

T



divisore

adattatore fra un tipo e l'altro

terminazioni 50Ω o a $\sim 0\Omega$

Altri segnali logici oltre NIM

TTL & ECL logic signals

TTL transistor - transistor logic $\rightarrow$ logica positive
prima tecnologia dei circuiti integrati su larga scala - 1961

ECL emitter - coupled logic $\rightarrow$ logica negativa
e zero negativo

Current pilotato da transistor a giunzione bipolare - 1956

pro: veloci $< \text{ns}$, basso rumore quando cambiano lo stato logico
cavi twisted, circuiti ECL rad-hard

cons: consumano sempre corrente; impedenza 100 Ω ; mi serve modulo NM-ECL comp.

Osservazione : nella vita reale sperimentale devo
adattarmi alle esigenze pratiche

	TTL	ECL
logic 1	2-5V	-1.75V
logic 0	0-0.8V	-0.90V

Lezione L.ACD

Inizio 23 febbraio 2026 + continua
Appunti dal cap.11 Leo

"Pulse signal terminology"

riprendiamo dalla terminologie
per un impulso in corrente $i(t)$

o in tensione $V(t)$

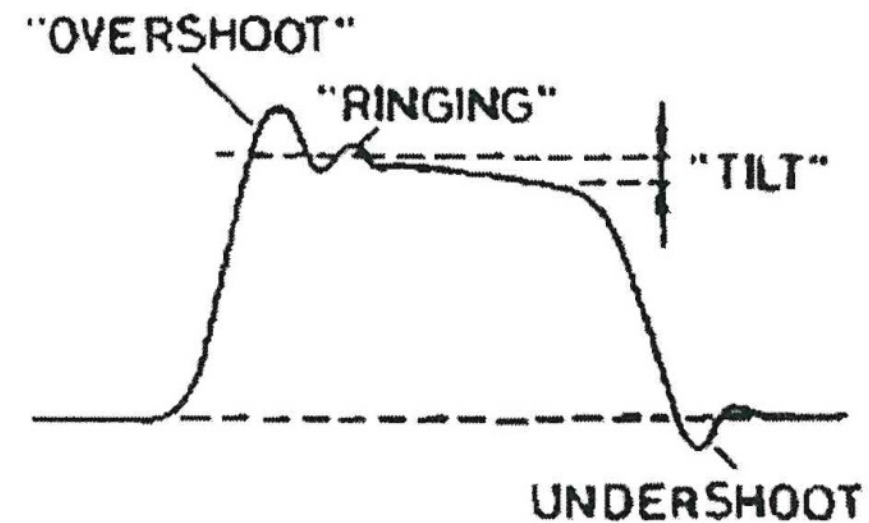
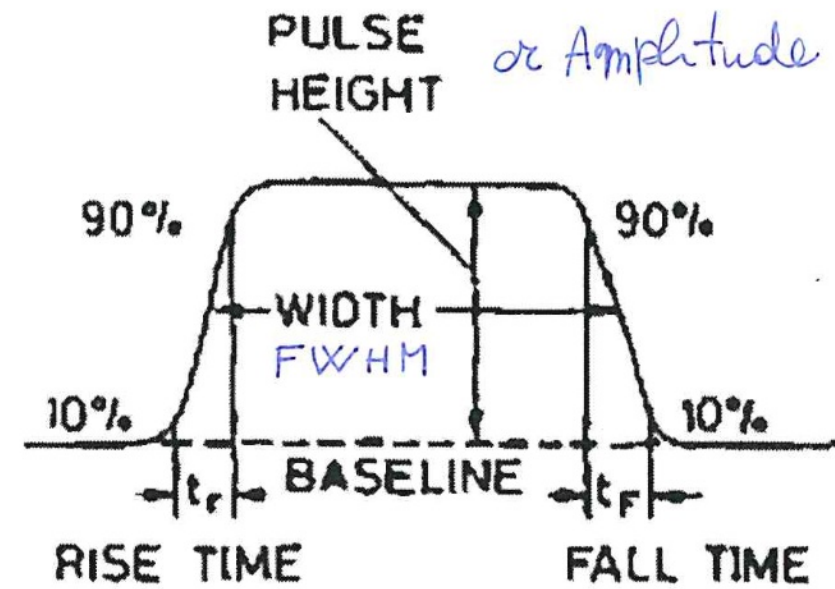
Nel tempo:

- iniziale $\rightarrow$ leading edge

- finale $\rightarrow$ falling edge o tail

Possibili distorsioni $\rightarrow$

(1)



→ nelle prox lezioni:

→ logica booleana

→ Num. binari

→ FPGA intro

→ Cavi coassiali — teoria