

# Esercizio: Progettazione di un Contatore Circolare a 2 bit

## Obiettivo dell'Esercizio

Siete chiamati a progettare un circuito logico sequenziale che realizzi il comportamento di un contatore di numeri interi da 0 a 3. Il circuito deve generare un output a due bit ( $q_0q_1$ ) e deve incrementare il proprio valore **solo ed esclusivamente** quando uno specifico segnale di input, denominato "Enable" ( $E$ ), è attivo.

## Consegna

Al fine di modellare il comportamento del sistema e ricavare le equazioni logiche che lo governano, si richiede di svolgere i seguenti punti:

1. **Macchina a Stati Finiti (FSM):** Disegnare la FSM del dispositivo. Rappresentare graficamente gli stati del contatore e tracciare le transizioni tra di essi, indicando chiaramente come il passaggio da uno stato all'altro dipenda dal valore del segnale Enable ( $E = 0$  o  $E = 1$ ).
2. **Tabella della Verità:** Compilare la tabella per la funzione di stato successivo (*next\_state*). La tabella dovrà esplicitare lo stato successivo in funzione di tutte le combinazioni possibili dello stato corrente e del segnale di Enable in ingresso.
3. **Funzioni Logiche:** Partendo dalla tabella della verità, estrapolare le espressioni booleane (sotto forma di somma di prodotti) per i due bit di output: il bit meno significativo ( $q_1$ ) e il bit più significativo ( $q_0$ ).
4. **Semplificazione:** Applicare i teoremi dell'algebra di Boole per semplificare al massimo le espressioni ottenute per  $q_0$  e  $q_1$ , in vista di minimizzare il numero di porte logiche necessarie per un'eventuale implementazione su circuito.