

## LACD esperienze finali 2026

Richieste comuni per tutti i gruppi:

- Circuito versatile scintillatori per acquisire con scaler VME eventi trigger primo livello e HW, differenza tempi 4 canali TDC, cariche 4 canali QDC, e tempi fra eventi. Lo stesso circuito dovrebbe permettere le calibrazioni TDC e QDC con lo stesso trigger
  - Programma versatile labview
  - Acquisizione breve\* di coincidenze a 4 e a 3 scintillatori (\*almeno 30 min per ciascuno dei 4 set di dati, in quelle a 3 SC1 è sempre lo start, quindi solo SC2-SC3-SC4)
  - Calibrazione 4 canali con ritardi e attenuatore per TDC e QDC
  - Analisi delle calibrazioni e prima analisi dati delle acquisizioni brevi
  - Plot tempi e carica in due formati per le ascisse: raw data (ADC) e dati corretti con le calibrazioni
  - Analisi dell'acquisizione breve prima di fare acquisizione lunga
  - Inizio scrittura relazione, e parte ii) con FPGA (vedere punto successivo)
- 
- Acquisizione lunga di coincidenze a 4 e a 3 scintillatori (almeno 4 ore per ciascuno dei 4 set di dati)
  - Analisi e approfondimento del punto i) successivo

Richieste specifiche per i singoli gruppi:

i) Per la parte NIM+VME+analisi approfondimento di uno degli aspetti delle acquisizioni lunghe

gruppo A: efficienza separatamente degli scintillatori SC2-SC3-SC4 con trigger a tre: ad esempio eff(SC2) con trigger SC1+SC3+SC4

gruppo B: plot correlazioni carica-tempi

gruppo C: fit delle cariche con Landau e correlazioni fra le cariche

gruppo D: tempi fra gli eventi e tempo morto acquisizione

ii) Per la parte FPGA

Gruppo A

Eseguire la taratura del qdc usando segnali generati dalla fpga di durata nota e multipla del clock.

Labview: scrivere un programma per l'uso del modulo V965

vhdl: generare i segnali da misurare ed il gate.

Suggerimento.

La prima volta che premo SW1 creo un segnale lungo 1 clk, la seconda volta 2 clk, ecc.

Gruppo B

labview: Scrivere un programma in Labview che usa il modulo V419 (ADC) per acquisire un segnale continuo con un trigger di 10 ms.

vhdl : generare un trigger ogni 10 ms.

Suggerimento.

In FPGA realizzare un counter che conta da 0 a 120.000 con l'uscita che è alta per metà ciclo.

Cambiare la Init del V419 e salvare con altro nome (init2) per usare la modalità di acquisizione "trigger esterno". Applicare il trigger tramite un convertitore NIM->TTL.

### Gruppo C

Labview :usare V2495 (scaler) per contare i cosmici in 100 secondi. Il ciclo riparte via un tasto su fpga. Lo scaler viene resettato dalla fpga

vhdl: generare un gate di 100 s (su out 1) che si ripete se premo un tasto. generare un segnale di clear (out2) 1 microsecondo prima dello start.

Suggerimento.

Il gate viene generato su out1 dalla fpga quando si preme SW1 dopo 1 microsecondo, SW1 crea il segnale di reset.

In labview verificare e se il caso modificare la init per usare G1 come reset (registro x1000).

### Gruppo D

Eseguire la taratura del tdc usando segnali generati dalla fpga di durata nota e multipla del clock.

Labview: scrivere un programma per l'uso del modulo V775

vhdl: SW1 crea un segnale di start sincrono al clk e un segnale con ritardo. la prima volta che premo SW1 creo un segnale ritardato rispetto al di 1 clk, la seconda volta di 2 clk, ecc.

Per le misure + analisi della parte FPGA

- Scrivere il codice per circuito e test bench in EDA playground e fare la simulazione per verificarne il comportamento
- Implementare il codice in Vivado e controllare il funzionamento con l'oscilloscopio, prima di connettere i segnali dell'FPGA al circuito finale
- Nella relazione
  - Mettere nell'appendice i codici completi di circuito e test bench, con commenti che li descrivano
  - Mettere nel testo una descrizione della funzionalità del circuito e di come è stata implementata in VHDL; il risultato della simulazione e della misura fatta con l'oscilloscopio per dimostrare che il codice funziona correttamente
  - Ovviamente, descrivere l'intera misura nella relazione (setup, misure, analisi dei dati)
  - Per i gruppi che fanno le tarature di QDC e TDC anche con la FPGA, mettere nella relazione il confronto con le tarature fatte con moduli NIM di ritardo e attenuazione