



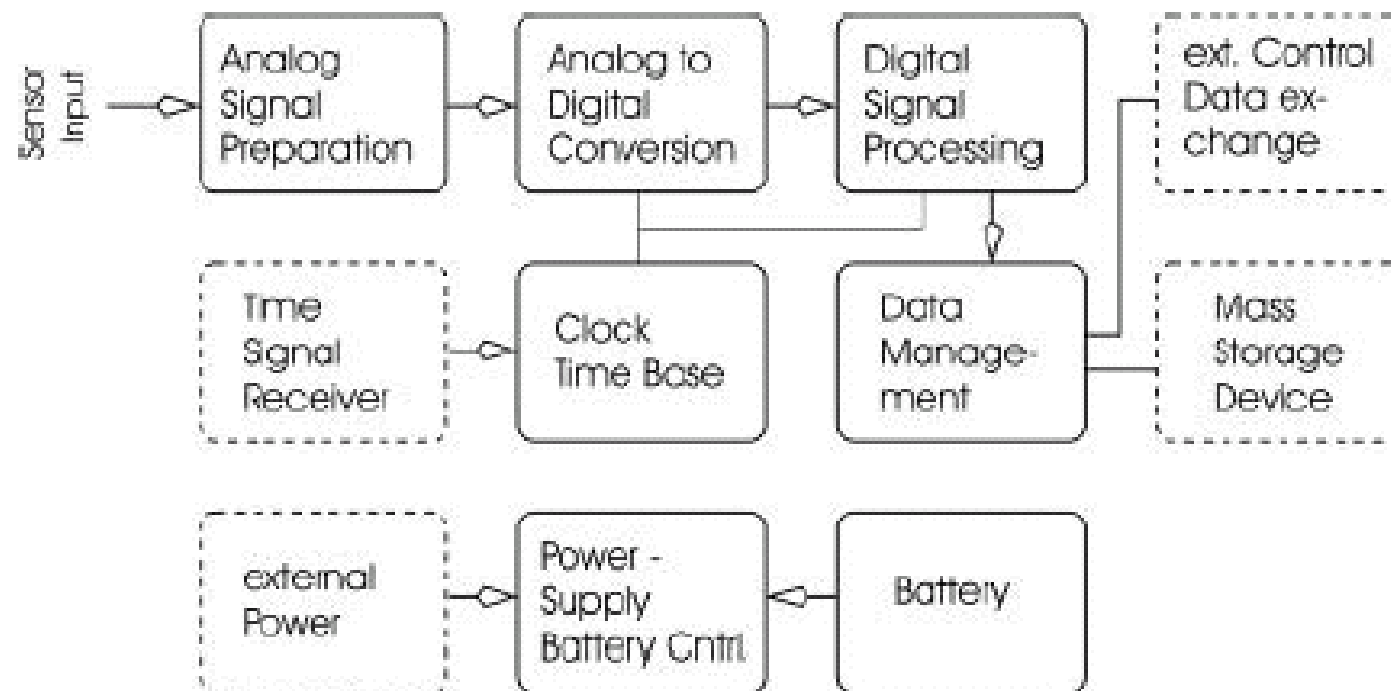
**UNIVERSITÀ
DEGLI STUDI
DI TRIESTE**

Applied seismology

Digitization

Giovanni Costa - costa@units.it





Unità principali di una stazione sismica. Le caselle tratteggiate sono funzioni opzionali.

Sensori



Sensore larga banda,
3 componenti

Sensore accelerometrico,
3 componenti

Sistema acquisizione

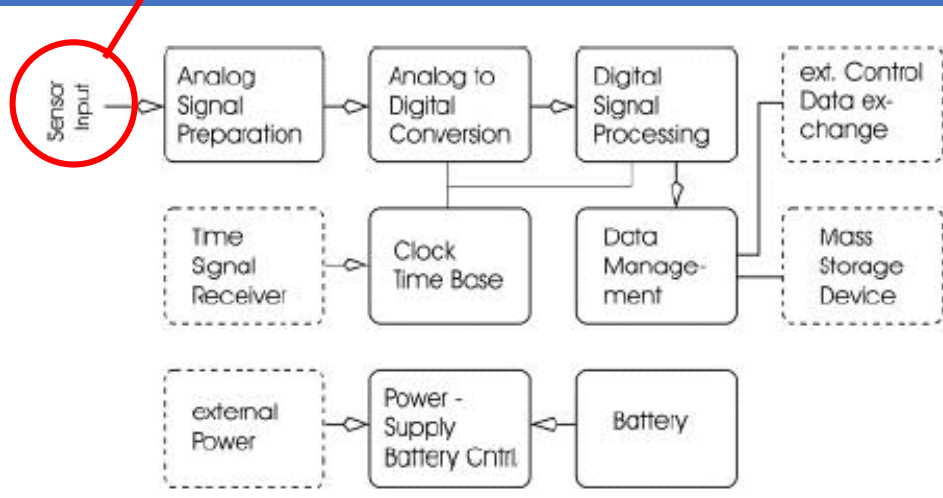


Unità disco per la
memorizzazione dei dati
presso la stazione

Switch per la connessione
alla rete informatica per la
trasmissione dei dati

Acquisitore 6 canali a 24 bits

Antenna GPS per la
sincronizzazione del tempo
tramite satelliti



Alimentazione



Alimentatore

Batteria tampone

Sensori



Sensore larga banda,
3 componenti

Sensore accelerometrico,
3 componenti

Sistema acquisizione

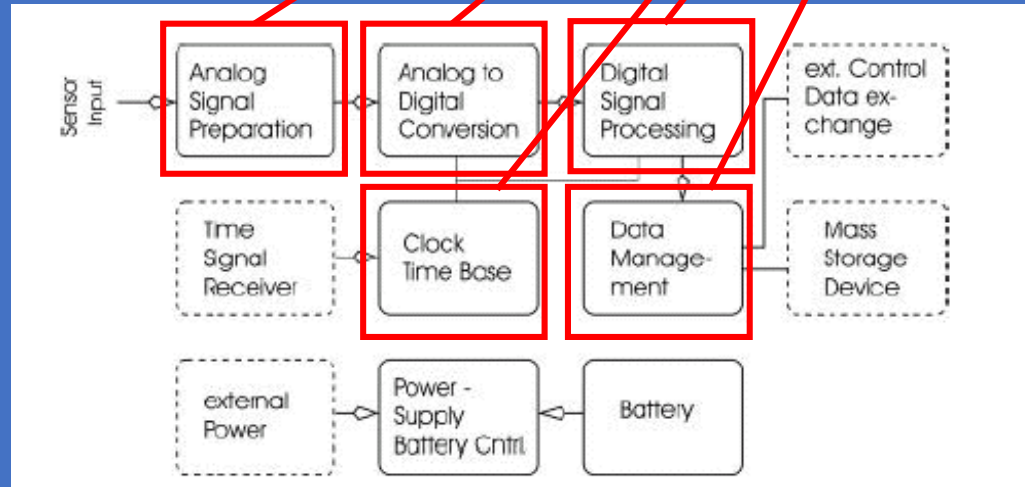


Unità disco per la
memorizzazione dei dati
presso la stazione

Switch per la connessione
alla rete informatica per la
trasmissione dei dati

Acquisitore 6 canali a 24 bits

Antenna GPS per la
sincronizzazione del tempo
tramite satelliti



Alimentazione



Alimentatore

Batteria tampone

Sensori



Sensore larga banda,
3 componenti

Sensore accelerometrico,
3 componenti

Sistema acquisizione

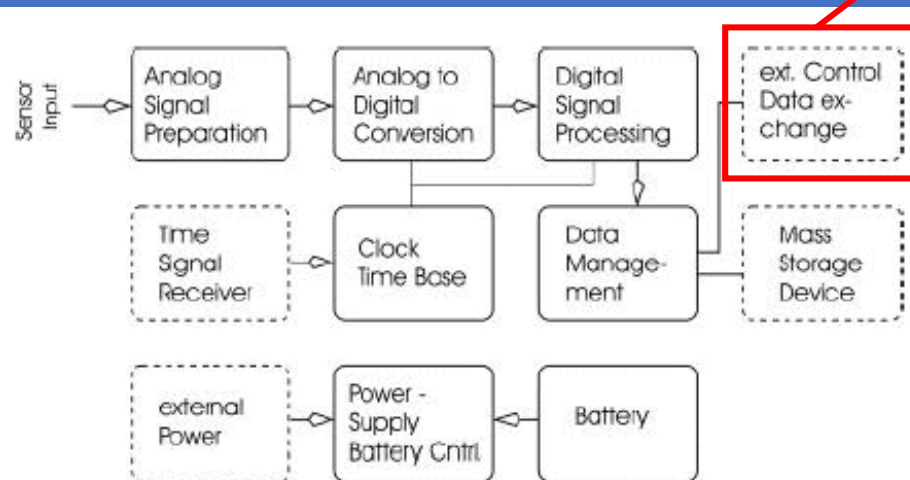


Unità disco per la
memorizzazione dei dati
presso la stazione

Switch per la connessione
alla rete informatica per la
trasmissione dei dati

Acquisitore 6 canali a 24 bits

Antenna GPS per la
sincronizzazione del tempo
tramite satelliti



Alimentazione



Alimentatore

Batteria tampone

Sensori



Sensore larga banda,
3 componenti

Sensore accelerometrico,
3 componenti

Sistema acquisizione

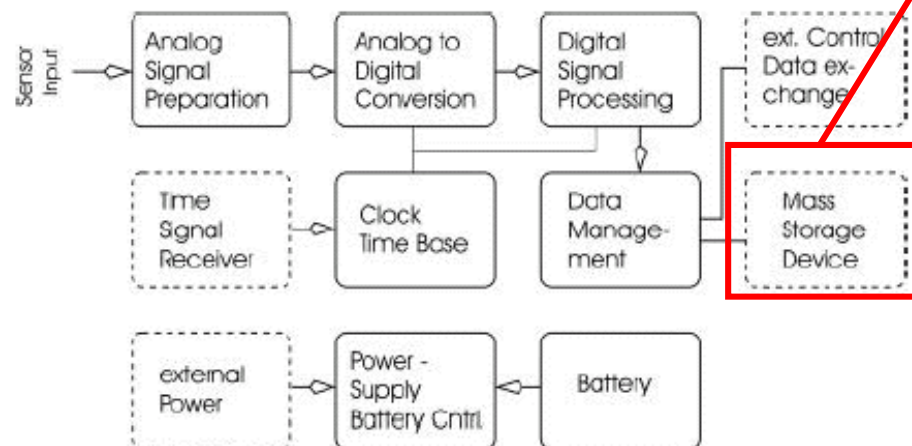


Acquisitore 6 canali a 24 bits

Antenna GPS per la
sincronizzazione del tempo
tramite satelliti

Unità disco per la
memorizzazione dei dati
presso la stazione

Switch per la connessione
alla rete informatica per la
trasmissione dei dati



Alimentazione



Alimentatore

Batteria tampone

Sensori



Sensore larga banda,
3 componenti

Sensore accelerometrico,
3 componenti

Sistema acquisizione

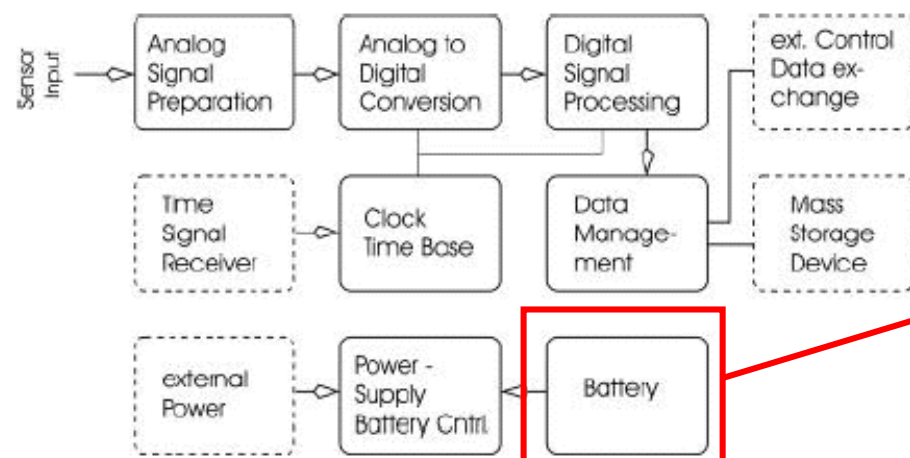


Unità disco per la
memorizzazione dei dati
presso la stazione

Switch per la connessione
alla rete informatica per la
trasmissione dei dati

Acquisitore 6 canali a 24 bits

Antenna GPS per la
sincronizzazione del tempo
tramite satelliti



Alimentazione



Alimentatore

Batteria tampone

Sensori



Sensore larga banda,
3 componenti

Sensore accelerometrico,
3 componenti

Sistema acquisizione

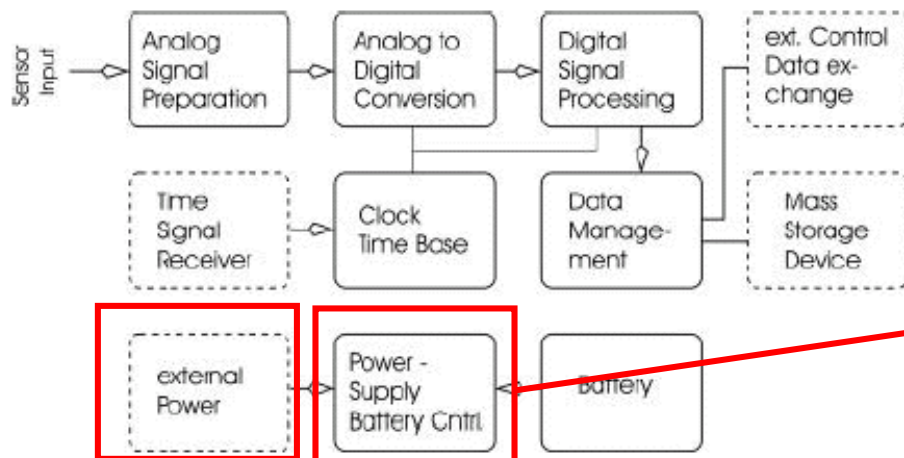


Acquisitore 6 canali a 24 bits

Unità disco per la
memorizzazione dei dati
presso la stazione

Switch per la connessione
alla rete informatica per la
trasmissione dei dati

Antenna GPS per la
sincronizzazione del tempo
tramite satelliti



Alimentazione



Alimentatore

Batteria tampone

Sensori



Sensore larga banda,
3 componenti

Sensore accelerometrico,
3 componenti

Sistema acquisizione

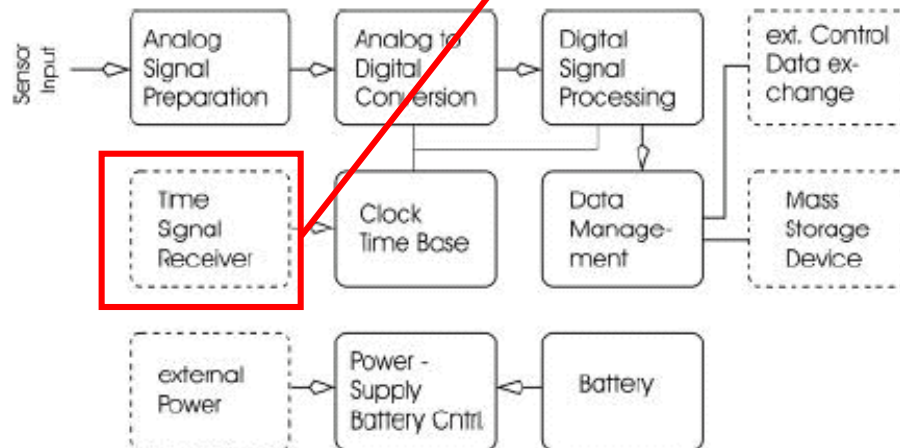


Unità disco per la
memorizzazione dei dati
presso la stazione

Switch per la connessione
alla rete informatica per la
trasmissione dei dati

Acquisitore 6 canali a 24 bits

Antenna GPS per la
sincronizzazione del tempo
tramite satelliti

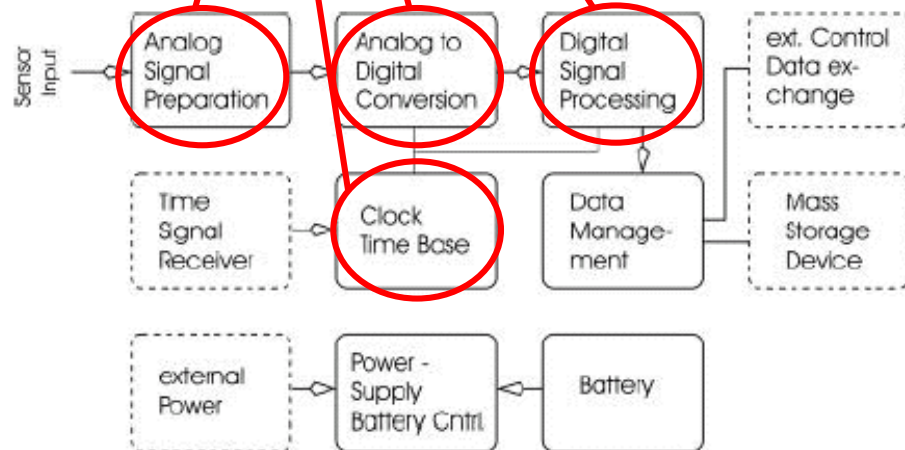


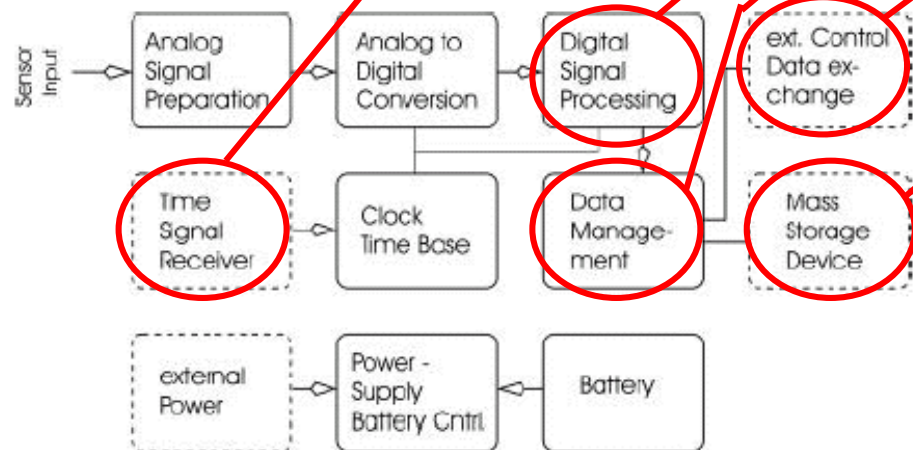
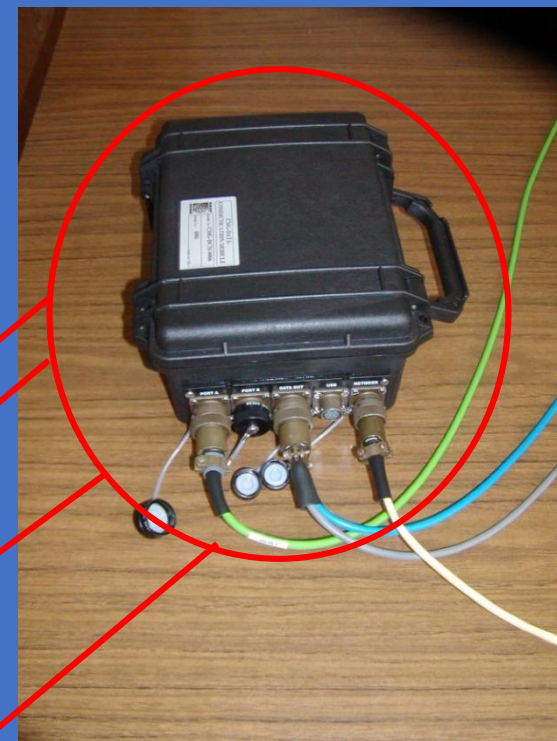
Alimentazione

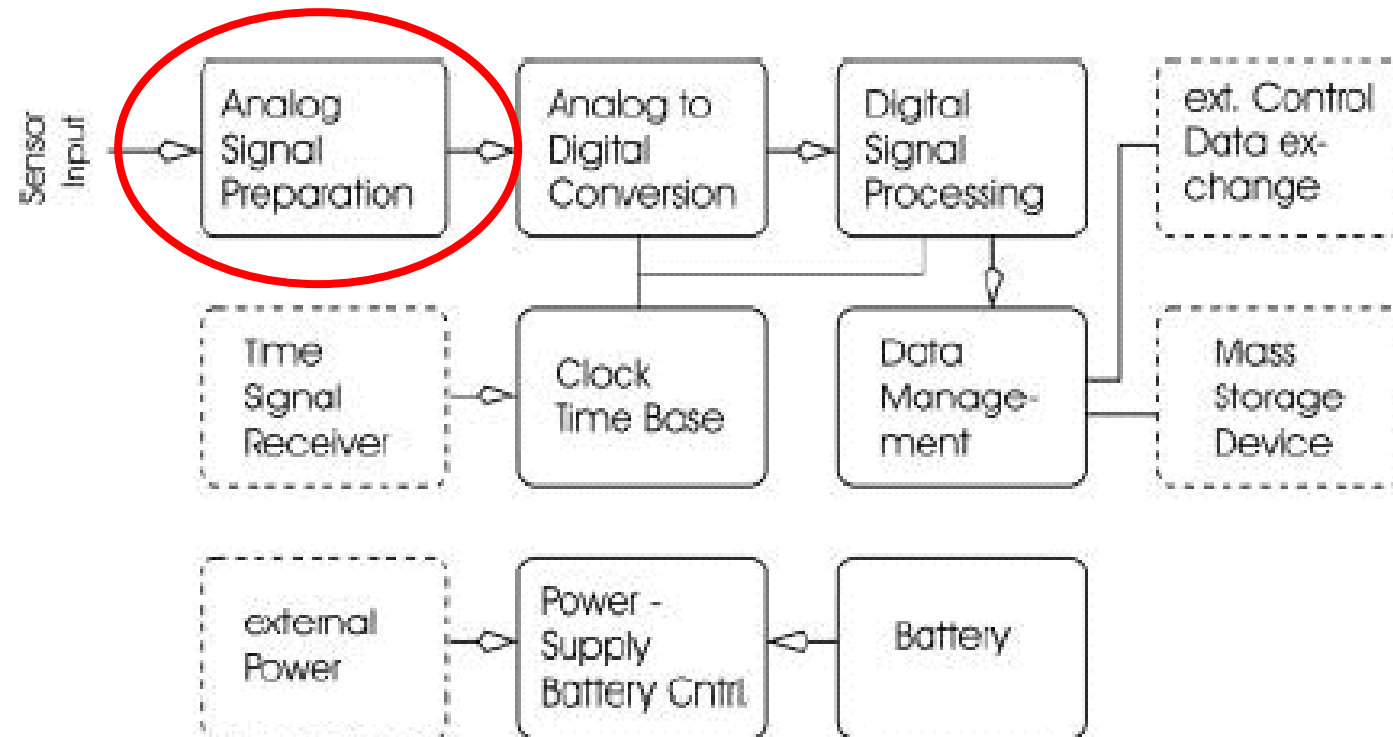


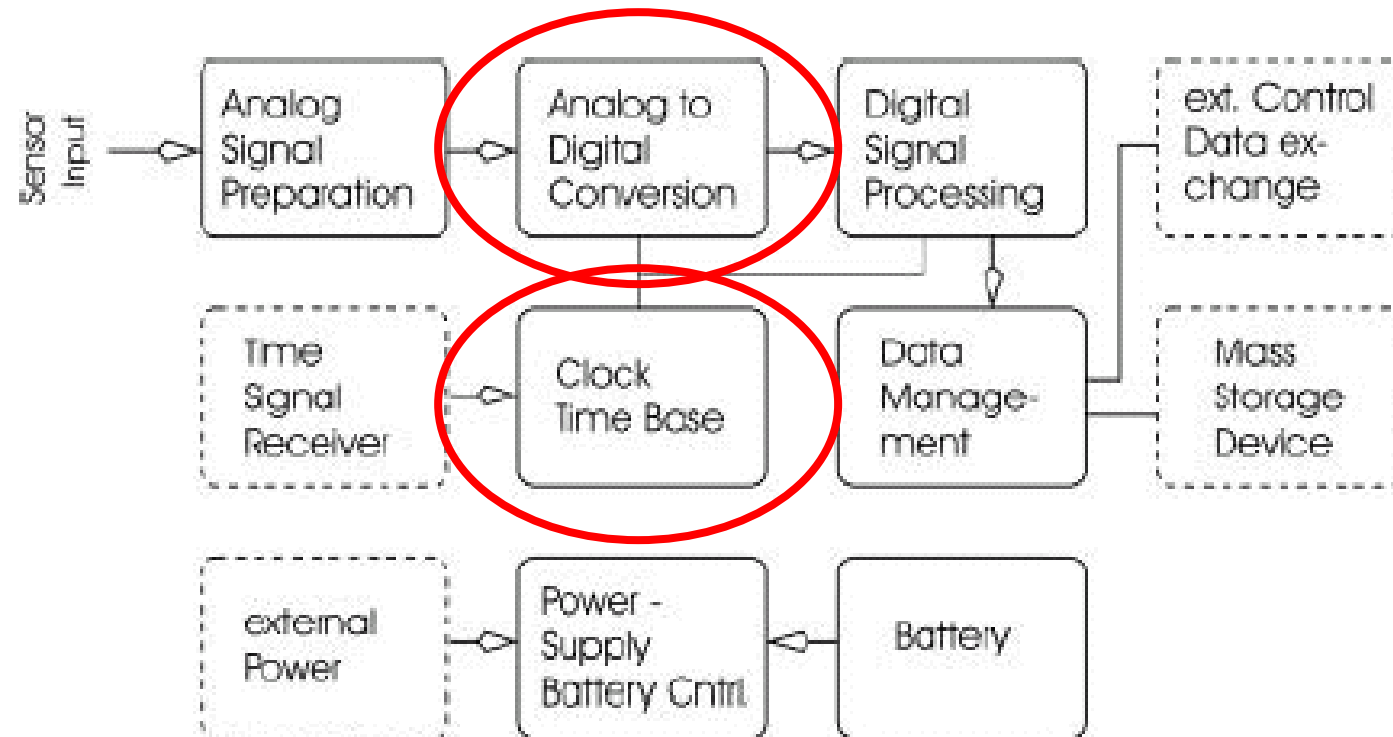
Alimentatore

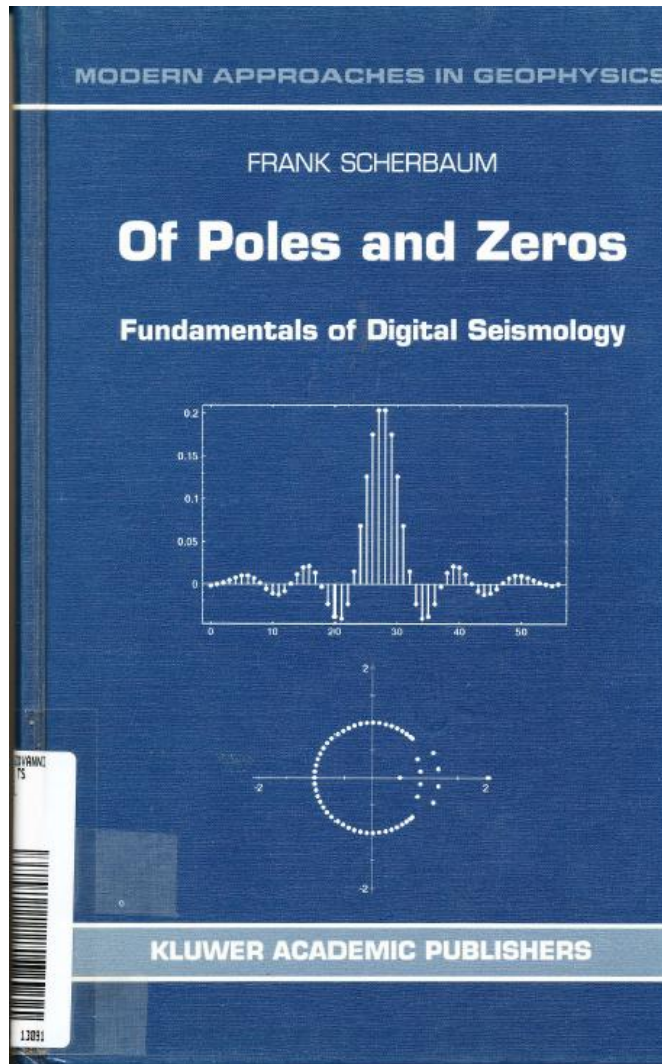
Batteria tampone











La transizione da un sistema continuo a un sistema discreto avviene quando noi acquisiamo dati in forma digitale. In questa transizione ci sono in realtà due diversi passaggi:

Campionamento o discretizzazione:

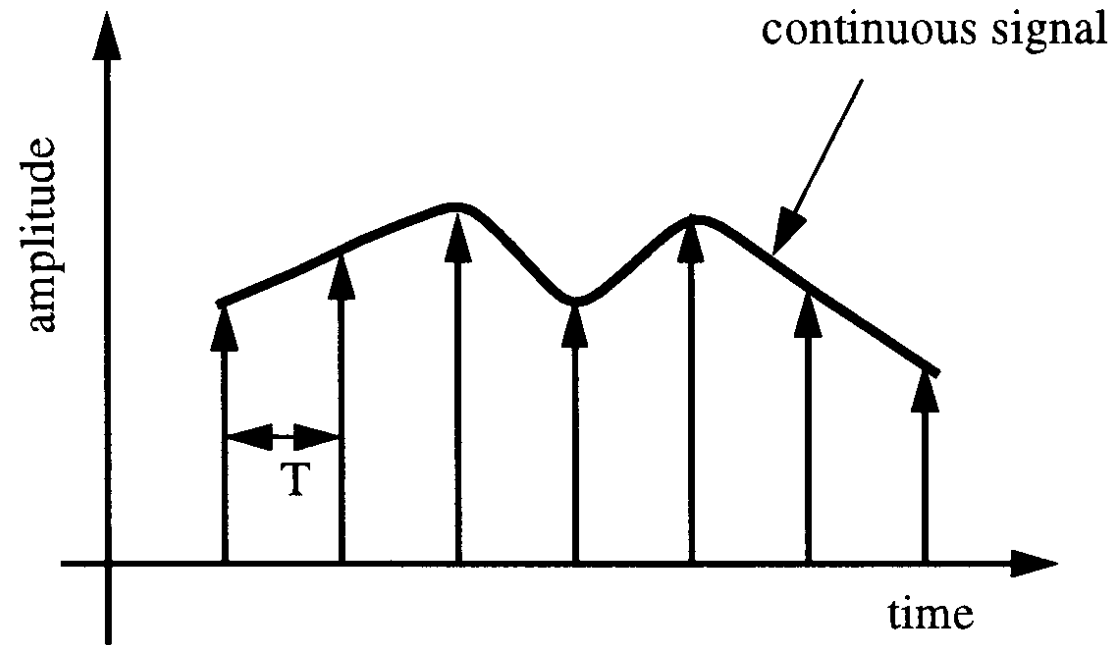
Creazione di campioni discreti da dati continui. Il i dati potrebbero essere ancora in rappresentazione analogica dopo il processo di campionamento.

Conversione da analogico a digitale (quantizzazione e codifica):

Per segnali di tensione, questo si verifica normalmente in un dispositivo elettronico che si chiama ADC, 'analogic digital converter'. Dopo aver superato questo passaggio, i dati sono digitali e discreti.

Il principio del processo di discretizzazione.

Un segnale continuo viene campionato in tempi discreti indicati dalle posizioni delle frecce verticali. Le ampiezze delle anse corrispondono alle ampiezze del segnale al tempo del campionamento.



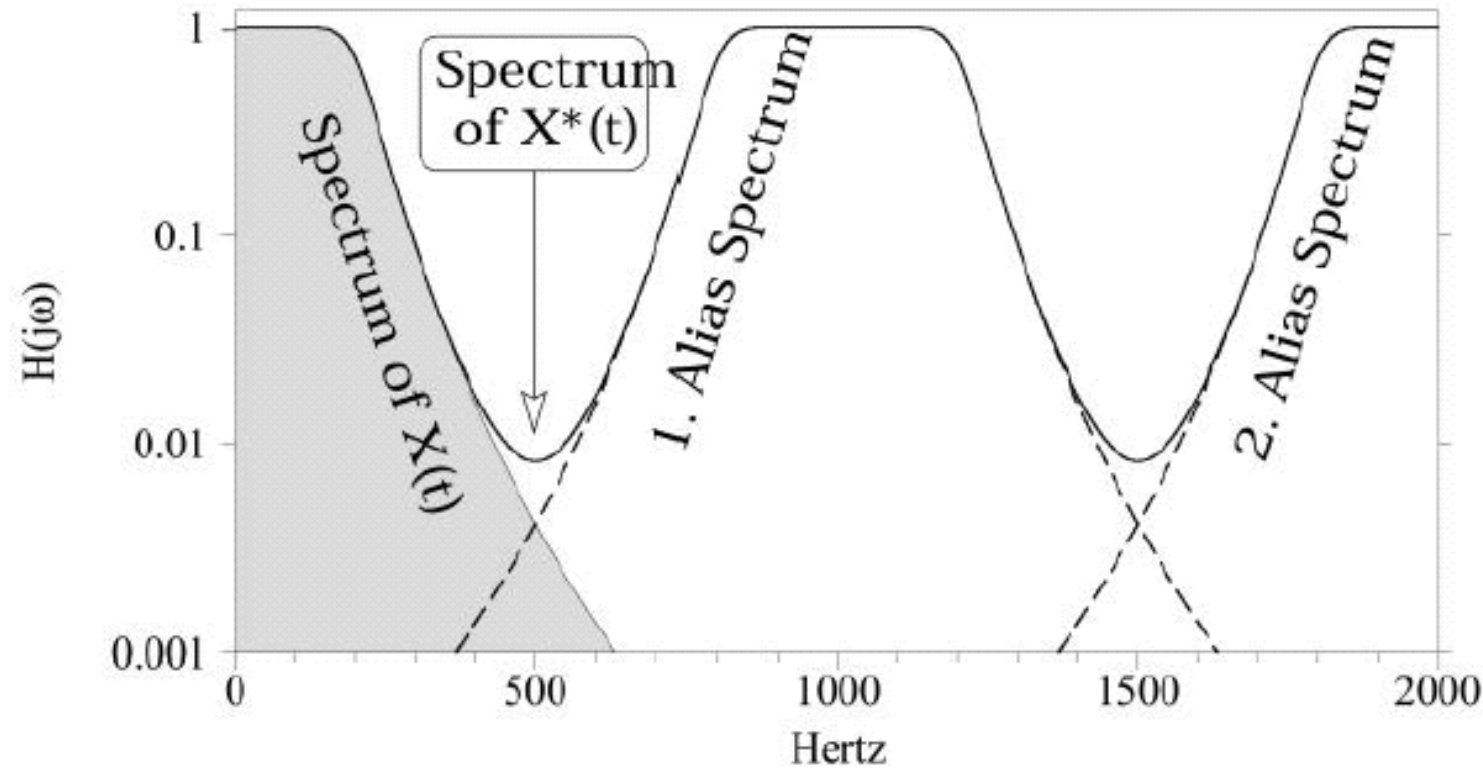
Processo di discretizzazione (campionamento). Le frecce verticali indicano le posizioni e i valori dei campioni. T indica l'intervallo di campionamento

Teorema del campionamento

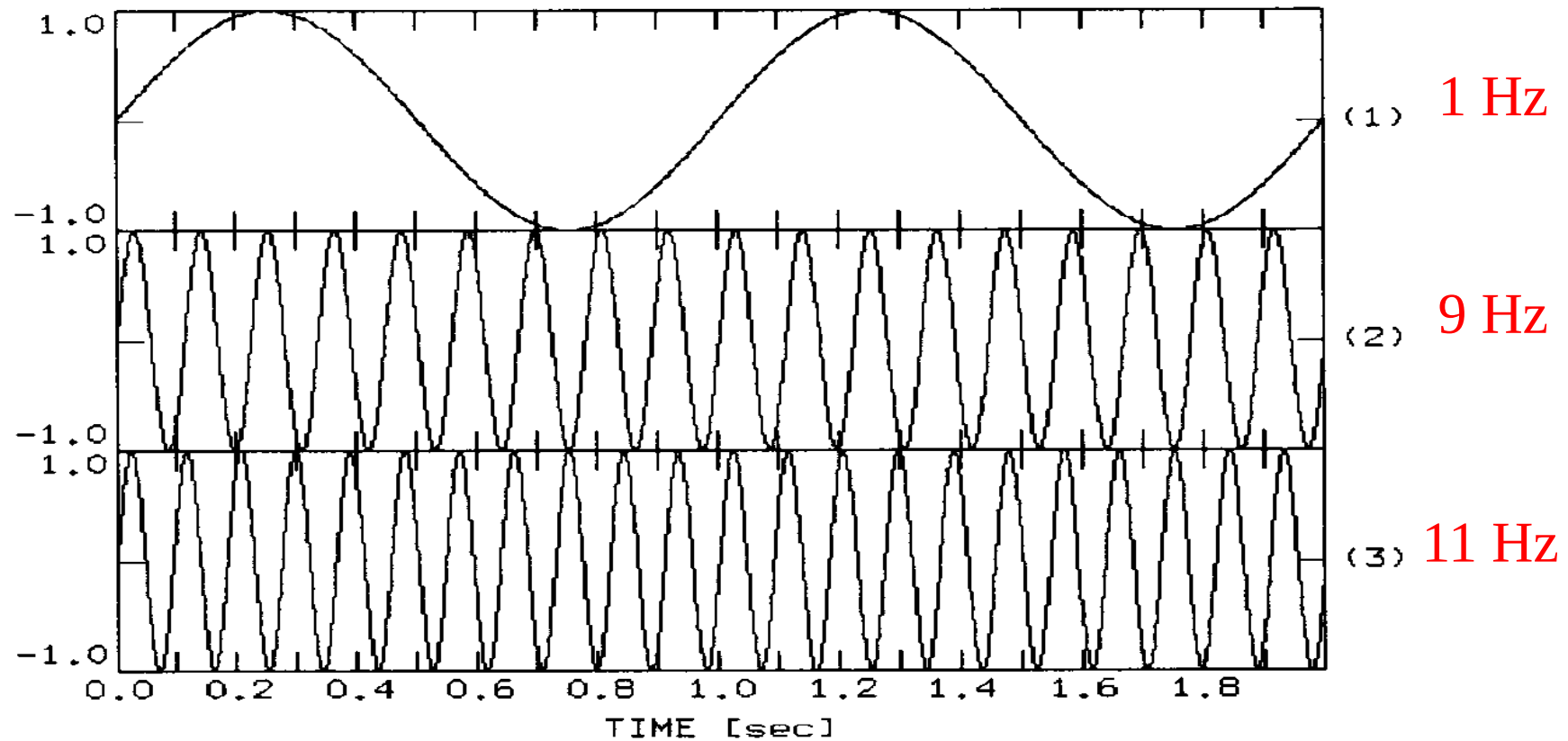
Perchè un segnale continuo venga rappresentato univocamente dai campioni presi ad una frequenza di campionamento di f_{dig} , non deve contenere energia alla e sopra la frequenza $f_{dig}/2$. Questa frequenza viene chiamata **frequenza di Nyquist**.

Componenti del segnale con energia al di sopra di questa frequenza verranno mappate dal processo di campionamento, nella banda di frequenza tra 0 e la frequenza di Nyquist (frequenze di alias). Questo effetto viene chiamato **alias**.

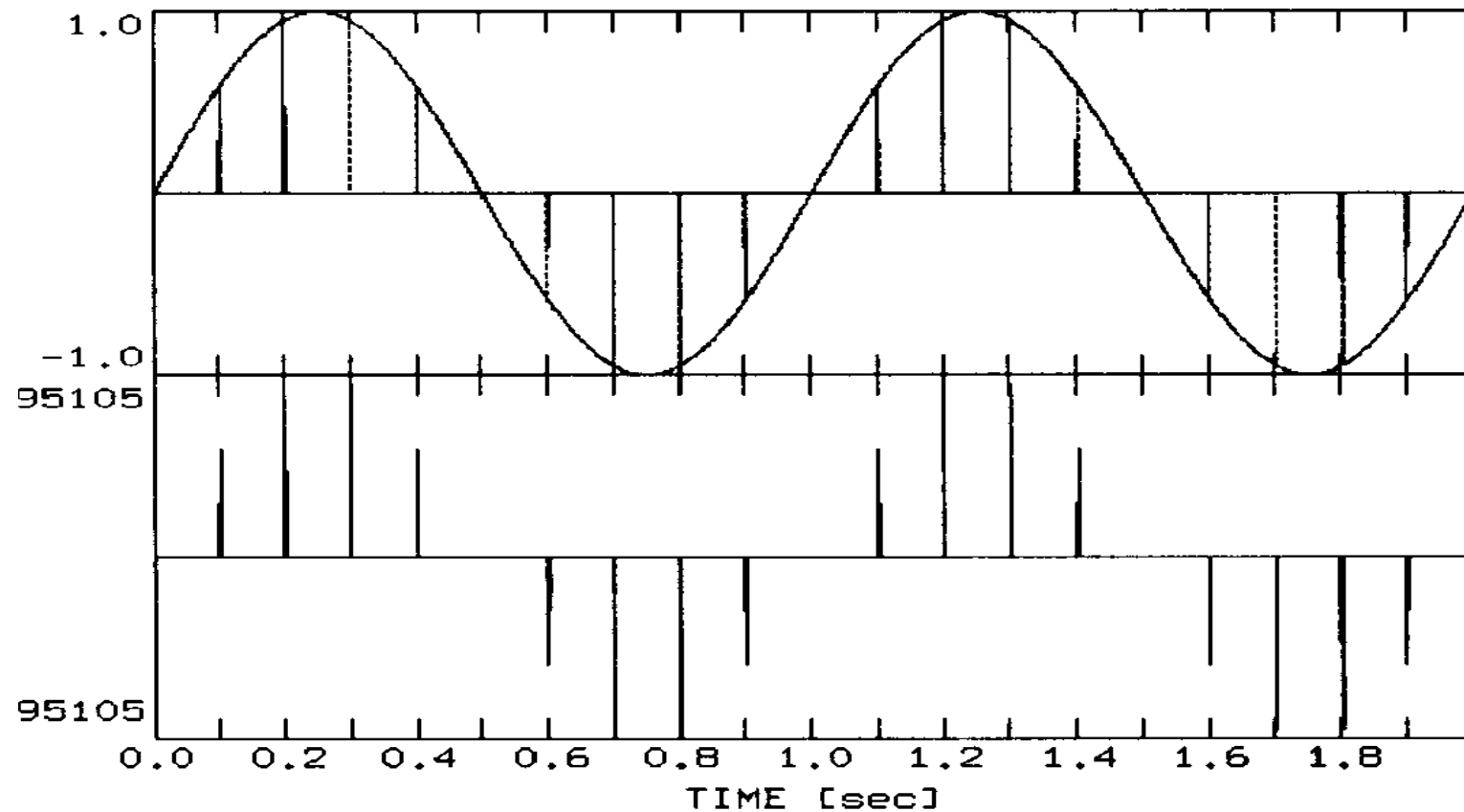
La conseguenza dell'aliasing è che tutti i segnali con frequenze al di sopra della frequenza di Nyquist $f_N = f_s / 2$ si riflette nello spettro di $X(t)$. Ecco perché dobbiamo assicurare, applicando un filtro antialias passa-basso per le serie temporali analogiche di ingresso, che le sue ampiezze ad alta frequenza vengano drasticamente ridotte e, quindi, non rispecchi molta energia negli spettri alias.



Segnali utilizzati per la simulazione del processo di discretizzazione.

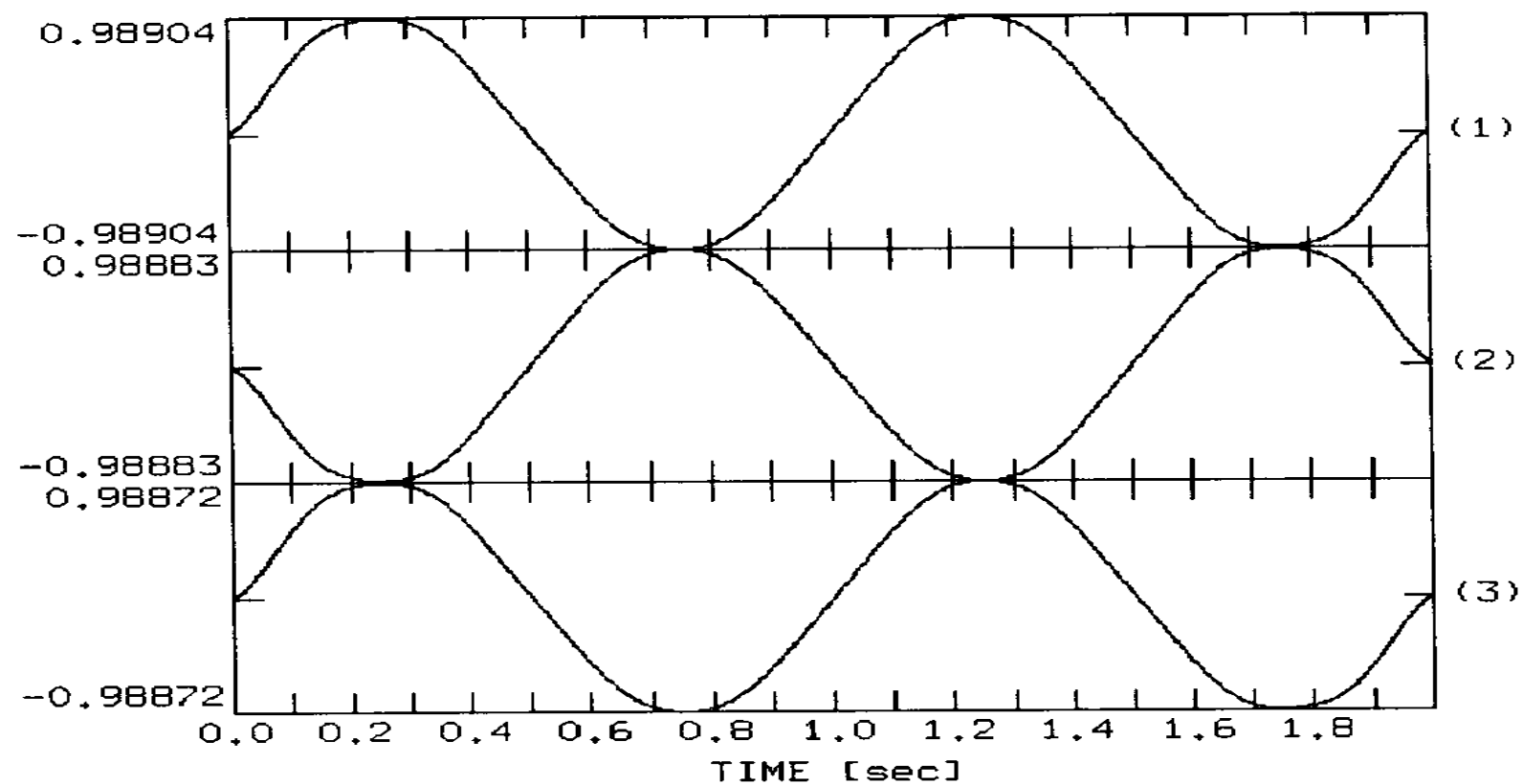


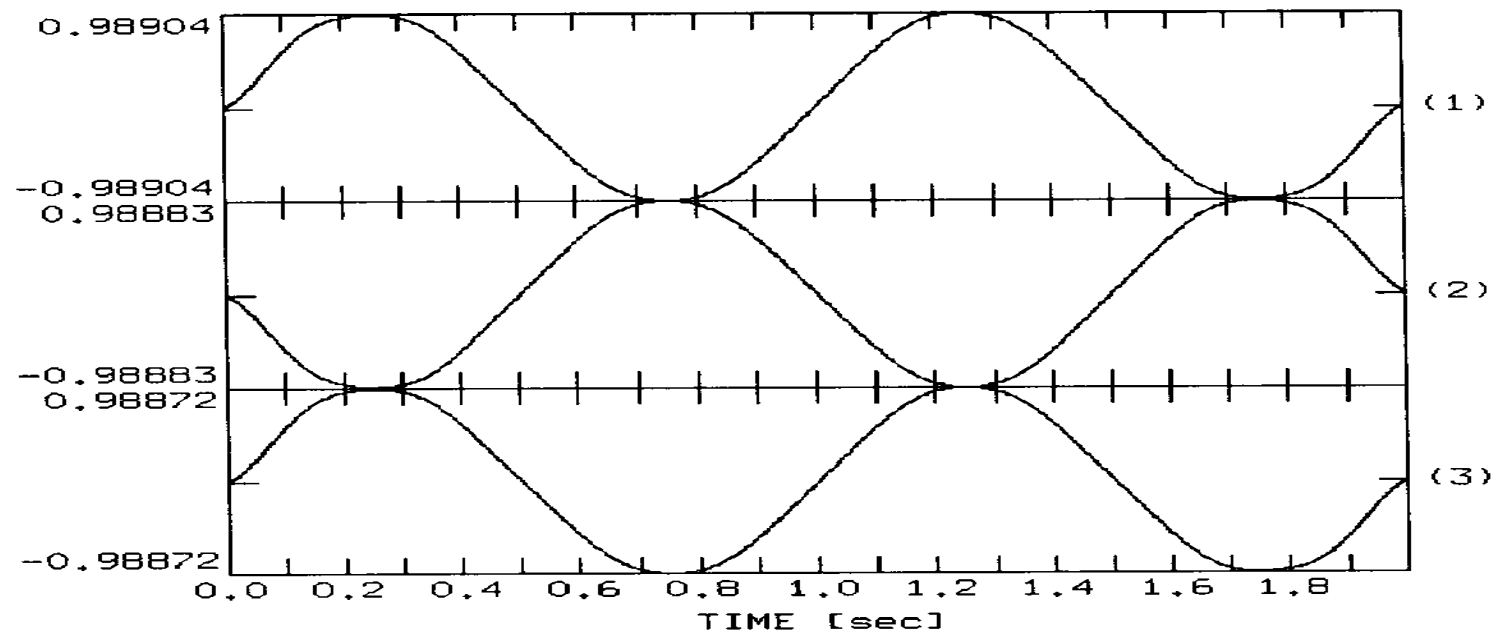
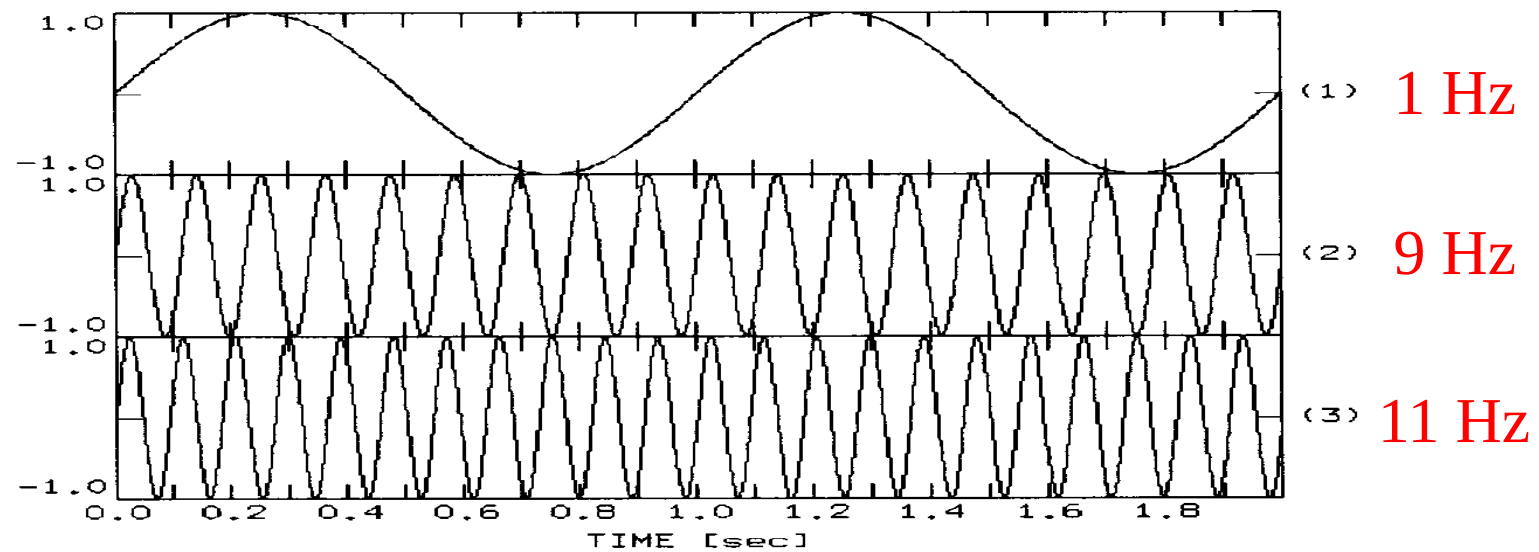
Discretizzazione del segnale usando una frequenza di 10 Hz. Le barre verticali mostrano le posizioni e i valori della funzione ai tempi campionati.



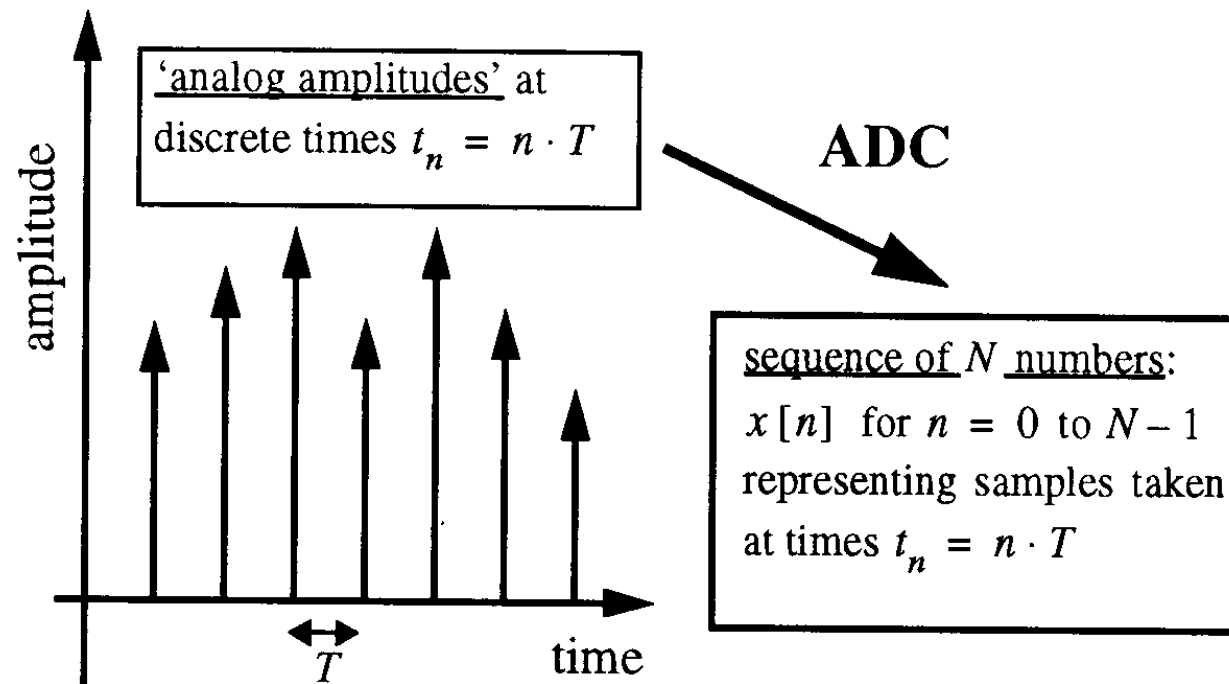
10 Hz

Ricostruzione dei segnali usando una frequenza di 10 Hz.





Schema del processo di conversione da analogico a digitale (ADC). Le frecce verticali indicano le posizioni e i valori dei campioni. Attraverso l'ADC i valori di ampiezza vengono convertiti in una sequenza di numeri che rappresentano i campioni prelevati ai tempi $T_n = n \cdot T$



decimal system

$$x_{(10)} = \sum_i d_i^{(10)} \cdot 10^i$$

e.g. $512_{(10)} = 2 \cdot 10^0 + 1 \cdot 10^1 + 5 \cdot 10^2$

/ |

least significant most significant
digit digit

conventional notation:

digits are written from
most significant to least
significant:

512

binary system

$$x_{(2)} = \sum_i d_i^{(2)} \cdot 2^i$$

e.g.

$13_{(10)} = 1 \cdot 2^0 + 0 \cdot 2^1 + 1 \cdot 2^2 + 1 \cdot 2^3$

/ |

least significant most significant
bit value bit value

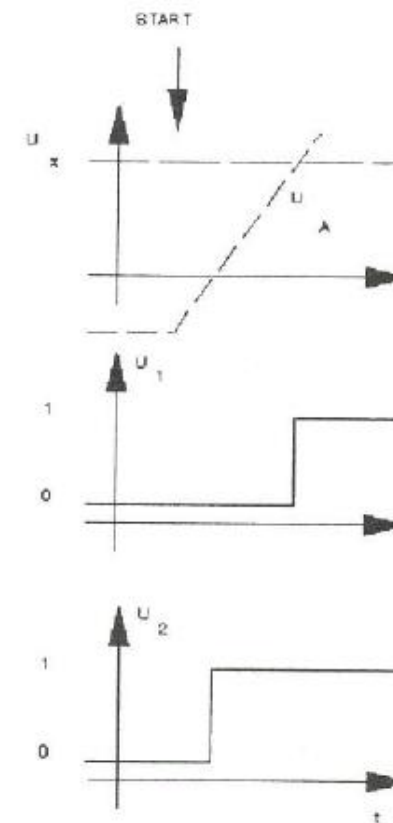
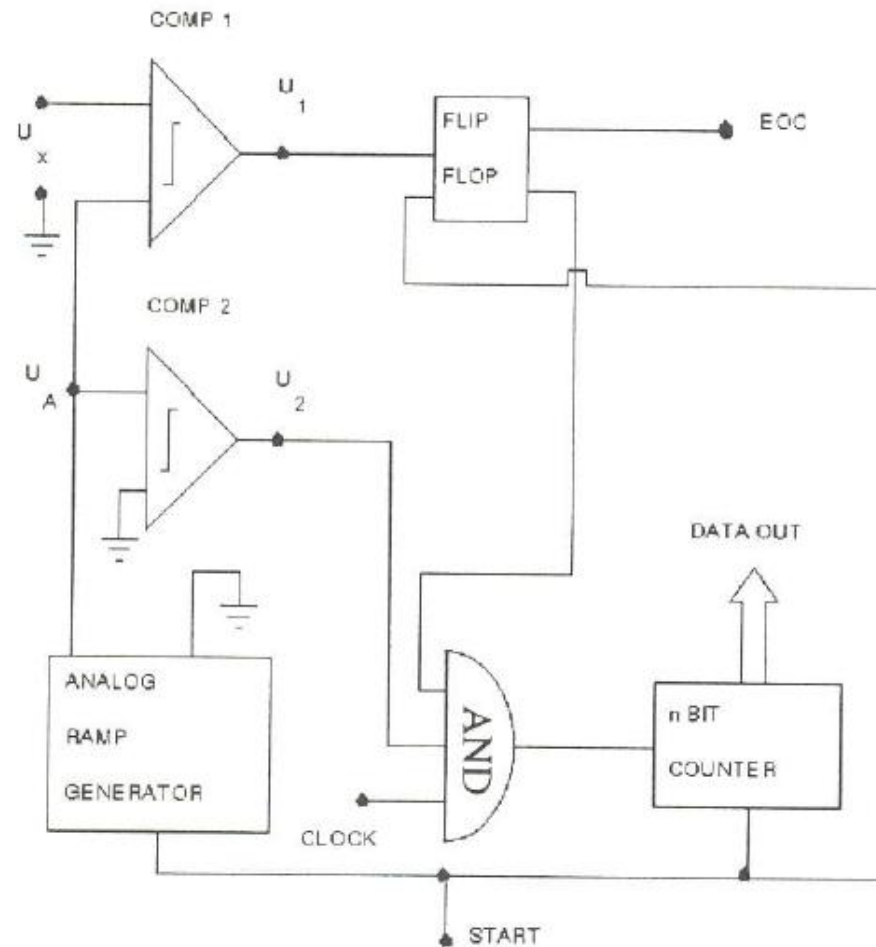
conventional notation:

bit values are written
from most significant
(MSB) to least signifi-
cant (LSB):

1101

Fig. 6.3 Number representation in the decimal and binary number codes.

Principio di un convertitore da analogico a digitale a singola pendenza



Supponiamo che una tensione di ingresso U_x , debba essere convertita in un valore digitale discreto. Assumiamo che la tensione U_x , rimanga costante durante il tempo necessario alla conversione. Per questo esempio assumiamo anche (senza perdita di generalità) che U_x , sia positiva. Un segnale di avvio inizia la conversione e avvia un generatore di rampa analogico che produce un voltaggio U_A che aumenta linearmente con il tempo. La tensione U_A viene controllato da un comparatore (COMP 2) per determinare se è uguale o maggiore di 0 V. Una volta raggiunto 0 V, la linea di uscita U_2 , di COMP 2, che è collegata a un elemento logico (AND), va in *high*. La linea tra questo elemento logico e il contatore n bit andrà in *high* se tutte le linee di input sono *high*. Oltre al comparatore 2, le restanti linee di input degli elementi logici sono collegati a un orologio (che si alza (*high*) ad ogni ciclo di clock) e a un elemento flip-flop. Un flip-flop è un oscillatore che può avere solo due stati diversi (*high* o *low*). Poiché si presuppone che il flip flop inizi in uno stato *high*, una volta che la tensione U_2 , è *high*, il contatore riceverà un impulso di tensione ad ogni ciclo di clock. Tutti i contatori contano gli impulsi che ricevono.

Poiché il contatore utilizza il codice numerico binario, il valore di ogni bit del contatore rappresenta un digit d_i , di un numero espresso come somma di potenze di 2. Ad esempio, il numero massimo che può essere rappresentato da 3 bit

$$1 \cdot 2^0 + 1 \cdot 2^1 + 1 \cdot 2^2 = 2^3 - 1 = 7_{(10)};$$

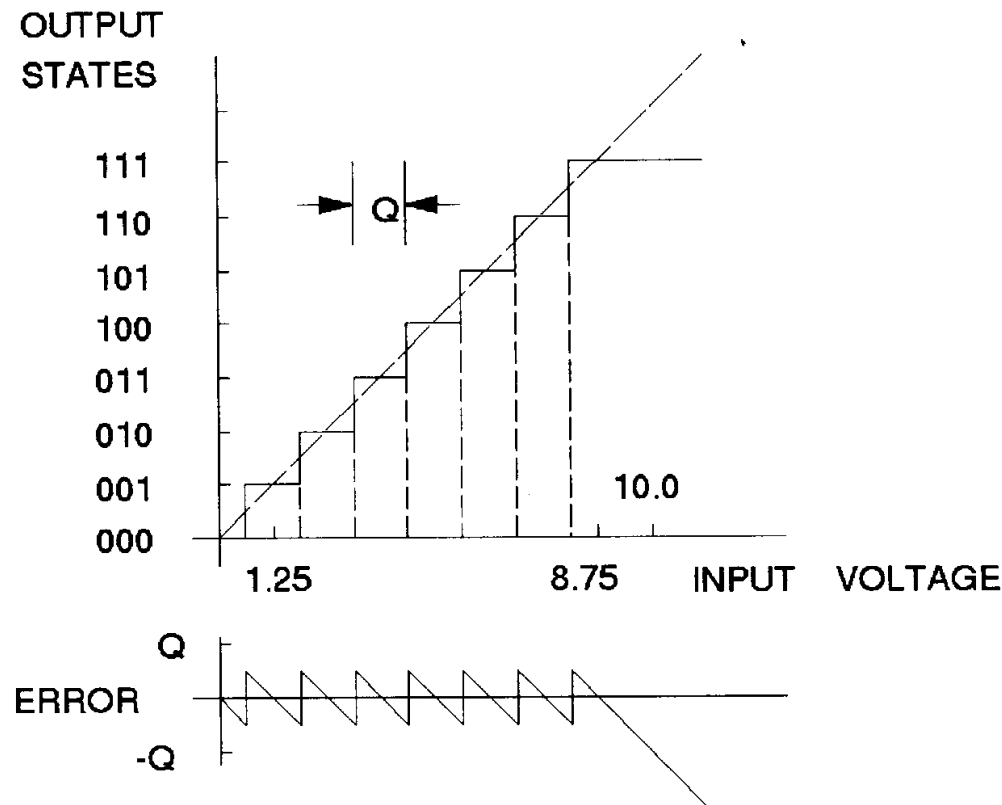
mentre il numero minimo è 0. Allo stesso modo, per un contatore che ha n bit a disposizione per memorizzare il risultato del processo di conteggio, il numero che può essere rappresentato può variare tra 0 e $2^n - 1$.

Una volta avviato il processo di conteggio, la tensione U_A continua ad aumentare. Al secondo comparatore (COMP 1), viene continuamente confrontato con la tensione di ingresso U_X . Quando $U_A > U_X$, COMP1 imposta U_1 , high e questo commuta il flip flop off. Questo a sua volta proibisce l'elemento logico dall'invio di un segnale al contatore. In altre parole, la conversione si interrompe.

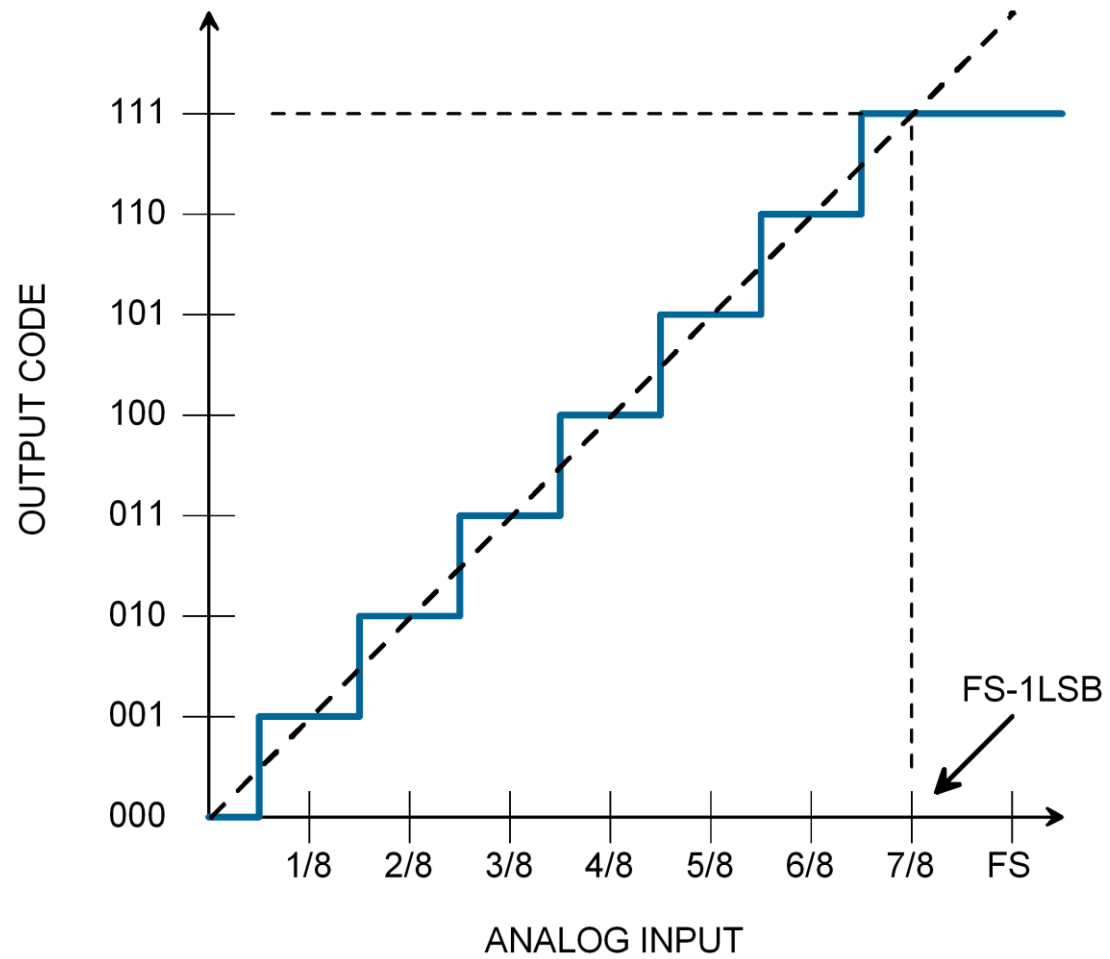
La tensione di ingresso U_X viene convertita in un valore digitale contando il tempo impiegato dal generatore di rampa per produrre una tensione eguale alla tensione di ingresso. Se il contatore ha n bit per memorizzare il risultato del suo conteggio, l'ADC è chiamato n -bit ADC, il che significa che ha 2^n stati di uscita. Tensioni di ingresso che vanno da 0 alla tensione dell'intervallo di fondo scala del ADC sono mappati su valori discreti tra valori compresi tra 0 e $2^n - 1$.

3 bit ADC per una tensione di ingresso a fondo scala di 10 V.

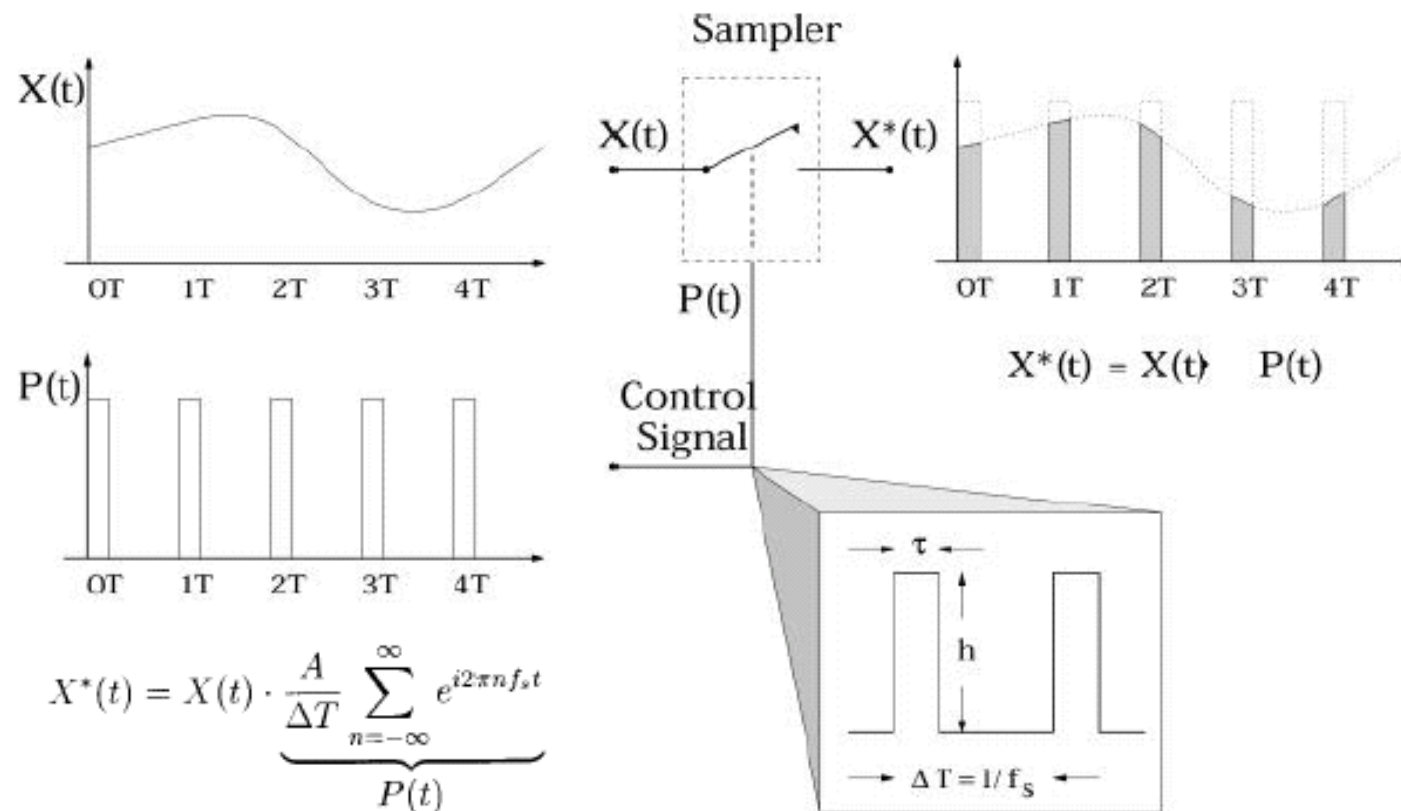
$$Q = LSBvalue = \frac{FULL_{SCALE}VOLTAGE}{2^n}$$

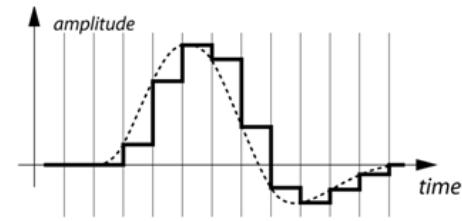
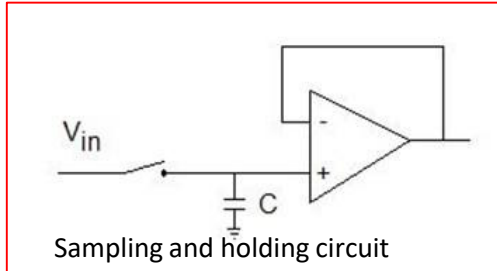


Mappatura della tensione di input nello stato di uscita per un ADC a 3 bit. In basso il segnale di errore. Q corrisponde al valore del quanto o least significant bit (LSB).

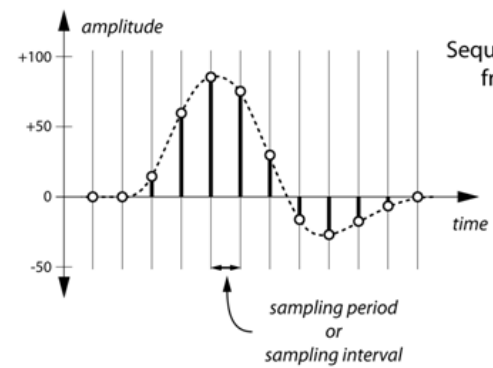
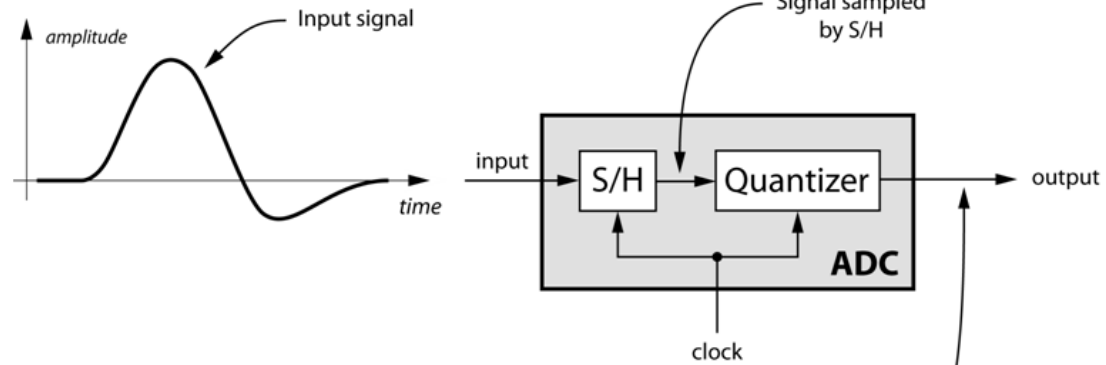


$$P(t) = \sum_{n=-\infty}^{\infty} h \cdot \frac{\tau}{\Delta T} \cdot \frac{\sin(\pi n f_s \tau)}{\pi n f_s \tau} \cdot e^{i2\pi n f_s t} \quad (6.1)$$



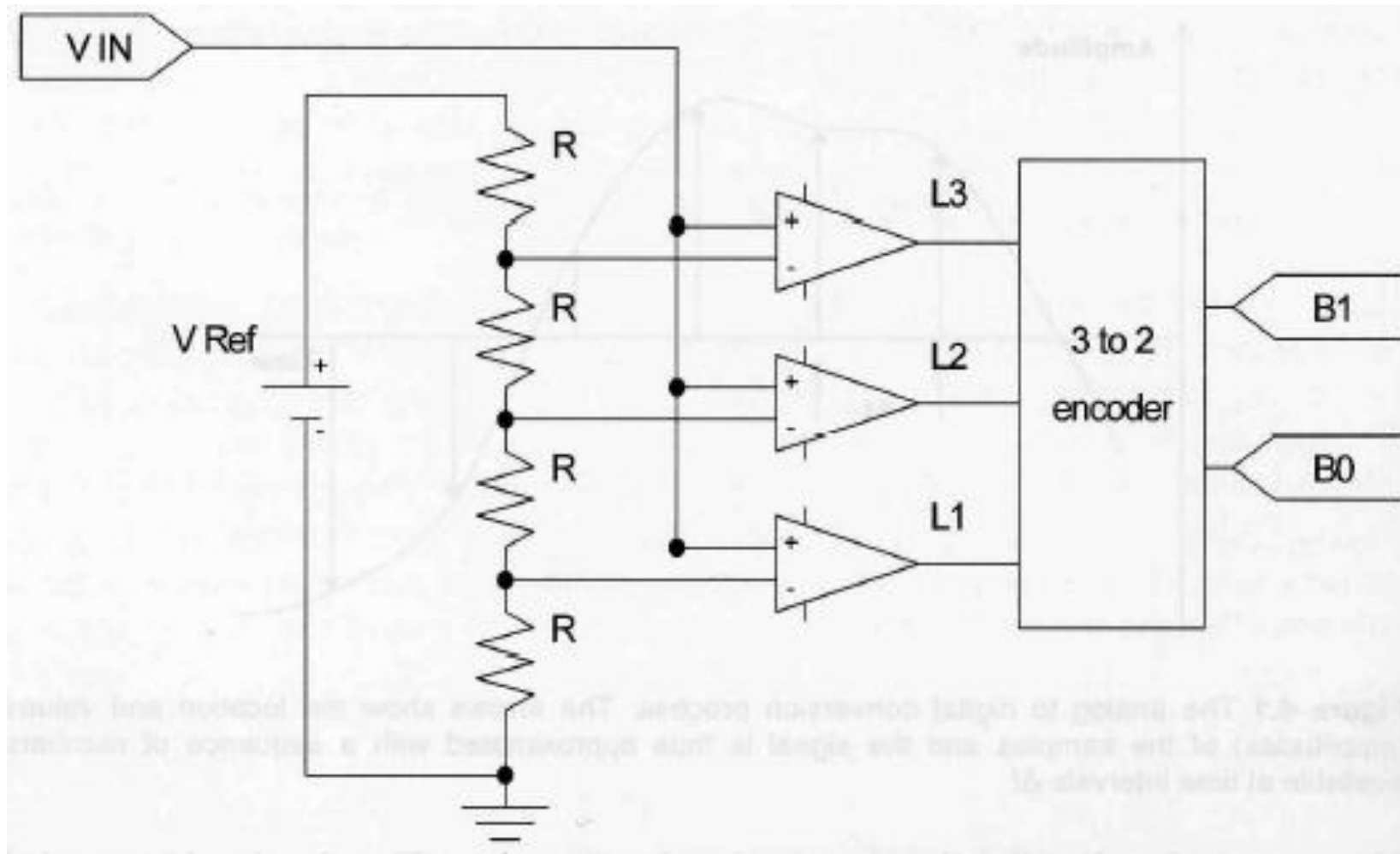


Stage 1



Stage 2

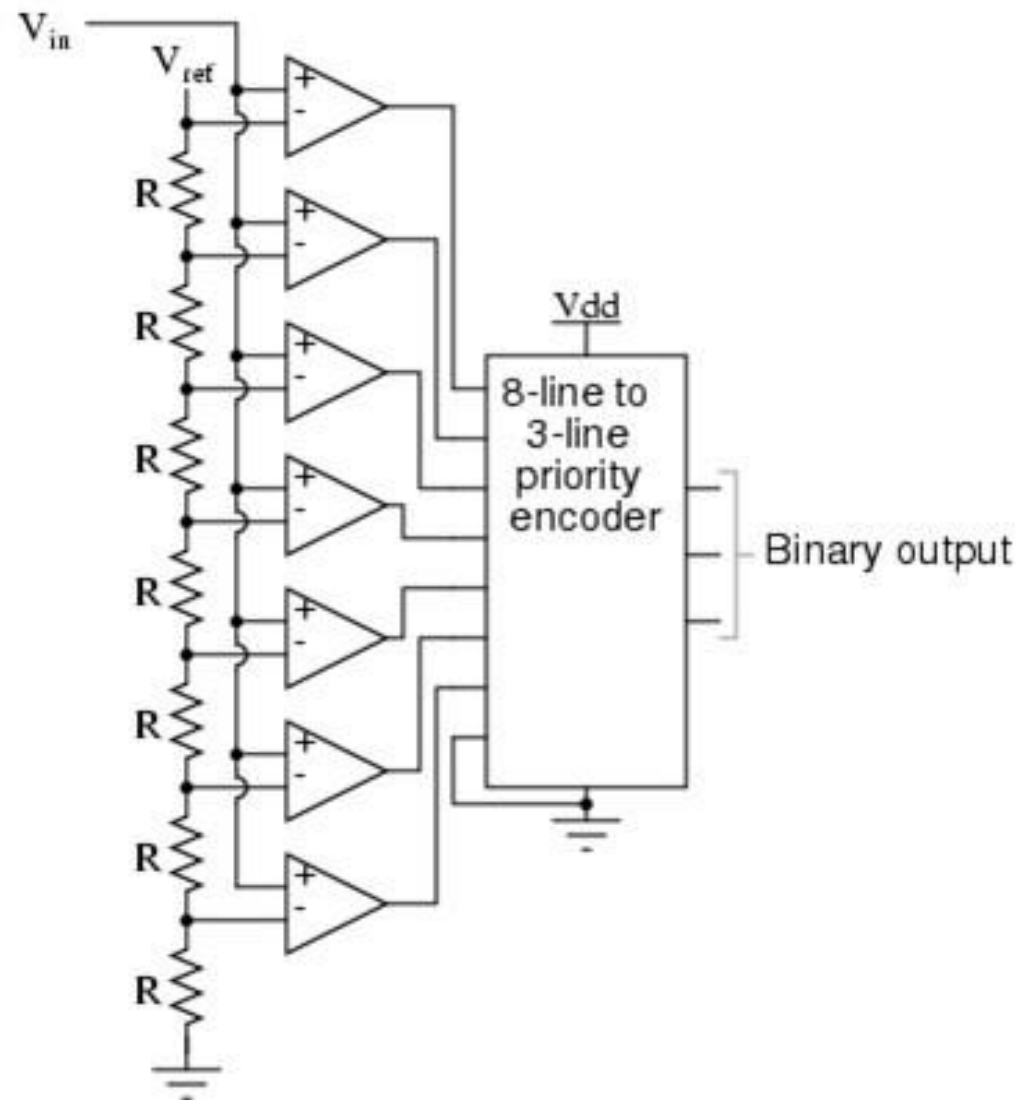
⇒ { ..., 0, 0, +15, +60, +85, +72, +28, -17, -30, -21, -8, -1, ... }



Flash ADC. V_{in} è il segnale da digitalizzare, R sono resistenze di valore uguale, V_{ref} è la tensione di riferimento I circuiti a destra sono comparatori. $L1$, $L2$ e $L3$ sono le uscite dirette dei comparatori, che sono codificati in due bit output, $B0$ e $B1$ dato che solo quattro valori sono possibili. Questo esempio è in realtà un digitalizzatore a due bit.

V input	V center	V input to ADC	ADC out	Output code
-3/8 to -1/8	-0.25	0.00 to 0.25	0	11 (-1)
-1/8 to +1/8	0	0.25 to 0.5	1	00 (0)
+1/8 to +3/8	0.25	0.5 to 0.75	2	01 (1)
+3/8 to +5/8	0.5	0.75 to 1	3	10 (2)

Ingresso e uscita per il flash ADC. La prima colonna indica la tensione di input; la seconda colonna, la tensione centrale di ciascun intervallo; la terza colonna la tensione in ingresso nel convertitore stesso dopo aver aggiunto (0,5 V – 0.125 V) (metà del fondo scala meno mezza count): terza colonna indica i count di output e l'ultima colonna il codice binario e il suo valore decimale tra parentesi. I numeri nelle colonne 3 e 4 corrispondono all'esempio con input di solo numeri positivi.



It needs n steps to convert one sample with a binary resolution of n -bit. The right part of Fig. 6.7 shows a block diagram of an SAR-ADC. In operation, the system enables the bits of the DAC one at a time, starting with the most significant bit (MSB). As each bit is enabled, the comparator gives an output signifying that the input signal is greater or less in amplitude than the output of the DAC. If the DAC output is greater than the input signal, the bit is reset, i.e., turned off. The system does this with the MSB first, then with the next most significant bit, etc. After n steps all the bits of the DAC have been tried, and the conversion cycle is completed. Fig. 6.7 shows the typical components and the signal flow for this type of ADC, as used for example in the PDAS recorder. The anti-alias filter is followed by a Sample & Hold device. Using one common control signal $P(t)$ for all Sample & Hold devices results in sampling at the same time of all input channels. Thus only one ADC device is necessary for multiple analog input channels, reducing power consumption and cost.

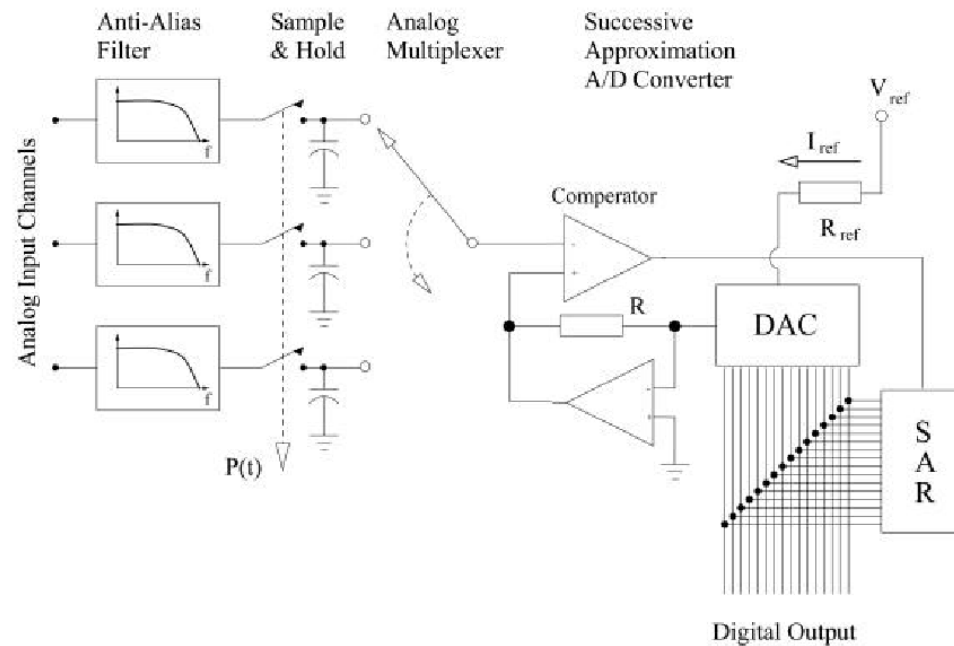
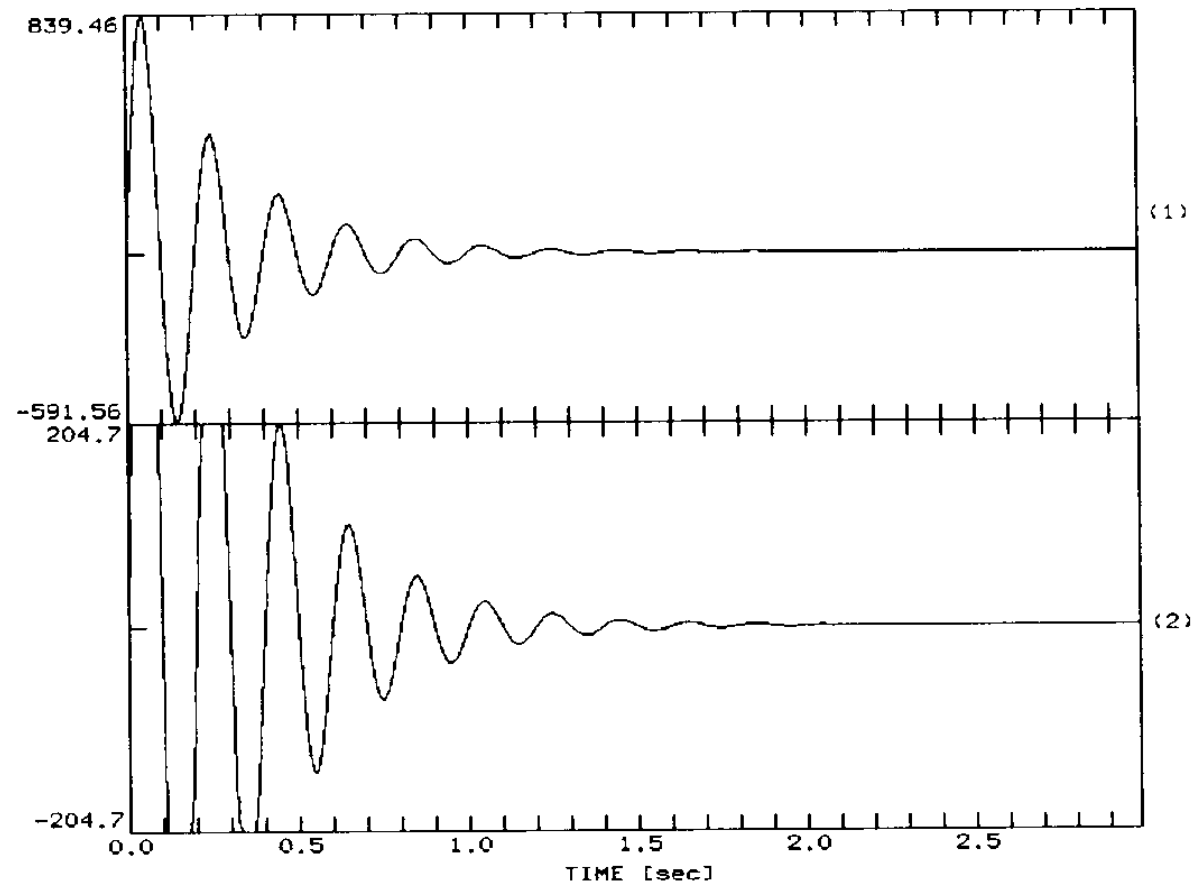


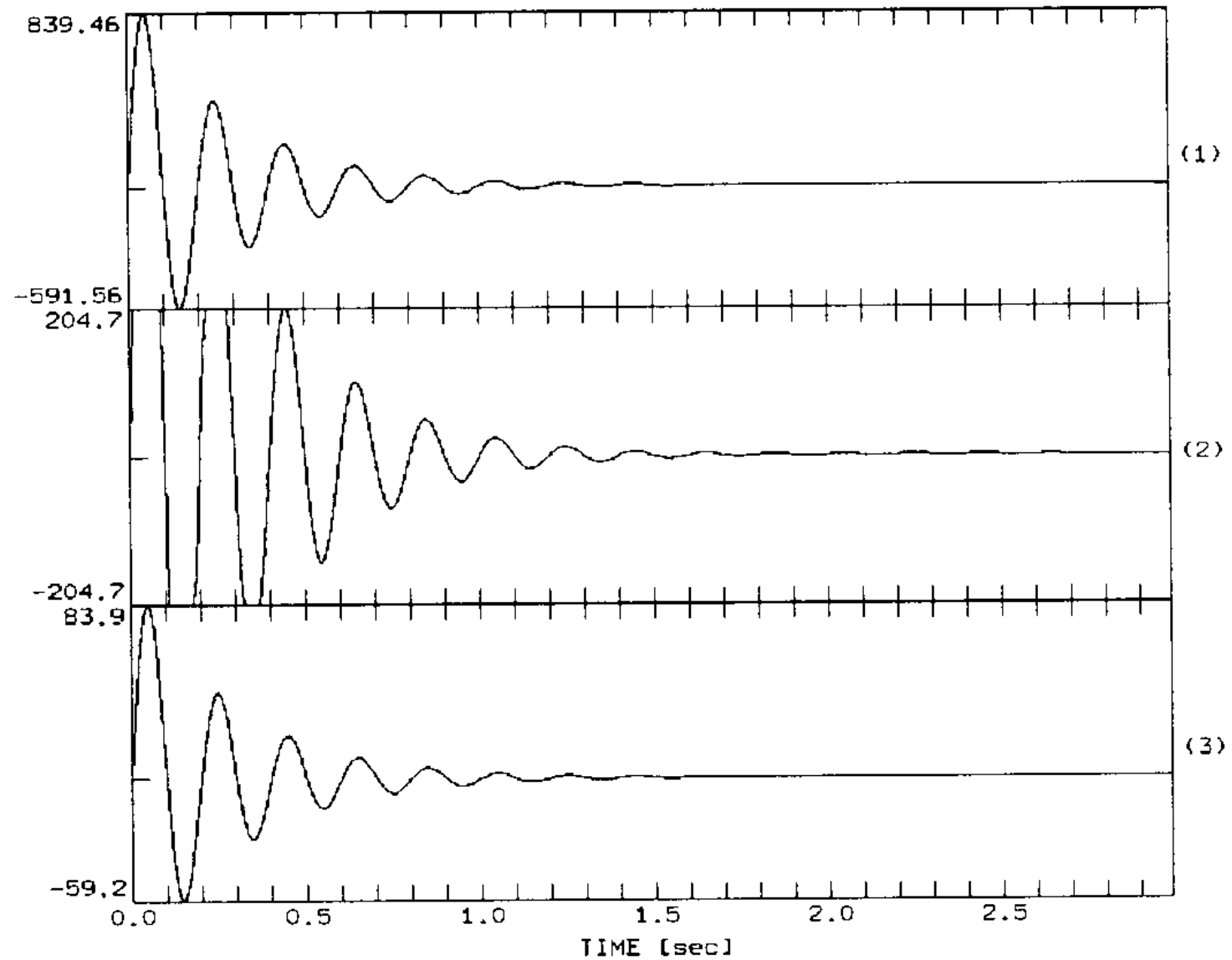
Fig. 6.7 ADC concept used in the first generation of digital recording systems with a 16 bit converter.

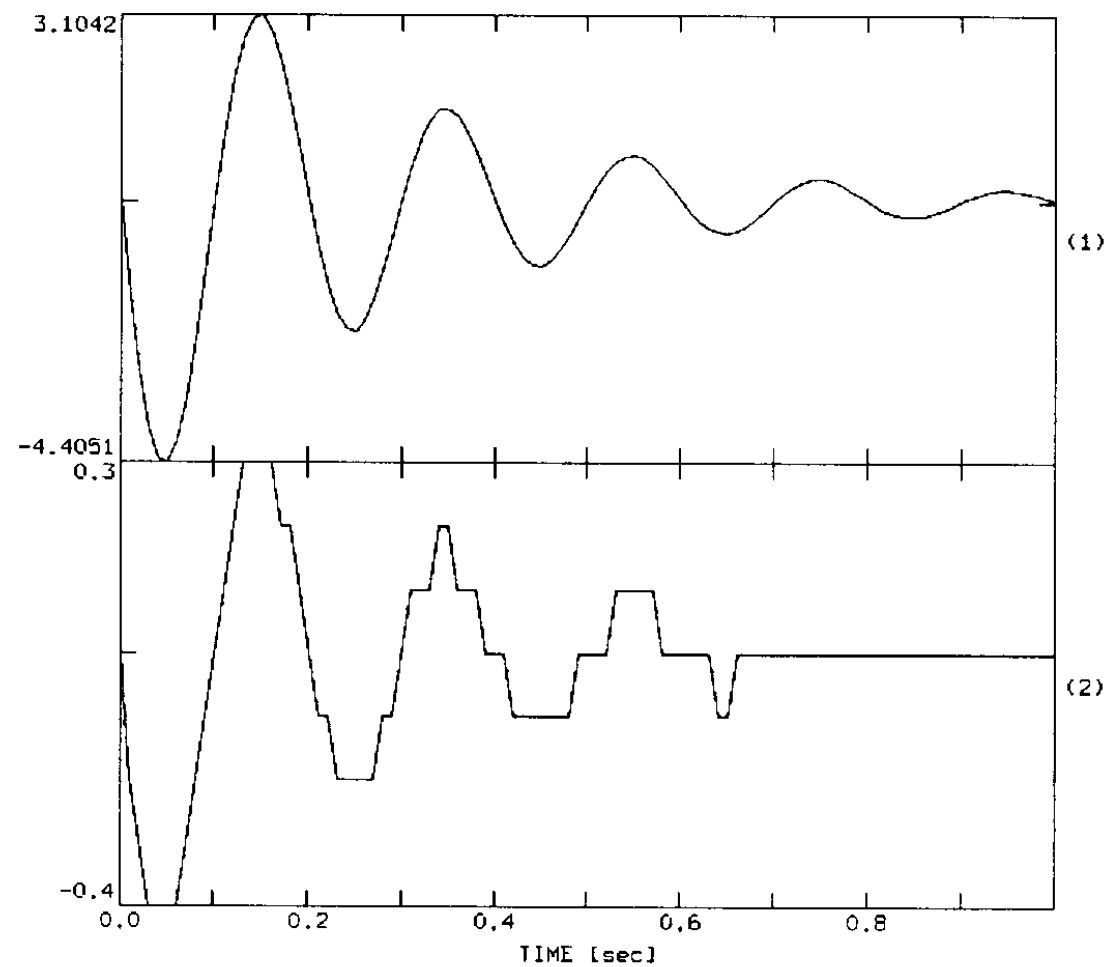
Resolution (in bits)	Range	$\pm$ Range	Quantization Error	Maximum Sampling Rate
24	16,777,216	$\pm 8,388,608$	$\pm 0.000003\%$	200 KHz
16	65,536	$\pm 32,768$	$\pm 0.0008\%$	250 MHz
14	16,384	$\pm 8,192$	$\pm 0.003\%$	400 MHz
12	4,096	$\pm 2,048$	$\pm 0.012\%$	1.8 GHz
10	1,024	± 512	$\pm 0.05\%$	2.2 GHz
8	256	± 128	$\pm 0.2\%$	3 GHz
6	64	± 32	$\pm 0.8\%$	6 GHz

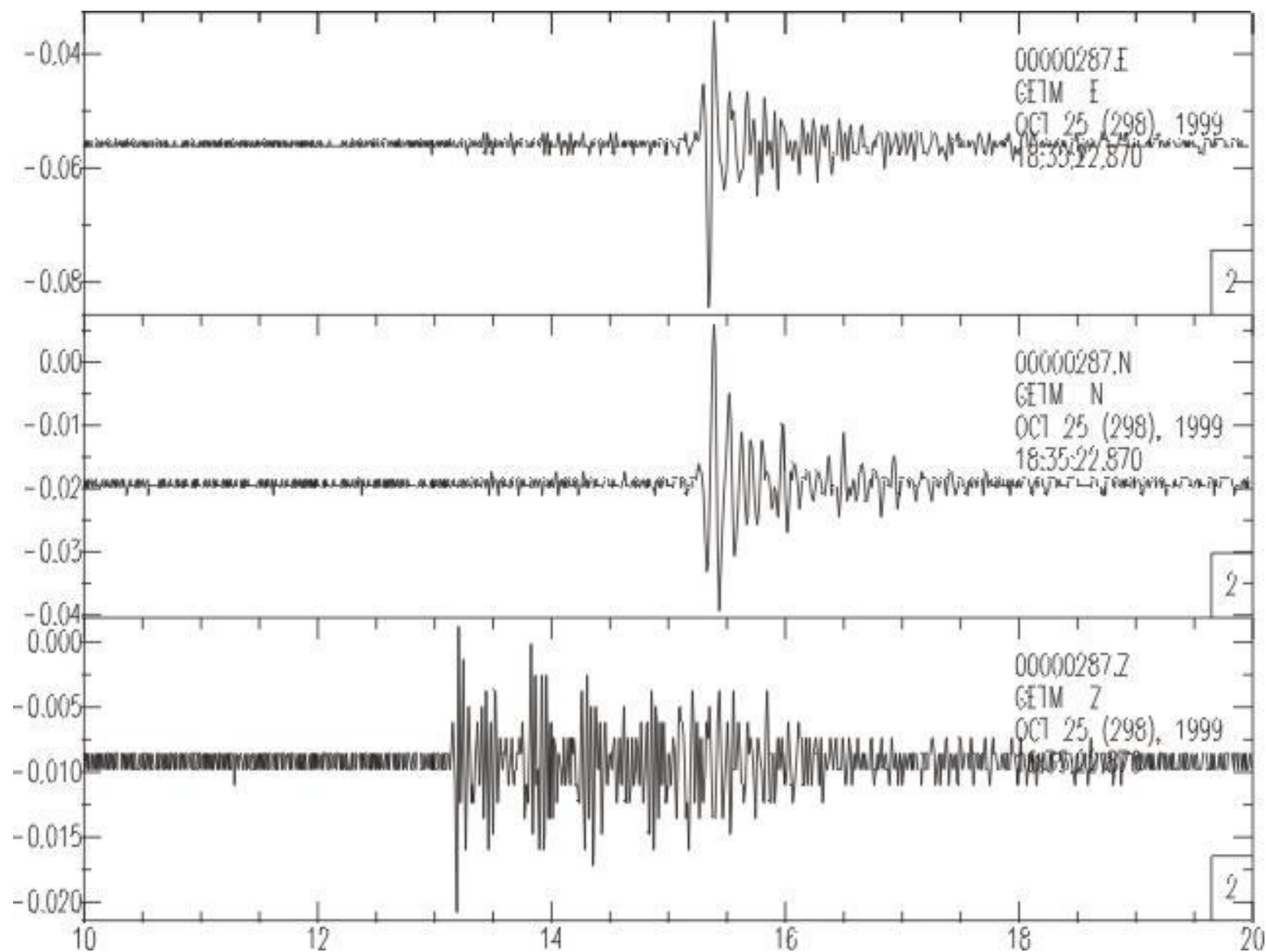


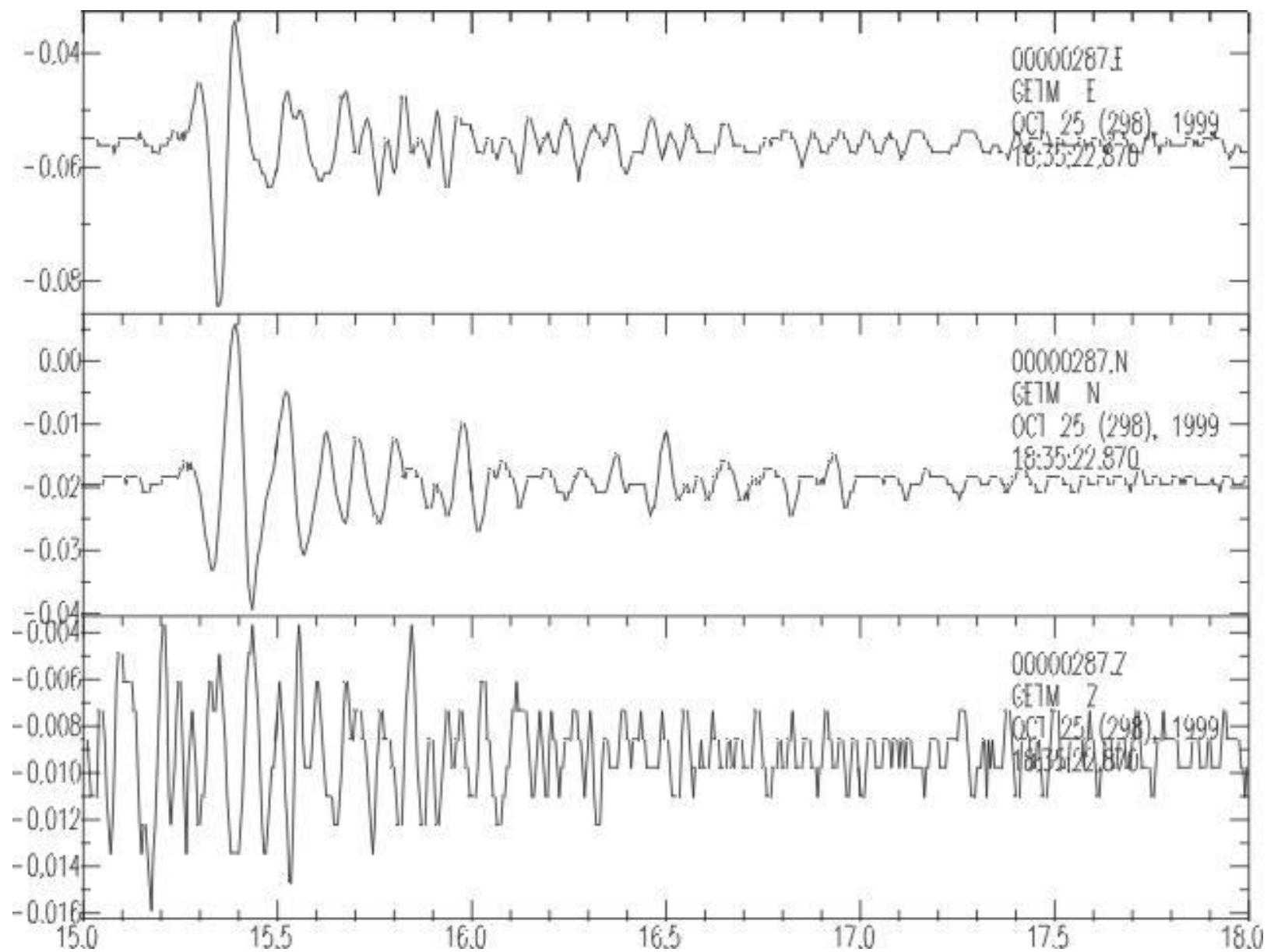
12 bit LSB = 0.1

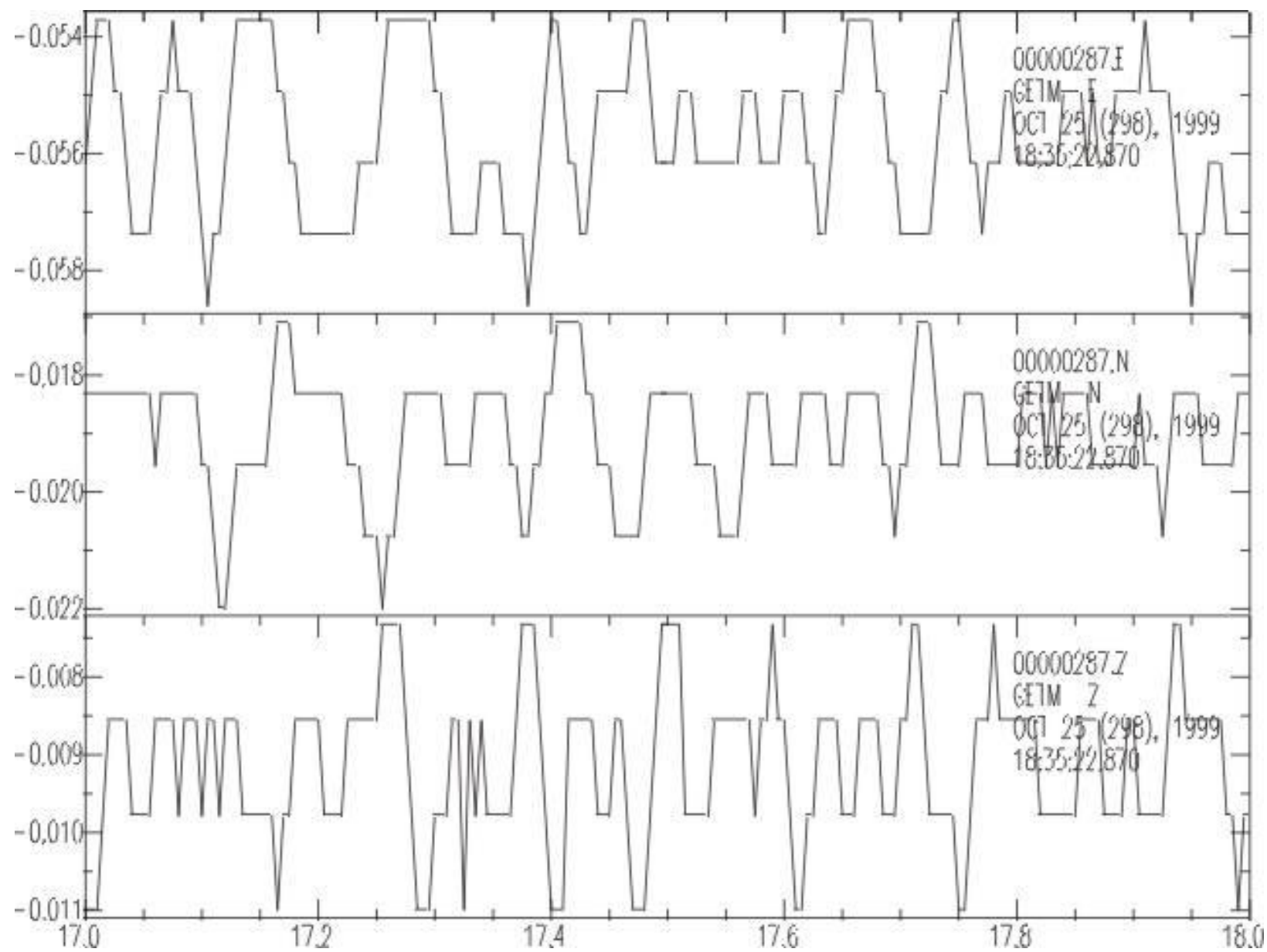
Saturazione: $0.1 \cdot (2^{12} - 1) = 0.1 \cdot 2047 = 204.7$

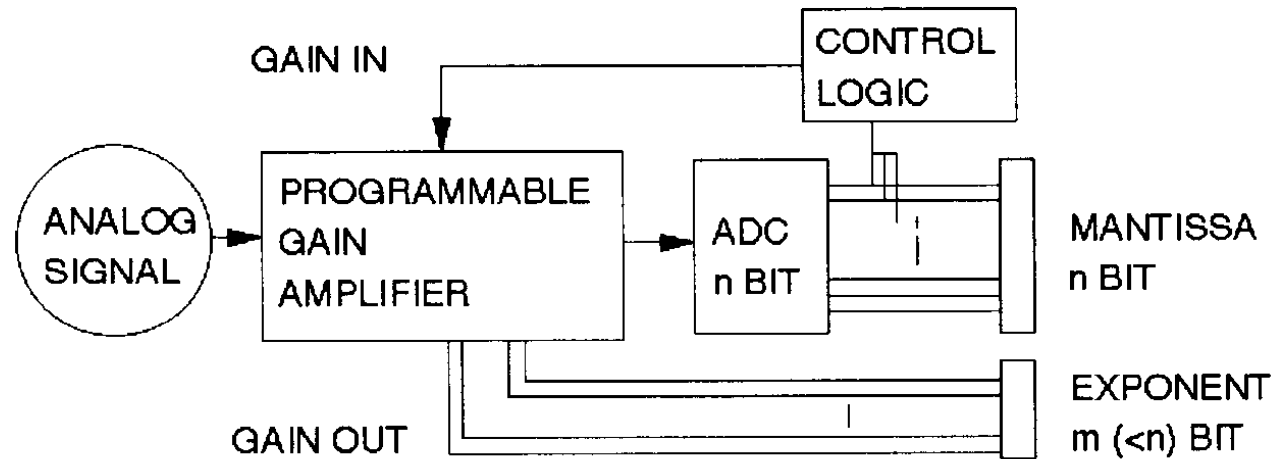








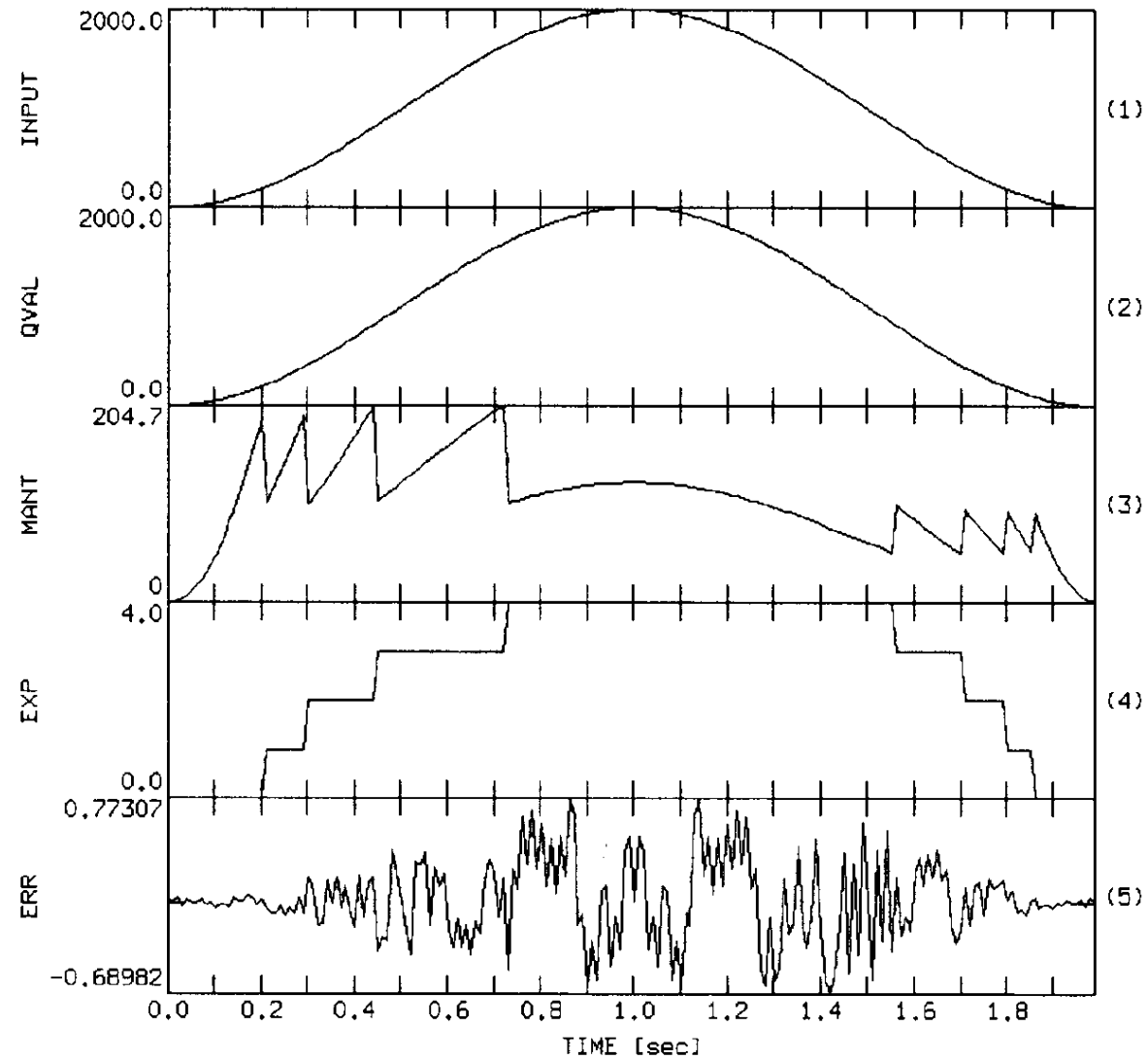


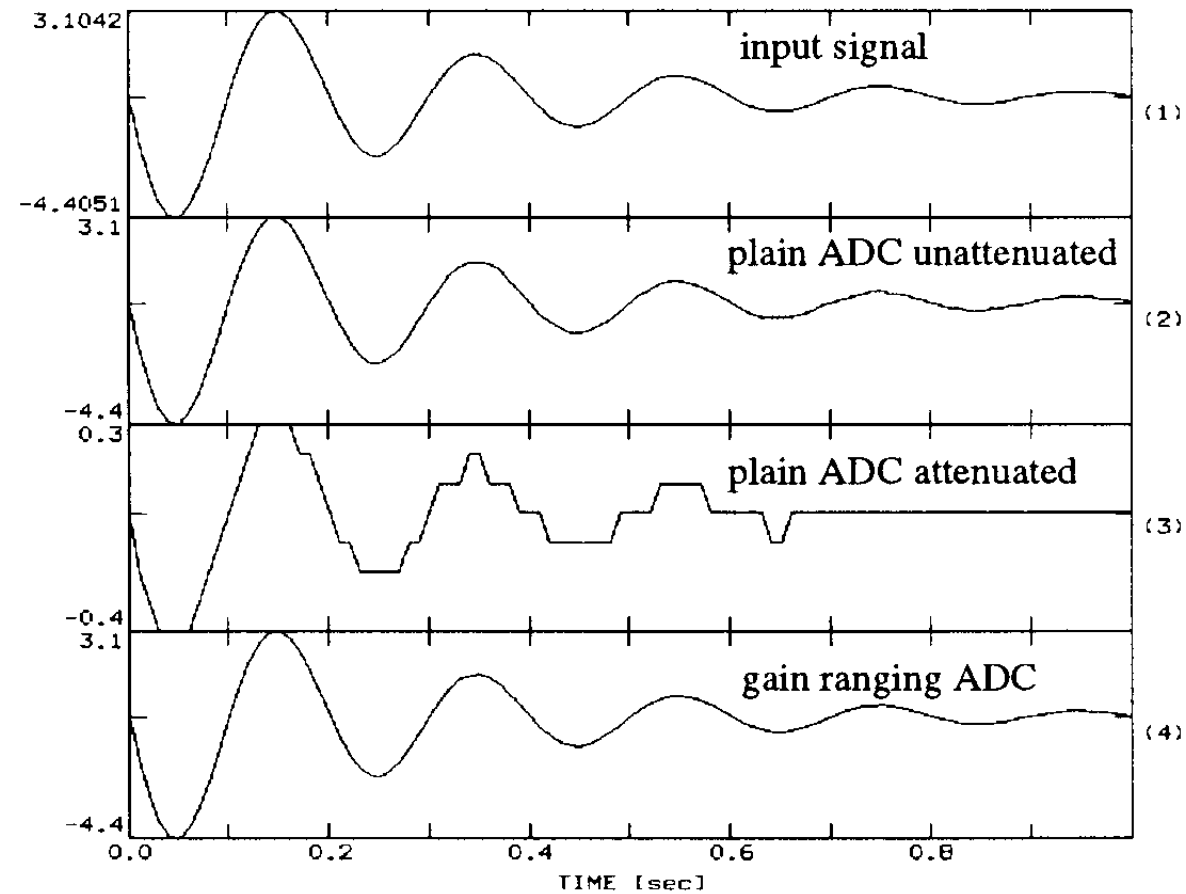


$$D_{gr} = 20\log_{10}((2^n - 1) \cdot 2^{(2^m - 1)})$$

$$20\log_{10}(2^n \cdot 2^{2^m})$$

$$20\log_{10}(2^{n+2^m})$$

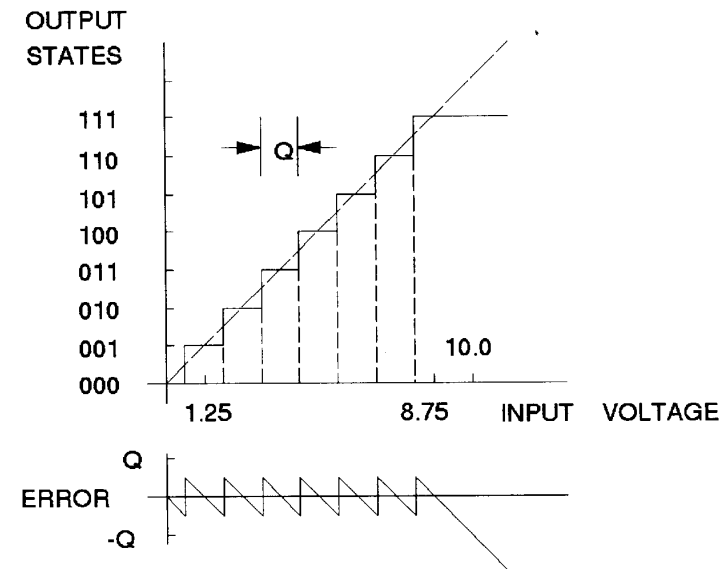




Sovracampionamento

L'errore massimo di un campionatore ideale è di ± 0.5 LSB (least significant bit). L'input range di un n -bit ADC (analog-digital converter) viene diviso per 2^n intervalli, ognuno dei quali rappresentato da una parola binaria di n -bit. Quindi, l'ADC input range e la parola con n sono la misura diretta del massimo errore assoluto. Il numero di bits che rappresenta il valore digitale determina il rapporto segnale rumore (SNR).

Quindi, aumentando il rapporto segnale rumore aumenta anche l'effettiva risoluzione della conversione.



Assumendo il segnale di ingresso un segnale in continua evoluzione (sempre vero in sismologia), l'errore causato dalla quantizzazione da un ADC ideale può essere visto come un segnale di rumore bianco che diffonde l'energia uniformemente su tutta la larghezza di banda da DC a metà della frequenza di campionamento. Termina l'ampiezza dell'errore di quantizzazione U_{neff} è data da:

$$U_{neff} = \frac{U_{LSB}}{\sqrt{12}}$$

E per una sinusoide di ampiezza a fondo scala per un n-bits ADC:

$$U_{seff} = \frac{1}{\sqrt{2}} \left(\frac{1}{2} \right) 2^n \cdot U_{LSB}$$

Conversione RMS:

Segnale con ampiezze positive e negative, mentre, digitalizzatore 0 -2^n

$$U_{neff} = \frac{U_{LSB}}{\sqrt{12}}$$

$$U_{seff} = \frac{1}{\sqrt{2}} \cdot \frac{1}{2} \cdot 2^n \cdot U_{LSB}$$

$$\begin{aligned} SNR [dB] &= 20 \log_{10} \frac{U_{seff}}{U_{neff}} \\ &= 20 \log_{10} 2^n \cdot \frac{\sqrt{12}}{2 \cdot \sqrt{2}} \\ &\approx n \cdot 6 [dB] + 1.8 [dB] \end{aligned}$$

$$P = U_{neff}^2$$

In un ADC: ideale la potenza del rumore (noise power) dovuto alla digitalizzazione e' uniformemente distribuito su tutto lo spettro dalla DC alla frequenza di campionamento.

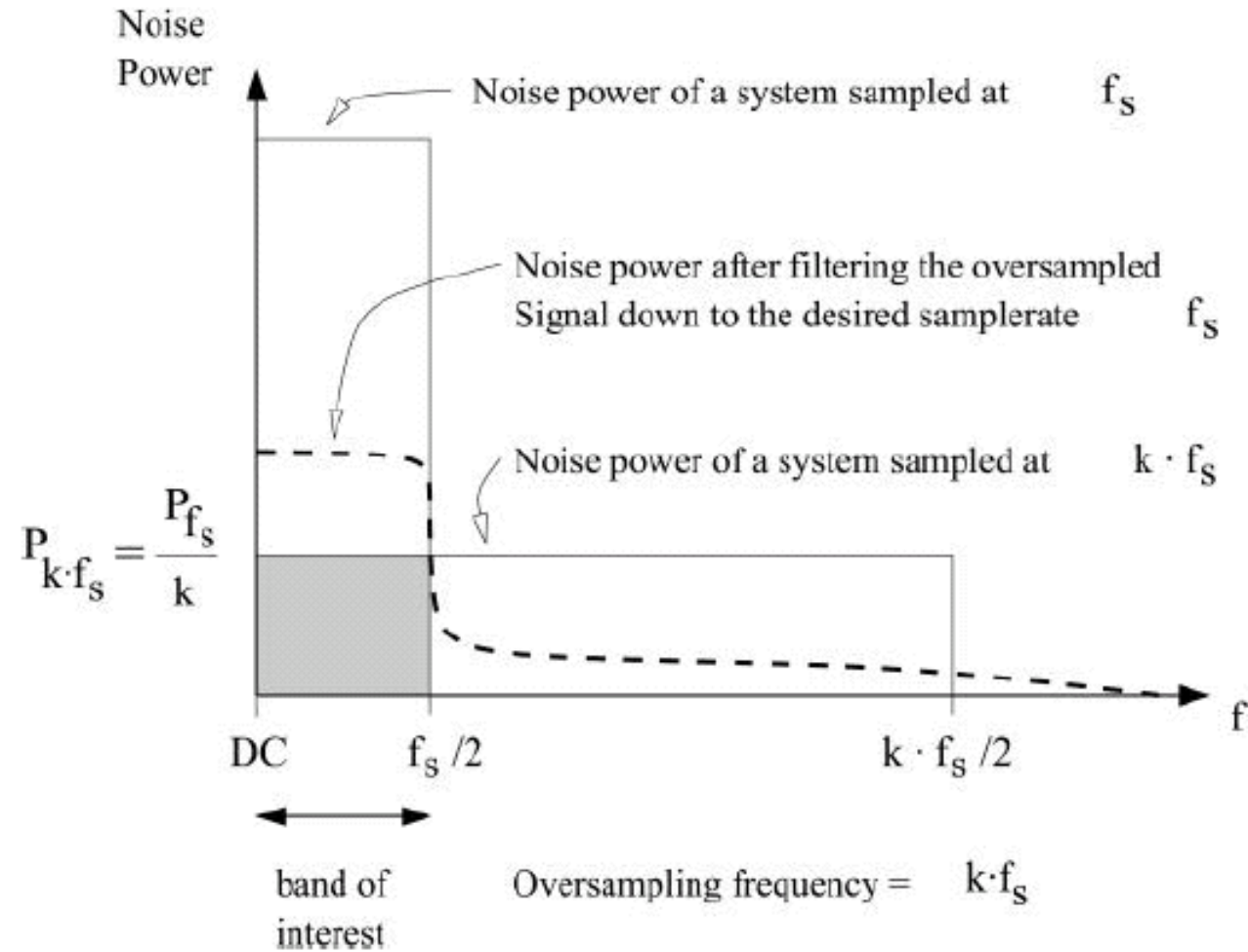
Il 'noise power' è indipendente dal campionamento.

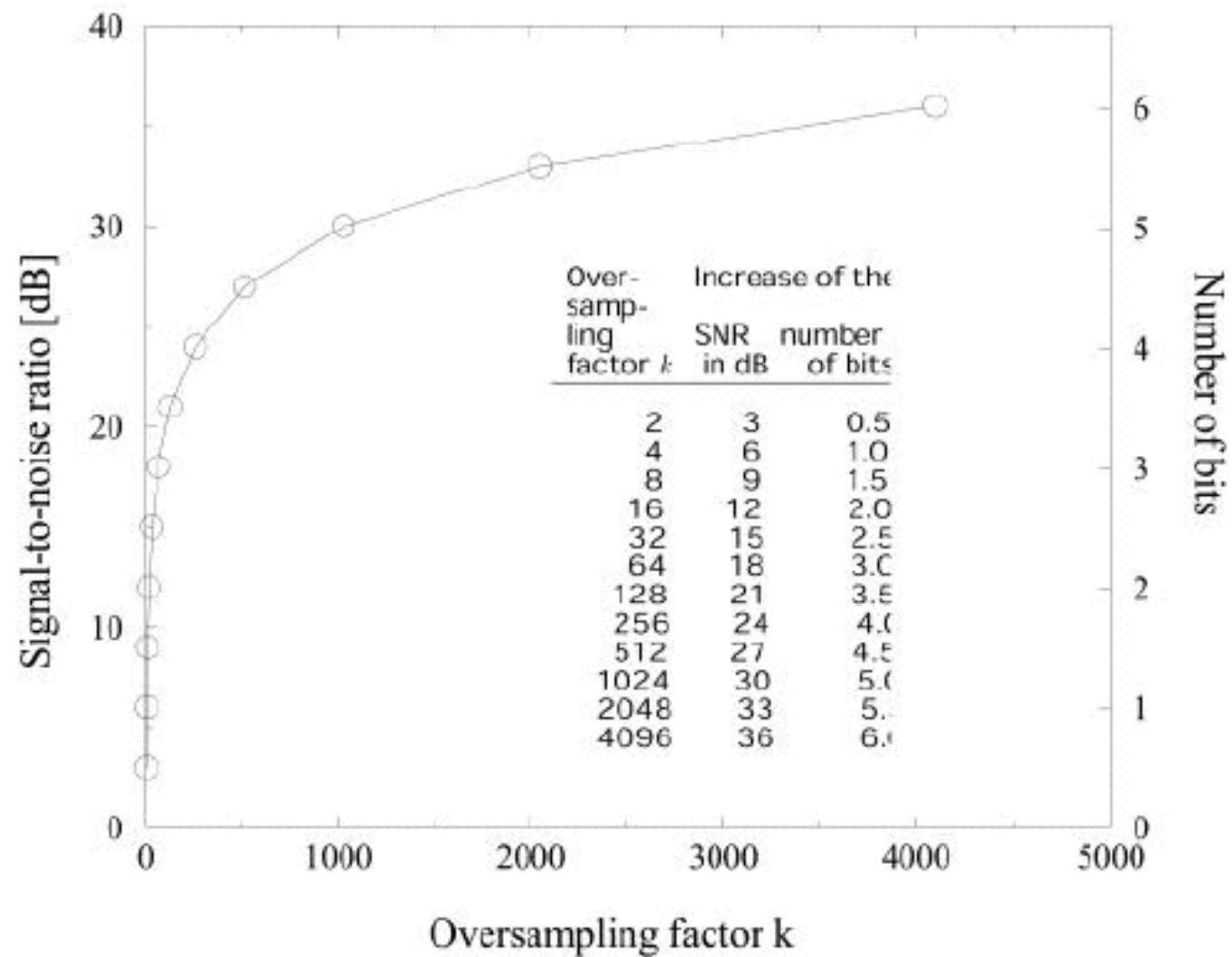
Usando un intervallo di campionamento più piccolo il 'noise power' viene espanso su di un intervallo di frequenze maggiore.

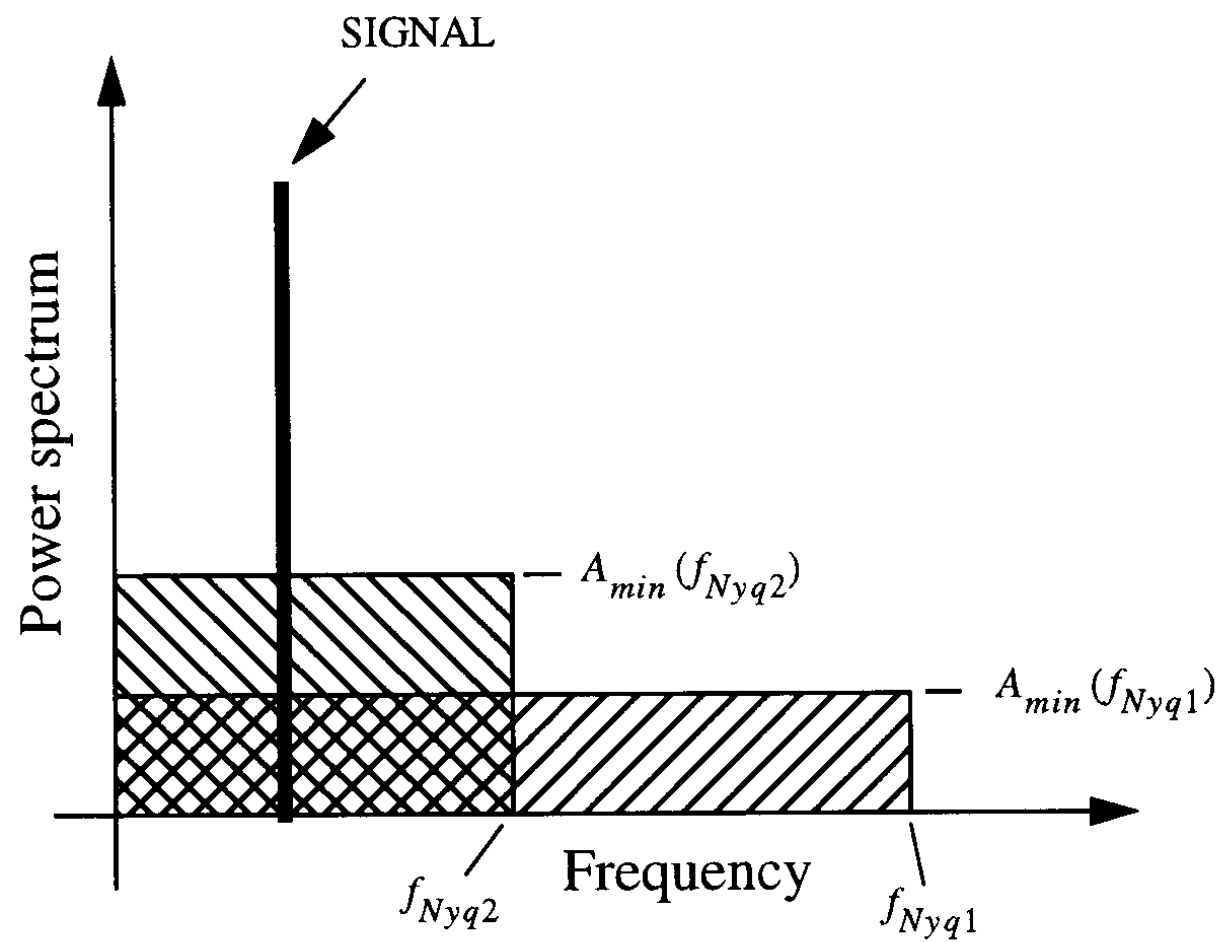
Quindi, il 'noise power density effettivo è minore a frequenze di campionamento maggiori.

$$P = U_{eff}^2$$

$$SNR [dB] = 20 \log_{10} \left(\frac{U_{seff}}{U_{neff}} \cdot \sqrt{k} \right)$$

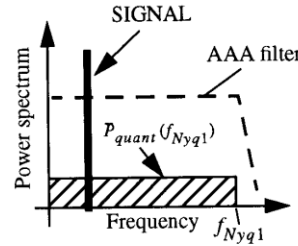




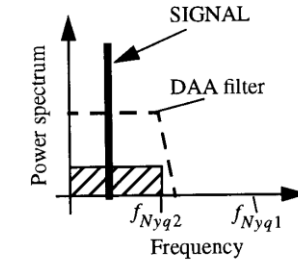


oversampling/decimation

AAA filter at $< f_{Nyq1}$
sampling at $2 \cdot f_{Nyq1}$



DAA filter at $< f_{Nyq2}$
decimating to $2 \cdot f_{Nyq2}$



standard sampling

AAA filter at $< f_{Nyq2}$
sampling at $2 \cdot f_{Nyq2}$

